

**LES RAPPORTS DES JURYS DES CONCOURS SONT ÉTABLIS SOUS LA
RESPONSABILITÉ DES PRÉSIDENTS DE JURY**

MODALITÉS DU CONCOURS DE L'AGRÉGATION INTERNE

ANNEXE A L'ARRETE DU 12 SEPTEMBRE 1988 FIXANT LES MODALITÉS DES CONCOURS DE L'AGRÉGATION

EPREUVES DU CONCOURS INTERNE DE L'AGREGATION

Section Génie électrique

A. - Épreuves écrites d'admissibilité

1° Première épreuve : Durée maximale : 8 heures. Coefficient : 1.

L'épreuve, qui prend appui sur un système industriel défini par une documentation technique s'organise en deux parties :

- La première permet d'évaluer les capacités du candidat à utiliser ses connaissances scientifiques et techniques pour expliciter ou valider les solutions retenues ;
- La seconde permet d'évaluer les capacités du candidat à utiliser le support proposé pour élaborer un exercice permettant l'évaluation des connaissances et méthodes acquises par les élèves.

Le candidat doit situer l'exercice dans un processus d'apprentissage et par rapport aux autres enseignements scientifiques ou techniques qui lui sont associés.

2° Deuxième épreuve : Durée maximale : 6 heures. Coefficient : 1.

L'épreuve porte sur l'étude d'un problème d'automatisation. Elle permet d'évaluer les capacités du candidat :

- A mobiliser, ses connaissances en automatique et en informatique industrielle pour analyser et résoudre un problème d'automatisation ;
- A proposer, pour certains points clés mis en évidence lors de l'étude, la ressource méthodologique et les techniques pédagogiques nécessaires à l'enseignement à un niveau de formation déterminé.

B. - Epreuves orales d'admission

1° Première épreuve : Durée : 1 heure. Coefficient 1.

L'épreuve consiste en la présentation et la soutenance par le candidat d'un dossier original relatif à un projet qu'il a conduit dans le cadre de la discipline dans laquelle il enseigne.

Le thème du projet est pris dans les programmes des enseignements technologiques de la spécialité donnés dans les classes terminales de lycée ou dans les classes post-baccalauréat.

Le projet doit mettre en valeur :

- d'une part la dimension technologique du thème dans ses composantes scientifiques, techniques et aussi économiques, sociales et humaines ;
- d'autre part les aspects pédagogiques en relation avec le niveau d'enseignement retenu.

Le candidat dispose de trente minutes pour présenter :

- les raisons qui l'ont conduit au choix du thème ;
- les réalisations (documents, matériels, logiciels...) relatives aux aspects techniques et pédagogiques du projet ;
- les objectifs pédagogiques retenus, leur opérationnalisation, notamment les modes et critères d'évaluation retenus ;
- les documents d'enseignement établis ;

Le jury, au cours de l'entretien de trente minutes qui suit l'exposé, peut :

- faire approfondir certains points du projet ;
- demander des précisions sur les solutions techniques adoptées ;
- faire expliciter certains aspects de la démarche pédagogique.

Le jury apprécie :

- la valeur industrielle, technique et économique du thème retenu ;
- la qualité du travail effectué ;
- les connaissances scientifiques et techniques du candidat ;
- la maîtrise de la didactique de la discipline, des méthodes et moyens d'enseignement ;
- la connaissance de l'environnement du système technique support du thème ;
- les qualités d'expression et de communication du candidat.

2° Deuxième épreuve : Durée maximale : 8 heures. Coefficient 1.

Cette épreuve consiste à exploiter des documents techniques et pédagogiques relatifs à une séquence de « travaux pratiques » ou à une séquence à caractère expérimental, élément d'un processus d'apprentissage.

Elle permet d'évaluer les capacités du candidat à :

- proposer et justifier les principes, méthodes et modes opératoires à mettre en œuvre et à dégager les concepts auxquels ils se rattachent ;
- réaliser, pour tout ou partie, selon la durée impartie, l'activité prévue.

Le programme du concours est défini par référence aux programmes des B.T.S. et D.U.T. de la spécialité.

N.B. – Afin de permettre au candidat de composer dans les disciplines correspondant à son enseignement, il choisira de traiter, pour l'ensemble des épreuves du concours, soit la dominante Electrotechnique soit la dominante Electronique.

AGREGATION

SESSION 2003

CONCOURS INTERNE

Section : GENIE ELECTRIQUE

Option A : ELECTRONIQUE ET INFORMATIQUE INDUSTRIELLE

ÉTUDE D'UN SYSTEME INDUSTRIEL

DUREE : 8 HEURES, COEFFICIENT : 1

Aucun document n'est autorisé.

Calculatrice autorisée (conformément à la circulaire n° 99-186 du 16 novembre 1999)

Réseau d'alerte des pompiers

Ce sujet comporte 5 cahiers distincts :

 Dossier technique de présentation	(19 pages)
 Texte du sujet avec le questionnement	(13 pages)
 Dossier technique - schémas -	(12 pages)
 Documents constructeurs	(46 pages)
 Documents réponses	(14 pages)

Ce sujet comporte huit parties indépendantes :

Partie 1 : Protocole de communication du réseau,	OBLIGATOIRE
Partie 2 : Programmation des trames au format MPT1327,	AU CHOIX
Partie 3 : Conception d'une séquence pédagogique,	OBLIGATOIRE
Partie 4 : Gestion (FP1).	OBLIGATOIRE
Partie 5 : Process audio (FP2)	OBLIGATOIRE
Partie 6 : Encodage / Décodage (FP3)	OBLIGATOIRE
Partie 7 : Interface clavier,	AU CHOIX
Partie 8 : Emetteur récepteur FM1000.	AU CHOIX

! Le candidat traitera obligatoirement les parties 1, 3, 4, 5 et 6 **et** l'une des parties au choix : 2, 7 ou 8. Le candidat doit faire preuve de sa compréhension de parties complètes du sujet, tant au niveau théorique qu'au niveau de son application pédagogique.

Une lecture préalable et complète du sujet est indispensable.

Les candidats sont invités à numérotter chaque page de leur copie et à indiquer clairement le numéro de la question traitée.

Les candidats sont priés de rédiger les différentes parties du problème sur feuilles séparées et clairement repérées. Chaque question est identifiée par une police *italique* et repérées par un numéro.

Il leur est rappelé qu'ils doivent utiliser les notations propres au sujet, présenter clairement les calculs et dégager ou encadrer tous les résultats.

Tout résultat incorrectement exprimé ne sera pas pris en compte. En outre les correcteurs leur sauront gré d'écrire lisiblement et de soigner la qualité de leur copie.

Il sera tenu compte de la qualité de rédaction, en particulier pour les réponses aux questions ne nécessitant pas de calcul. Le correcteur attend des phrases complètes respectant la syntaxe de la langue française.

Pour la présentation des applications numériques, il est rappelé que lors du passage d'une forme littérale à son application numérique, il est recommandé aux candidats de procéder comme suit :

- après avoir rappelé la relation littérale, chaque grandeur est remplacée par sa valeur numérique en respectant la position qu'elle avait dans la relation puis le résultat numérique est donné sans calculs intermédiaires et sans omettre son unité.

Si le texte du sujet, de ses questions ou de ses annexes, vous conduit à formuler une ou plusieurs hypothèses, il vous est demandé de la (ou les) mentionner explicitement dans votre copie.

Dossier technique

Le réseau d'alerte des pompiers

1.1 DESCRIPTION DU RESEAU D'ALERTE DES POMPIERS

La coordination des moyens techniques des secours nécessite la présence d'un système de communication hautement sécurisé indépendant des moyens de communication utilisés par la population à laquelle il est destiné. Ce système de communication est appelé *Réseau d'Alerte des Pompiers*. Il a été mis au point par *Systel*, une société de Charente Maritime.

Le *réseau d'alerte des pompiers* est un système de communication radio maillé sécurisé couvrant un département. Ce système de communication est indépendant des autres systèmes de communication.

Un réseau d'alerte est placé sous la responsabilité d'un Centre de Traitement d'Alerte (CTA).

1.2 COMPOSITION DU RESEAU D'ALERTE

Le réseau d'alerte est composé de relais radio situés géographiquement de façon à couvrir le département dont est responsable le Centre de Traitement d'Alerte (CTA).

Suivant le relief, le nombre de relais varie entre trois et cinquante.

Le réseau fonctionne en mode simplex multiplexé pouvant gérer plusieurs canaux de communication à raison d'un couple d'émetteur et récepteur par canal.

Le département couvert par un réseau d'alerte est découpé en plusieurs zones opérationnelles. Chaque zone opérationnelle utilise des fréquences particulières dites canaux de communication.

Les canaux utilisés (liste non limitative) sont :

- Le canal opérationnel. Ce canal est utilisé pour transmettre les informations concernant les interventions avec les hommes sur le terrain.
- Le canal tactique. Ce canal est utilisé pour des plans d'interventions particuliers (plan ORSEC, plan POLMAR, ...).

1.3 FONCTIONNEMENT DU RESEAU D'ALERTE

Le réseau d'alerte fonctionne de la façon suivante :

- un appel vers le 18 aboutit au Centre Technique d'Alerte (CTA). Ce centre met l'auteur de l'appel en communication avec la caserne de pompiers la plus proche ayant des hommes et du matériel opérationnels.
- un suivi d'intervention (étapes de l'intervention) est alors déclenché par le personnel de la caserne. Ce suivi s'effectue sur deux niveaux : à la caserne et avec les pompiers envoyés sur le terrain.

Actuellement environs 30 départements et SAMU sont équipés de ce système de communication.

1.4 COMPOSITION D'UN RELAIS

Un relais est un système radio informatisé à très haute fiabilité. Il se compose de 1..n équipements affectés chacun à un canal de communication particulier. Ces équipements sont montés en rack (Ra-cER) ou en boîte (BoxER).

- Le canal de commandement. Ce canal est utilisé pour établir les communications entre les autorités.
- Le canal SAMU.
- Le canal lien avec les autres départements,
- ...

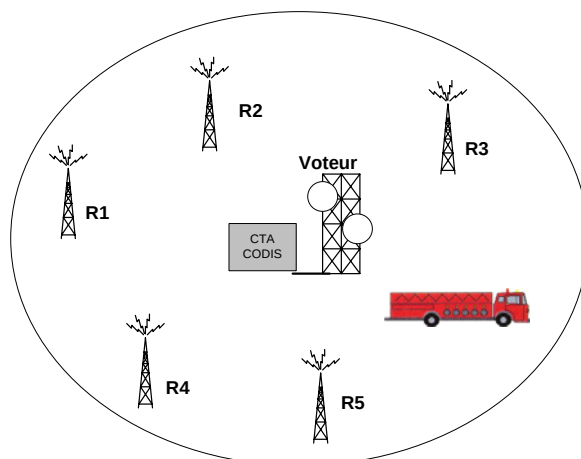


Figure 2.1 : Composition d'un réseau d'alerte sur un département

Dossier technique

Chaque relais est muni d'un identificateur *unique* mémorisé dans la mémoire de la carte VTXCOM.

1.4.1 COMPOSITION D'UN EQUIPEMENT

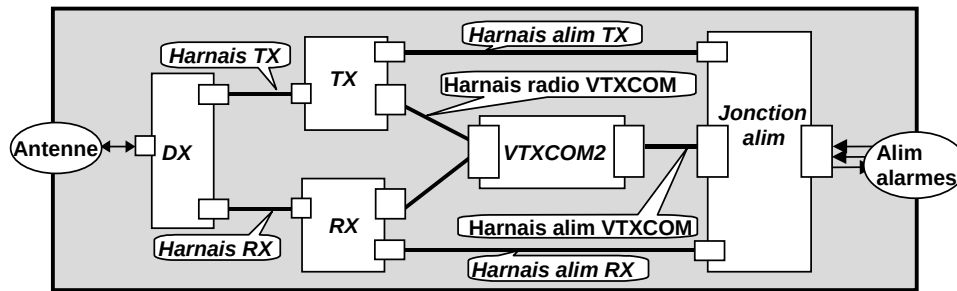


Figure 2.2: Composition d'un équipement de communication (station BoxER, doc SYSTEL).

Chaque équipement comporte :

- Un équipement radio piloté par le système embarqué comportant :
 - Un récepteur radio FM1000 SE0 dans la bande des 80 Mhz.
 - Un émetteur radio FM1000 SE0 dans la même bande possédant une puissance nominale de 15 à 80 watts suivant les équipements. Cette puissance est modulable. Emetteur et récepteur peuvent fonctionner simultanément (sur des canaux différents).
- Un système embarqué VTXCOM pilotant l'émetteur et le récepteur.
- Un système d'alimentation qui est fonction de la nature du terrain (certains relais sont inaccessibles 6 mois par an).
- Un duplexeur 6 cavités.
- Un système de liaison (optionnel) interconnectant les cartes VTXCOM situées dans le même relais.
- Un système de liaison (optionnel) interconnectant les cartes VTXCOM avec les cartes VTXCOM situées sur d'autres lieux géographiques. Le mode de liaison peut utiliser des lignes spécialisées, des modems sur réseau RTC, des faisceaux hertzien, des émetteurs / récepteurs dédiés. *Le mode de communication est transparent pour la carte VTXCOM.*

2 FONCTIONNEMENT D'UN CANAL OPERATIONNEL

Le canal opérationnel est utilisé pour transmettre les informations concernant les interventions avec les hommes sur le terrain. Chaque pompier est équipé d'un poste mobile fonctionnant en mode simplex (alternat). Ce mode implique de la part des hommes sur le terrain une utilisation du mobile de façon concise et précise. En plus de la phonie et pour minimiser l'occupation du canal, une grande partie des informations est transmise sous la forme de données constituées de trames CCIR et FSK 1382. Les données portées par ces trames correspondent à des situations préétablies dans différents domaines d'intervention. Ces informations sont émises à l'aide de touches placées sur le poste mobile. A tout moment, chaque mobile doit être dans le domaine de couverture d'un ou plusieurs relais.

Communication CTA vers mobile :

Pour entrer en contact avec un pompier sur le terrain, le personnel au CTA envoie une trame identifiant le mobile vers le relais utilisé lors de la dernière communication avec ce dernier. Cette trame est reçue par le récepteur du relais, après décodage par la carte VTXCOM ; l'information qu'elle contient est ensuite réémise par le poste émetteur du relais vers le mobile.

Communication mobile vers CTA :

Toute communication entre le mobile et le CTA passe par une étape préalable d'élection du relais le plus approprié.

Dossier technique

2.1 ELECTION D'UN RELAIS

2.1.1 PHASE 1 : PUBLICATION

Pour entrer en contact avec le CTA, le pompier actionne une touche sur son mobile (touche pour la phonie ou touche encodant une situation préétablie). Celui-ci module la porteuse HF par un signal *TCSG* (voir document technique paragraphe *mode auto ou mode contrôlé / inscription et élection*).

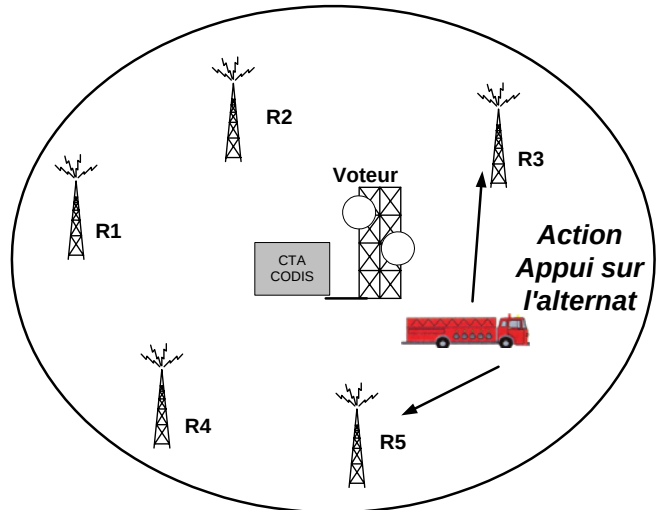


Figure 2.1: Election d'un relais : phase 1.

2.1.2 PHASE 2: INSCRIPTION

Les relais à portée du mobile mesurent l'intensité du champ reçu, puis encodent le niveau du champ ainsi que le numéro du relais dans une trame de type *MRLE*. A la disparition de la porteuse émise par le poste mobile, cette trame est transmise par les relais avec un décalage temporel fonction du numéro du relais vers le relais bureau de vote.

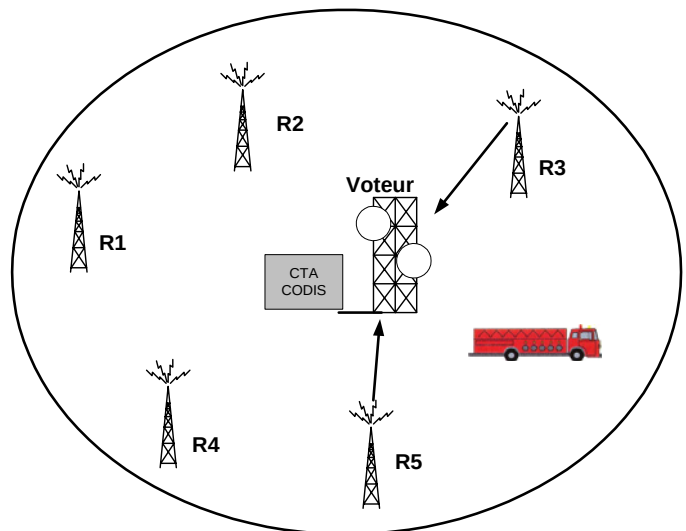


Figure 2.2 : Election d'un relais : phase 2.

2.1.3 PHASE 3: ELECTION ET PUBLICATION DES RESULTATS

La carte VTXCOM du relais *voteur* choisit le relais assurant la meilleure communication et émet une trame *CTRL* spécifiant le relais élu. A la réception de cette trame, le relais élu est activé et envoie un accusé de réception à l'aide d'une trame *MRLS*, les autres relais se mettent en attente d'une nouvelle communication.

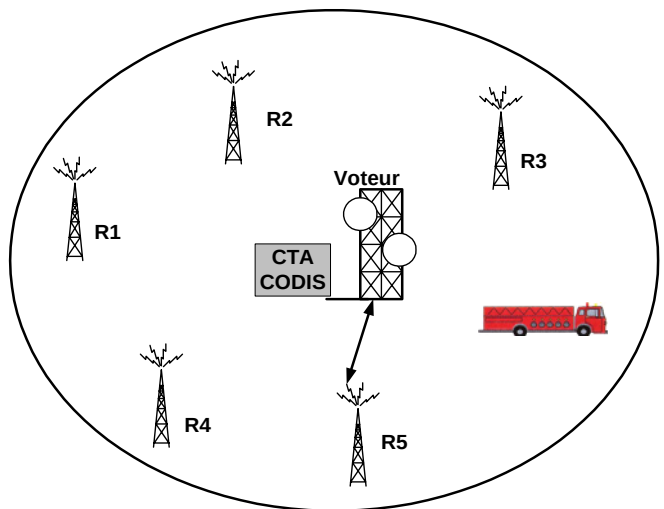


Figure 2.3 : Election d'un relais : phase 3.

Dossier technique

2.1.4 PHASE 4: ETABLISSEMENT DE LA COMMUNICATION ENTRE LE MOBILE ET LE RELAIS

La communication entre le poste mobile passe alors par le relais élu.

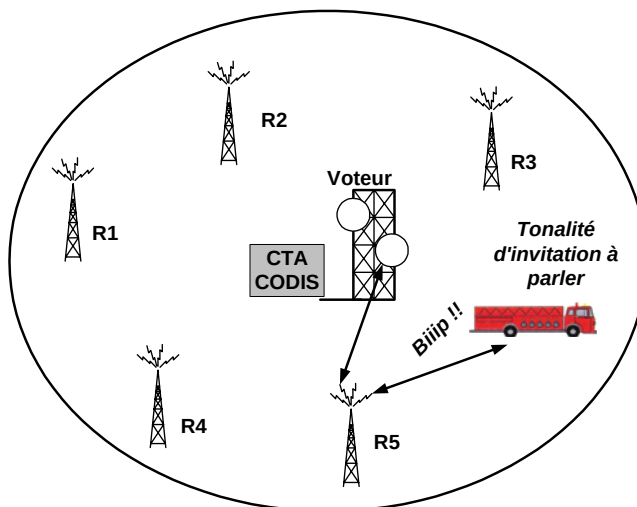


Figure 2.4 : Election d'un relais : phase 4

3 LES STATIONS RACER ET BOXER

Ce sont deux produits similaires :

Une station BoxER (Boîtier Emetteur/Récepteur) se présente dans une boîte métallique et intègre la carte VTXXCOM, un émetteur/récepteur (station simplex) ou un émetteur et un récepteur indépendant (station duplex réémettrice) et dans ce cas un duplexeur. (Voir schéma de d'interconnexion *Figure 2.1 page 9*).

Une station RacER (Rack Emetteur/Récepteur) se présente dans un tiroir rack 19" sauf qu'elle ne dispose pas de duplexeur, même dans le cas d'une station duplex. Dans ce cas, le duplexeur est reporté dans l'armoire ou directement au pied du mat d'antenne.

3.1 LA CARTE VTXXCOM

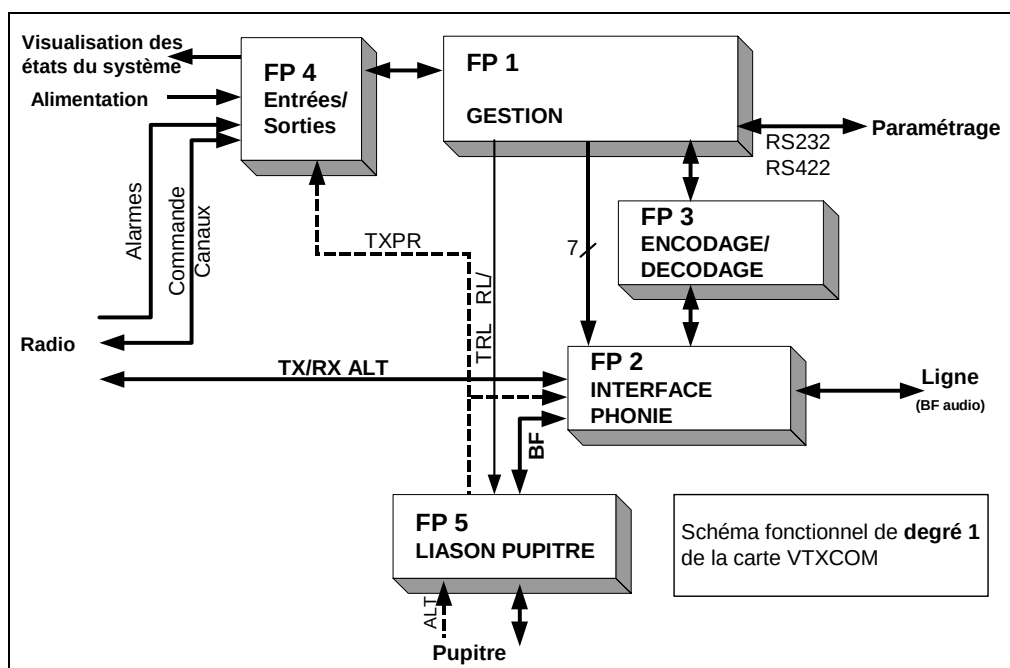


Figure 3.1 Schéma fonctionnel de degré 1 de la carte VTXXCOM

Les schémas structurels de la carte VTXXCOM se trouvent page 2 à 8 du dossier "Schémas".

Dossier technique

Attention : Le découpage hiérarchique des schémas par la société SYSTEL ne correspond pas exactement au découpage fonctionnel décrit ici. Le découpage adopté par SYSTEL est plutôt orienté "composants apparentés" que par fonction.

La carte VTXXCOM se compose de 5 fonctions principales :

3.1.1 FP1 GESTION

Elle permet la gestion logicielle des différentes fonctionnalités de la carte :

- Gestion et relayage des trames FFSK, TCS et 5 Tons ;
- Election d'un relais ;
- Gestion du relayage audio ;
- Paramétrage distant ou local.

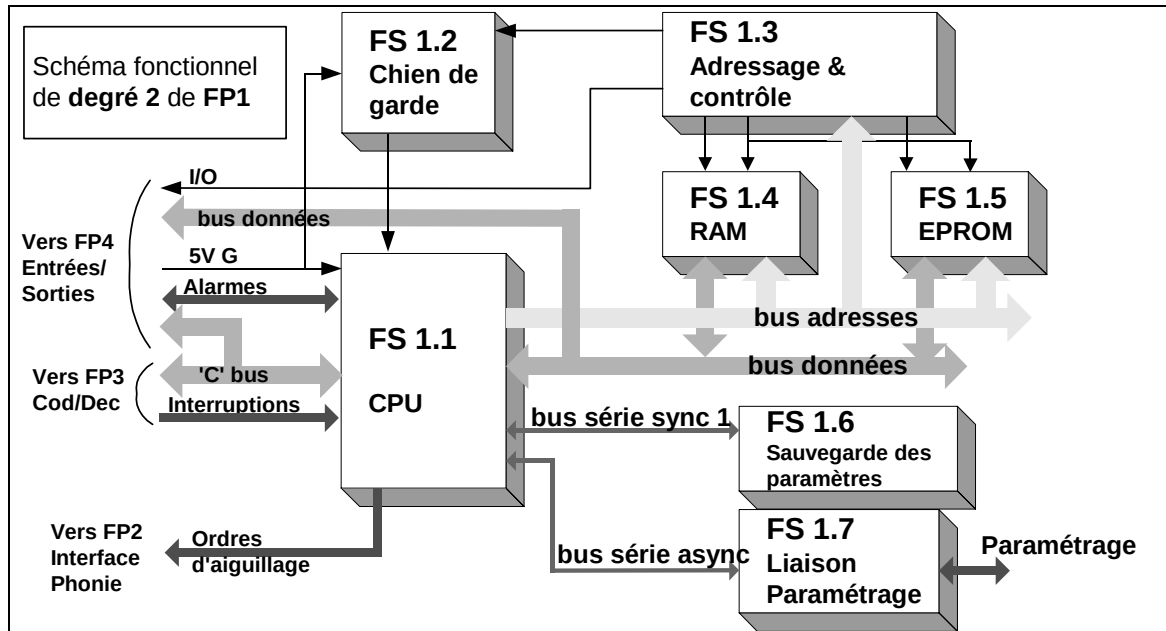


Figure 3.2 Schéma fonctionnel de degré 2 de FP1.

3.1.1.1 FS 1.1 CPU

Elle se compose d'un microcontrôleur 16bits NEC: le V25+ (voir documentation constructeur).

Elle fonctionne avec un chien de garde (FS 1.3), une mémoire programme en EPROM (FS 1.5), une mémoire statique pour les données (FS 1.4) associés à un décodage d'adresse (FS 1.3).

Elle pilote l'aiguillage des signaux audiofréquence de FP2 via 8 signaux logiques de commande issus de ses ports I/O (voir description des signaux au §3.1.2).

Elle dialogue avec les codeurs et décodeurs (FP3) via un bus série synchrone appelé "C" bus et 4 signaux d'interruption.

Elle dialogue avec FP4 par: des bits de ports en sortie destinés à relayer des états à visualiser, des bits de ports en entrée pour prendre en compte des alarmes et des états à surveiller, le "C" bus pour piloter un CAN et le bus de données pour piloter des périphériques optionnels. Tous ces signaux sont décrits au § 3.1.4.

3.1.1.2 FS 1.6 Sauvegarde des paramètres

Les paramètres de la station (canal, type, adresse ...) sont mémorisés dans une EEPROM série synchrone.

3.1.1.3 FS 1.7 Liaison paramétrage

La carte VTXXCOM peut être paramétrée par un PC ou un PDP, via une liaison série asynchrone de type RS232 ou RS422.

Dossier technique

3.1.2 FP2, INTERFACE PHONIE

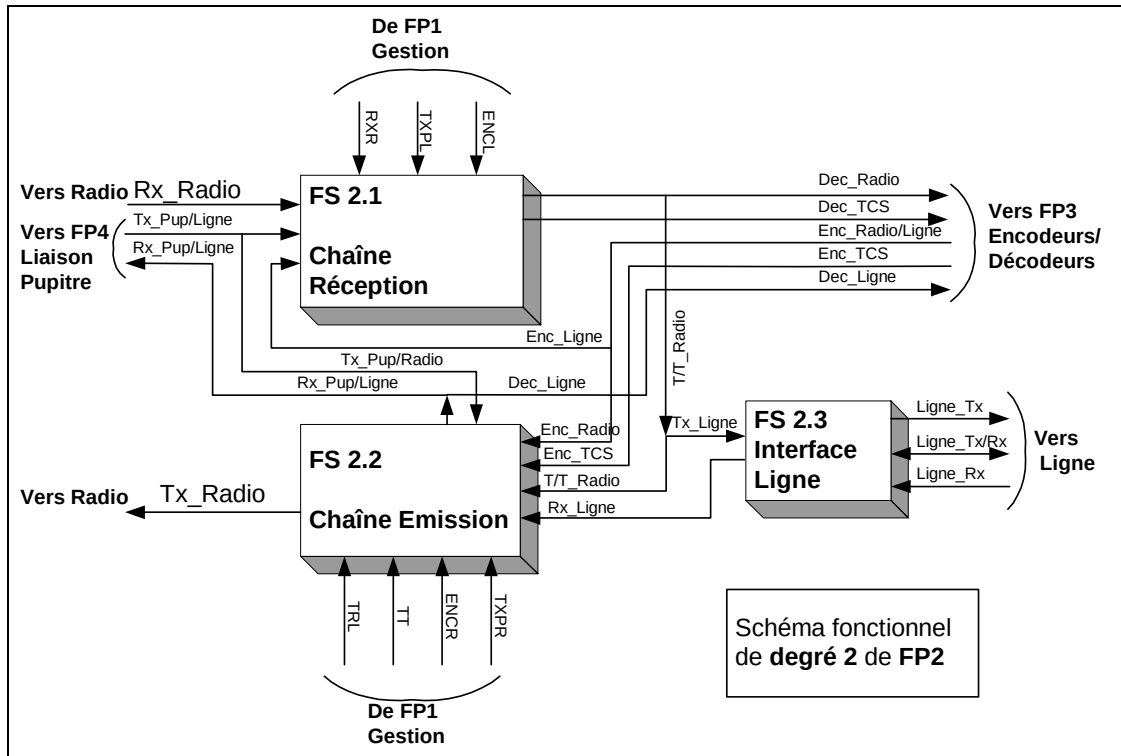


Figure 3.3 Schéma fonctionnel de degré 2 de FP2

Elle permet l'adaptation et l'aiguillage des signaux audiofréquence entre la radio, le pupitre optionnel (composé d'un microphone, d'un haut-parleur et d'un poussoir) et les circuits de codage/décodage (FP3).

3.1.2.1 FS 2.1 Chaîne Réception

Elle reçoit le signal BF issu de la radio (Rx_Radio); ce signal, après amplification est envoyé à FP3 pour le décodage TCS (Dec_TCS).

Le signal Txpup/ligne (destiné au pupitre ou à la ligne), le signal Enc_ligne (destiné à la ligne et issu des encodeurs) et le signal Rx_Radio (après avoir subi une adaptation) sont aiguillés vers un contrôle automatique de gain avant d'être dirigés soit vers les décodeurs (Dec_Radio), soit vers la ligne (Tx_ligne), soit vers la chaîne émission (T/T_Radio).

Les signaux RXR, TXPL et ENCL permettent d'aiguiller respectivement les signaux Rx_Radio, Txpup/ligne et Enc_ligne vers le CAG.

3.1.2.2 FS 2.2 Chaîne Emission

Elle reçoit les signaux à émettre (Enc_Radio, Enc_TCS, T/T_Radio et Rx_ligne) soit vers la radio (Tx_radio), soit vers le pupitre ou vers la ligne (Rx_pup/ligne) soit vers les décodeurs (Dec_ligne) en fonction des ordres d'aiguillage : TRL (transmission Radio), TT (Relayage direct), ENCR (Encodage Radio) et TXPR (émission pupitre).

3.1.2.3 FS 2.3 Interface ligne.

Elle permet l'adaptation, l'amplification et le filtrage des signaux de FS 2.1 vers la ligne de communication et inversement de la ligne de communication vers FS 2.2.

Elle peut fonctionner en simplex, les deux canaux Rx_Ligne et Tx_Ligne sont dirigés sur Ligne_Tx/Rx; ou en duplex les canaux sont indépendants Ligne_Rx est dirigé vers Rx_Ligne et Tx_Ligne est dirigé vers Ligne_Tx.

Dossier technique

3.1.3 FP3 CODAGE/DECODAGE

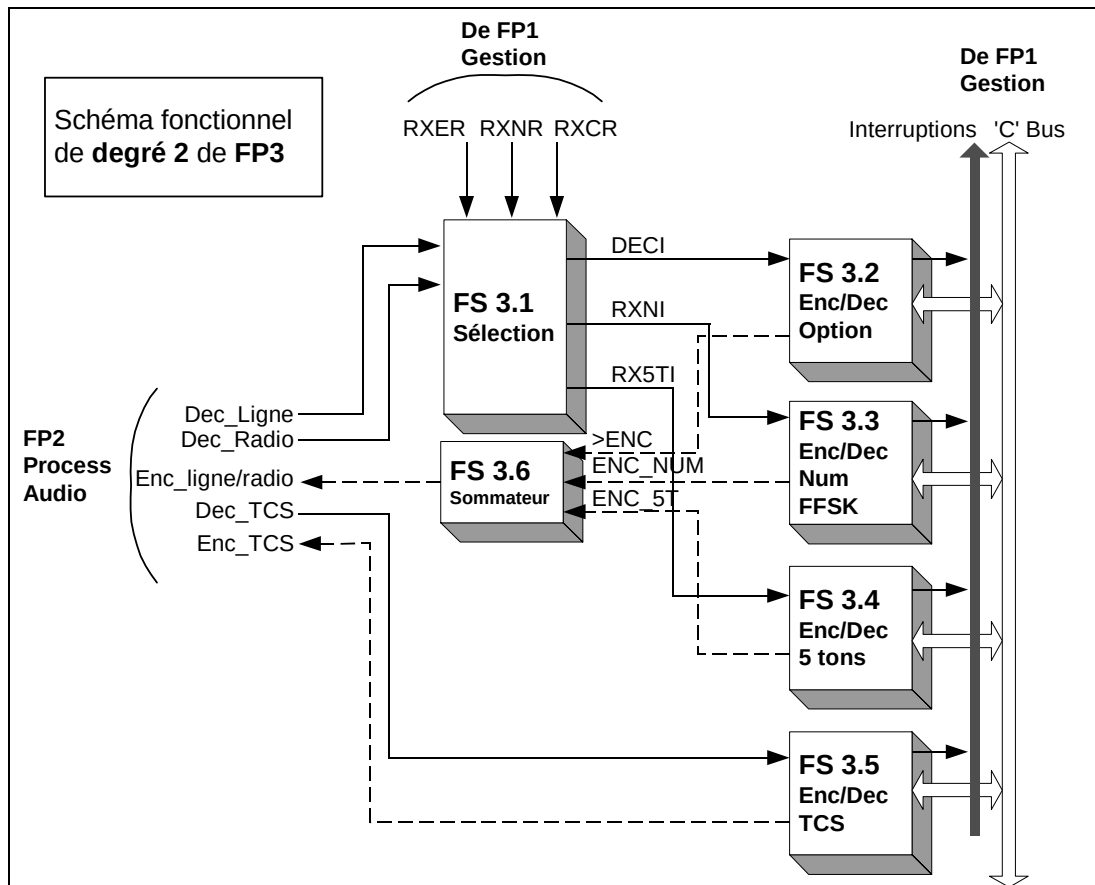


Figure 3.4: Schéma fonctionnel de degré 2 de FP3

Elle permet le codage/décodage des trames FFSK, TCS et 5 Tons, qui seront exploitées par FP1.

3.1.3.1 FS 3.1 Sélection

Elle permet d'aiguiller les signaux Dec_Ligne ou Dec_Radio vers FS 3.2, FS 3.3 et FS 3.4; le codeur TCS (FS 3.5) reçoit directement son signal de FP 2.

3.1.3.2 FS 3.2 Enc/Dec option

Il s'agit d'une possibilité de rajouter un CODEC non prévu initialement, il doit être, comme les autres géré par le "C" Bus.

3.1.3.3 FS 3.3 Enc/Dec numérique FFSK

Réalisée autour du FX809, elle permet l'encodage et le décodage des données numériques modulées en FFSK (Fast Frequency Shift Keying) à 1 200 bauds, dans la bande passante des émetteurs / récepteurs radio. Le protocole supporté répond à la norme MPT13271 et décharge le microcontrôleur de ce travail (une trame = préambule + synchro + adresses + données + checksum). Par contre l'analyse du contenu des trames est confiée à FP1.

3.1.3.4 FS 3.4 Enc/Dec "5 tons"

Réalisée autour du FX803, elle permet l'encodage et le décodage de trames dites "5 tons". Elle est également gérée par le microcontrôleur via le "C" bus.

Le circuit accepte les normes ZVEI, DZVEI, CCIR et EEA. Ce sont des normes de signalisation à basse fréquence, mais dans la bande passante audio (800 à 2 800 Hz suivant les normes), d'où le terme de "tons". Suivant les normes, 13 à 15 caractères peuvent être codés. Une trame se compose de 5 co-

¹ MPT 1327 est un standard, à l'origine anglais, de communication analogique interurbaine permettant de relayer des ordres ou des états en format série asynchrone. Initialement le MPT1327 fonctionnait en VHF.

Dossier technique

des successifs, d'où le nom de 5 "tons". Contrairement au DTMF (*Dual Tone Modulated Frequencies*), chaque code correspond à une seule fréquence. Le circuit accepte aussi le DTMF.

Ici, il n'est utilisé qu'en séquentiel 5 tons.

3.1.3.5 FS 3.5 Enc/Dec "TCS"

Réalisée autour du FX805, elle permet l'encodage et le décodage de trames dites "TCS" (Tone Controlled Squelch). Elle est également gérée par le microcontrôleur via le "C" bus.

Le TCS est un codage fréquentiel en bande sub-audio (67 à 250,3 Hz la bande audio ne commençant qu'à 300 Hz). 38 codes sont ainsi réalisés. Voir figure 7-bis du dossier « schémas ».

3.1.3.6 FS 3.6 Sommateur

Les signaux issus de FS 3.2, FS 3.3 et FS 3.4 sont sommés avant d'être dirigés vers FP2. Le signal issu du décodeur TCS est directement sorti.

3.1.4 FP4 ENTREES/SORTIES

Elle permet la visualisation des états du système, l'adaptation électrique de signaux d'alarmes et d'information en provenance de la radio, de l'alimentation secteur.

3.1.4.1 FS 4.1 Adaptation et visualisation

Cette fonction adapte les niveaux issus de la radio, de l'alimentation vers FP1 et inversement les niveaux logiques de FP1 pour allumer des LEDs.

3.1.4.2 FS 4.2 Régulations

C'est un ensemble de régulateurs linéaires qui, à partir de l'alimentation principale (11 à 15 V DC) fournit:

- 2 alimentations de 5 V,
- 1 alimentation de 10 V,
- 1 tension de référence de 2 V pour les amplificateurs.

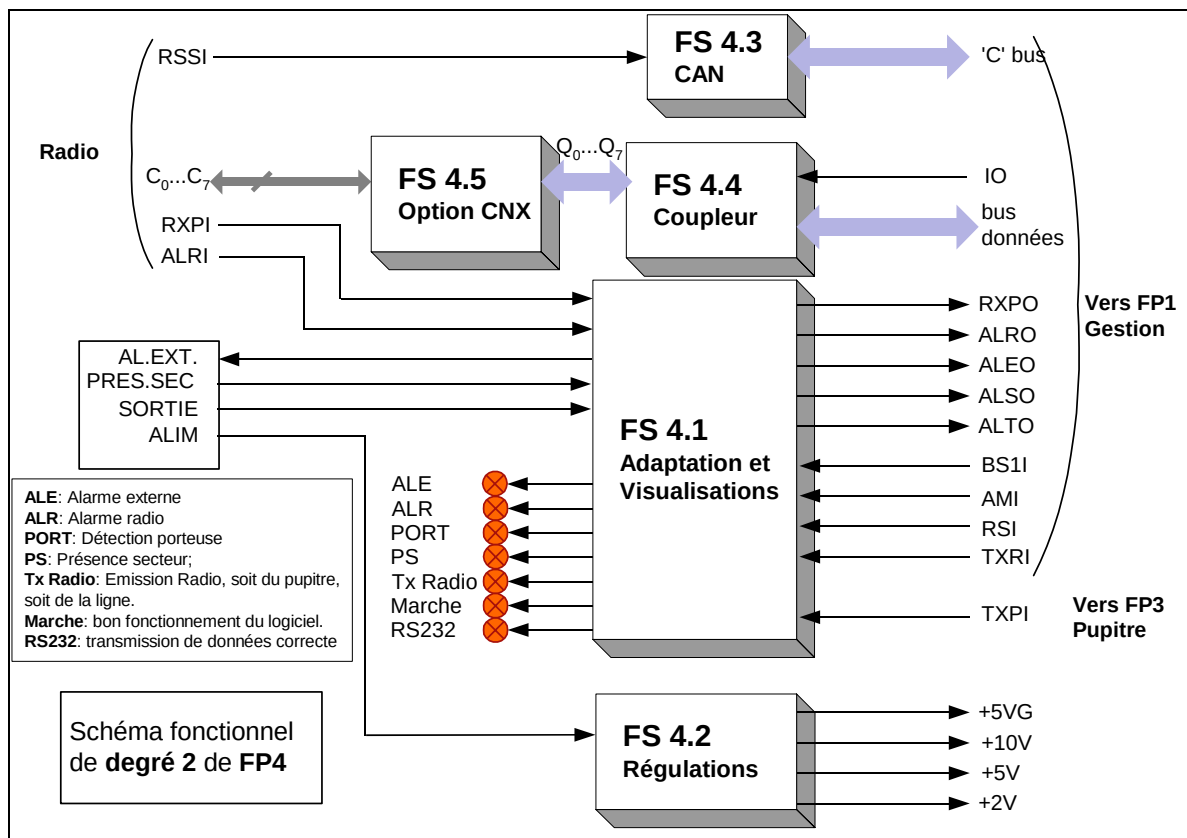


Figure 3.5: Schéma fonctionnel de degré de FP4

Dossier technique

3.1.4.3 FS 4.3 CAN

Il s'agit d'une fonction chargée de la conversion analogique numérique du signal RSSI issu du poste radio. Le signal RSSI donne une image logarithmique de la puissance reçue par le poste. Cette information permettra au voteur de décider qui est le relais le plus favorable.

Cette fonction fournit le résultat de conversion à FP1 via le "C" bus.

3.1.4.4 FS 4.4 Coupleur (port de sortie)

C'est un simple port de sortie sur 8 bits destiné à piloter l'option connexion.

3.1.4.5 FS 4.5 Option CNX

C'est une option sous forme de carte enfichable qui permet de piloter le changement de canaux des radios FM1000. Il en existe plusieurs versions.

3.1.5 FP 5 LIAISON PUPITRE

FS 5.1: Cette fonction, à partir de l'information ALT (poussoir d'alternat du pupitre) et RL/ issue de FP1, permet d'aiguiller la BF soit vers Txpup_ligne et Txpup_radio soit vers Rxpup_ligne et Rxpup_radio.

FS 5.2 : Les signaux TRL/, TXPR et TXPL sont élaborés par une simple logique combinatoire.

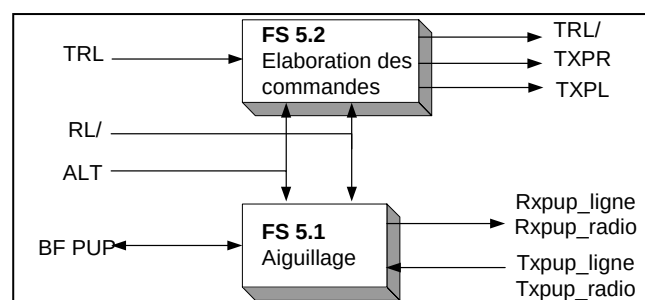


Figure 3.6 Schéma fonctionnel de degré 2 de FP5

3.2 LES EMETTEURS RECEPTEURS FM1000

Ce sont des produits fabriqués et commercialisés par Philips, ils existent dans les bandes suivantes :

Bande E0	68 - 88 MHz		
Bande B0	132 - 156 MHz	Bande A9	146 - 174 MHz
Bande K1	174 - 208 MHz	Bande K2	192 - 225 MHz
Bande TM	400 - 440 MHz	Bande TA	425 - 450 MHz
Bande U0	440 - 470 MHz	Bande WM	470 - 520 MHz

Espacement des canaux :

Type S 12,5 kHz	Type R 20 kHz	Type V 25 kHz
-----------------	---------------	---------------

On trouvera page 9 du dossier « 'Schémas », deux extraits de schémas « synoptiques », présents dans la notice technique des postes FM1000.

Ce sont des postes en FM performants dont la puissance d'émission peut atteindre 30 W dans la bande E0 et 25 W dans les autres bandes. La puissance d'émission est programmable (1 W, 6 W, 10 W, 15 W, 25 W et 30 W).

Sur ces postes, SYSTEL n'utilise que la partie purement radio avec un espacement de 12,5 kHz et n'utilise pas les possibilités TCS et 5 tons des postes. Le signal RSSI est directement pris sur la carte récepteur après le démodulateur. La BF reçue est extraite avant les amplificateurs de volume. La BF à émettre est câblée après l'ampli microphone et les filtres du FM1000.

Dossier technique

4 LES TRAMES

Description de quelques trames de commande et de contrôle.

4.1 LES PARAMETRES

Ils sont logés en E2PROM, localement avec l'outil de paramétrage, via la liaison série.

4.1.1 LES PARAMETRES SIGNALISATION (T)

Les TCS: Sélection, Direct, Général, Réseau, Zone : de 00 à 38 sélectivité décodage
TCS : SE = +/- 0.5%, SL = +/- 1%.

Les 5 tons : Appel, Identité, Commun , Mode , Boucle , AlarmeDébut , AlarmeFin , FinCom. 4 standards de codage ou décodage : C (ccir), E (eea), Z (zvei), D (dzvei), 5 ou 6 tons.

4.1.2 LES PARAMETRES TEMPS (T)

Tx delai : TC (très court = 0,1 s), C (court = 0,15 s), N (normal = 0,2 s), L (long = 0,25 s).

Tonalité invitation: N (normal = 0,5 s), L (long = 1 s).

fin com : N (normal = 5 s), L (long = 10 s).

Tx max : C (court = 1 mn), N (normal = 2 mn), L (long = 3 mn), TL (très long = 4 mn)

4.1.3 LES PARAMETRES RESEAU

Numéro relais réseau : de 01 à 16

Numéro relais zone : de 01 à 08 (t)

Numéro département : de 01 à 99

Numéro réseau : de 00 à 24

Numéro zone : de 00 à 07 (t)

Libellé du relais : 12 caractères

Mode auto : "B" ou "F" (t)

4.1.4 PARAMETRES RADIO

Type de relais : Boxer, Racer, Autre, PRF

Type de récepteur: F (Philips fm1000), P (Philips prm), M(moto 900), A (autre), R (philipsPRF10)

Valeurs paliers RSSI : tensions (0,00 V à 5,00 V)

RSSI : VP (valeur + palier), P (palier)

4.2 LES TRAMES NUMERIQUES RADIO

4.2.1 STRUCTURE COMMUNE

4.2.1.1 Préambule

2 premiers octets destinés à synchroniser la partie analogique du décodeur : AA AA

4.2.1.2 Synchro ou clé

2 octets qui suivent le préambule, et signale le début d'une séquence valide : B4 33

4.2.1.3 Données

Paquet de 6 octets d'informations comportant les fonctions et les données.

Dossier technique

4.2.1.4 Contrôle ou CRC:

2 octets qui suivent le paquet de données.

C'est le résultat d'un polynôme (norme 1382) appliqué au paquet de données précédent, permettant la détection et la correction d'erreurs.

4.2.2 TRAME CONTROLE RESEAU PHONIE CTRL (CTX> RELAIS)

Paquet 1						Paquet 2					
Destination	Origine	Relais 1		Relais 2		Relais 3		Relais 4		Relais 5	
		d1	d2	d1	d2	d1	d2	d1	d2	d1	d2
Paquet 3						Paquet 4					
Relais 6		Relais 7		Relais 8		Relais 9		Relais 10		Relais 11	
d1	d2	d1	d2	d1	d2	d1	d2	d1	d2	d1	d2
Paquet 5						Paquet 6					
Relais 12		Relais 13		Relais 14		Relais 15		Relais 16		non utilisé	
d1	d2	d1	d2	d1	d2	d1	d2	d1	d2	00	00

4.2.2.1 Destination

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TYPE				Nombre			
001 = relais phonie				nombre relais réseau : 01 .. 16			

4.2.2.2 Origine

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TYPE		IDENTITE					
CTX = 0		n° du département: 00..99					

4.2.2.3 Relais

d1							
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
N/S	M	S	P3	P2	P1	TX	RX
1 non géré	0 = Mode auto 1 = Mode Manuel	0 = non sélectionné 1 = sélectionné	000 = Normal 011 = Débrayé 100 = Bloqué			0 = Pw haute 1 = Pw Basse	0 non géré

d2							
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
C2	C1	E	0	0	IR	1	AL
00 non géré	0 = éligible 1 = non éligible	0 non géré	0 non géré	0 non géré	0 = normal 1 = interconnecté	1 non géré	0 non géré

4.2.3 TRAME APPEL PHONIE (RELAIS > CTX)

Destination	Origine	Fonction	Réseau	Param. 1	Param. 2
-------------	---------	----------	--------	----------	----------

4.2.3.1 Destinataire

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
TYPE CTX = 0		IDENTITE département : 00..99					

Dossier technique

4.2.3.2 Origine

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
relais phonie = 001				n° relais réseau : 01..16			

4.2.3.3 Réseau

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
ZONE : 0..7				RESEAU : 00..24			

4.2.3.4 Fonctions, paramètres

Fonction	label	Désignation	Param. 1	Désignation	Param. 2	Désignation
00	DRLX	Début relayage	00..FF	V.RSSI	01..08	P.RSSI
01	FRLX	Fin relayage	00	Non utilisé	00	Non utilisé
02	MRLE	Marquage élection réseau	00..FF	V.RSSI	01..88	P.RSSI
03	FRLE	Fin relayage élection	00	Non utilisé	00	Non utilisé
04	DALR	Début Alarme.	00	Non utilisé	05 08 09	Secteur Externe Radio
05	FALR	Fin Alarme.	00	Non utilisé	05 08 09	Secteur Externe Radio
08	RTMP	Réponse test mode/position	(d1)CTRL	si mode auto: TX = B(0)/F(1)	(d2)CTRL	si alarme : AL = 1
09	ATPE	Acquit téléparam écriture	00..01	00 = valide 01 = non valide	00..FF	fonction écrite
0A	ARLE	Acquit Relais Elu	00	Non utilisé	00	Non utilisé
0B	MRLS	Marquage sélection	00..FF	V.RSSI	01..08	P.RSSI
0C	FRLS	Fin relayage sélection	00	Non utilisé	00	Non utilisé
0D	DRXR	Début RX mobile	00	Non utilisé	00	Non utilisé
0E	FRXR	Fin RX mobile	00	Non utilisé	00	Non utilisé
0F	MRZE	Marquage élection zone	00..FF	V.RSSI	01..88	Relais zone +P.RSSI
10	RTTS	Réponse test param temps	voir lecture paramètres temps			
11	RTSC	Réponse test paramTCS	voir lecture paramètres TCS			
12	RTSS	Réponse test param 5 tons	voir lecture paramètres 5 tons			
13	RTRR	Réponse test param radio	voir lecture paramètres radio			
EE	RTEE	Réponse test écriture E2P.	00..FF	adresse	00..FF	donnée
FF	RTCF	Réponse test configuration	voir lecture paramètres configuration			

4.2.3.5 Param 2, fonction MRZE

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
n° relais zone : 0..8				Pallier RSSI : 1..8			
(si appel TCSZ)							

4.3 MODE 0, 1, 2, 3 ET 4

Non étudié

4.4 MODE AUTO OU MODE CONTROLE

Ce mode de fonctionnement est activé par le CTX en radio, à réception de la trame numérique contrôle "CTRL" comportant l'indication mode auto (ou électif) sans distinction "auto1" (puissance faible) ou "auto2" (blocage).

Ce mode permet l'élection ou la sélection d'un relais par un mobile, après contrôle de la base.

4.4.1 APPEL MOBILE

4.4.1.1 Inscription et élection

Le relais est appelé par une des trois conditions :

- o Porteuse et TCSG présents 0,5 s minimum, 5 s maximum ;
- o Code 5/6 tons "C" ;
- o Porteuse et TCSG et code "C".

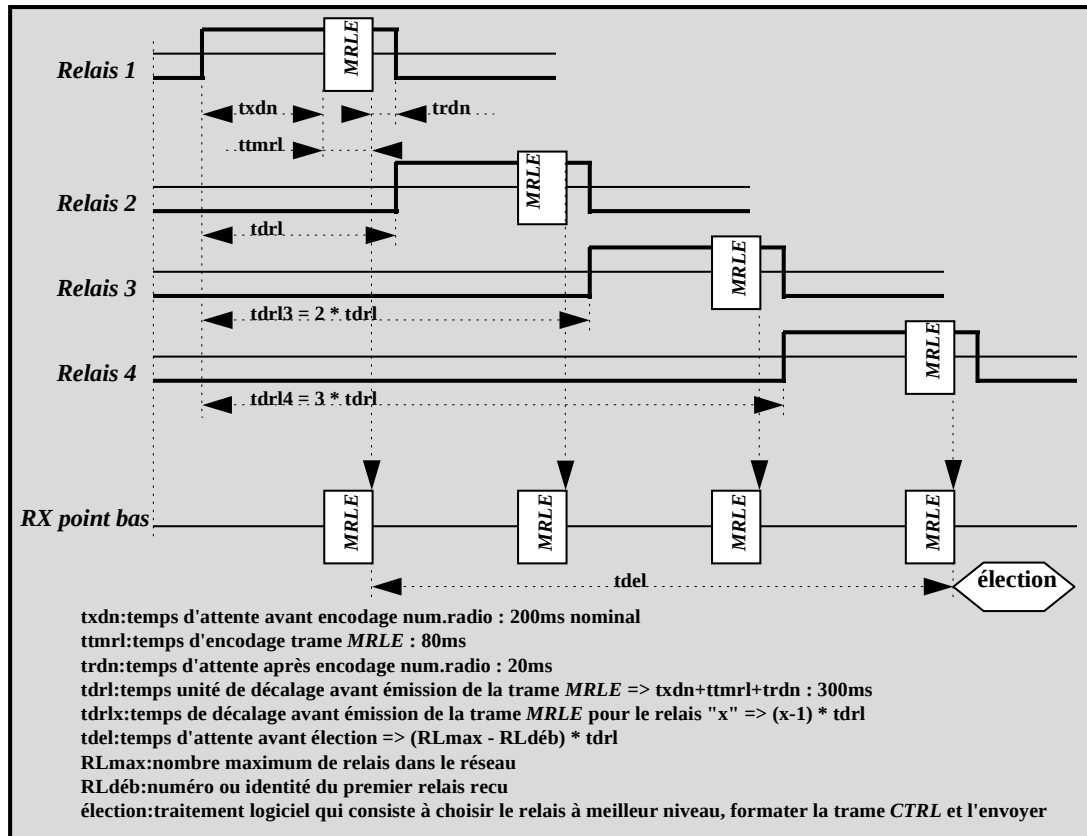
Dossier technique

Si tel est le cas, la trame appel "MRLE" est émise avec un temps de décalage "tdrl" lié au numéro du relais. Ce temps est calculé comme suit ; $(RL - 1) * tdr1$, avec $tdrl_{min} = 0,25$ s, $tdrl_{nom} = 0,3$ s et $tdrl_{max} = 0,35$ s.

L'élection est effectuée à la réception de la trame "CTRL" comportant l'indication "relais élu" qui seule permet le relayage et l'identification.

Le test J1 indique un temps calculé comme suit : $[(RL_{max} - RL_n) * tdr1] + (tdtp + txdn + tctrl + tte)$, où :

$tdtp$ est le temps max de la télécommande numérique ligne (0,32 s max), $txdn$ le tx delay du point bas (0,25 s max), $tctrl$ le temps max de la trame contrôle (0,2 s), tte le temps de traitement de l'élection au point bas (0,01 s max), le temps de contrôle : $tdp + txdn + tctrl + tte$ représente 780 ms max, $tdrl = txdn + ttmrl + trdn$, avec $ttmrl = 83$ ms et $trdn = 5$ ms, $tdrl_{max} = 338$ ms et $tdrl_{min} = 238$ ms



Phase d'inscription avant élection

Pour 16 relais, sur le relais 1, par exemple, le temps d'attente est de 4,35 s min et 5,85 s max. Idem sur le relais 16, le temps d'attente est de 780 ms.

4.4.1.2 Sélection

Le relais est appelé par une des conditions :

- o **Porteuse et TCSS** sans condition de temps ;
- o code 5/6 tons "A" ;
- o porteuse et TCSS et code "A".

La trame numérique appel "MRLS" est émise après une de ces conditions.

Seule la réception de la trame "CTRL" comportant l'indication "relais sélectionné" permet le relayage et l'identification.

Dossier technique

5 DETECTION ET CORRECTION DES ERREURS DE TRANSMISSION

5.1 CODE DE REDONDANCE CYCLIQUE (CRC)

La transmission n'est pas toujours parfaite, les trames transmises peuvent contenir des erreurs. Pour garantir la fiabilité de la transmission on calcule le Code à Redondance Cyclique ou CRC puis on l'ajoute à la trame suivant le format MPT1327 compatible avec le circuit FX809 (CODEC FFSK). Le principe du calcul du CRC est le suivant :

Une trame de m bits est représentée par un polynôme de m termes notés :

$$x^{m-1} + x^{m-2} + \dots + x^0 \rightarrow \text{Exemple } 1001001 \rightarrow 1 \cdot x^6 + 0 \cdot x^5 + \dots + 1 \cdot x^0$$

En arithmétique polynomiale, toutes les opérations sont effectuées modulo 2 sans reste : l'addition et la soustraction correspondent alors à l'opération OU EXCLUSIF.

Pour calculer la somme de contrôle, l'émetteur et le récepteur de données se mettent d'accord sur un polynôme générateur $G(x)$ de degrés r de la forme $x^r + \dots + x^0$.

La trame à transmettre de m bits correspond à un polynôme $M(x)$.

La somme de contrôle (CRC) $R(x)$ ajoutée à la fin de la trame, est calculée de façon à ce que le polynôme $M(x)R(x)$ soit divisible par $G(x)$.

La sécurité de la transmission peut encore être renforcée en ajoutant à la trame un bit de parité. Par exemple si $G(x)$ est de degrés 15, le CRC est de 15 bits. Il reste alors un bit disponible dans le dernier octet de la trame. Ce bit est disponible pour rendre toute la trame paire.

5.2 ALGORITHME DE CALCUL DU CODE DE REDONDANCE CYCLIQUE

Les messages à transmettre ont une longueur constante égale à 6 octets. Dans le cas de messages plus longs, par exemple pour la trame de contrôle réseau phonie (CTRL) le message est découpé en paquets de 6 octets.

Soit $M(x)$ le polynôme correspondant au message à transmettre et $G(x)$ le polynôme générateur de degrés $r = 15$ choisi :

$$G(x) = X^{15} + X^{14} + X^{13} + X^{11} + X^4 + X^2 + X^0 \text{ (11101000 00010101)}$$

Multiplier $M(x)$ par x^r , ce qui revient à ajouter r zéros à la fin du message.

$$\text{Effectuer la division polynomiale } \frac{M(x)x^r}{G(x)} = Q(x) + R(x)$$

Le quotient $Q(x)$ est ignoré, le reste $R(x)$ (CRC) contient r bits.

5.3 MISE AU FORMAT MPT1327

Le coefficient X^0 du reste $R(x)$ est inversé, puis $R(x)$ est multiplié par deux pour former un mots de 16 bits : $R'(x)$.

La trame à transmettre est $T'(x) = M(x) - R'(x) + p$, p étant un bit de parité de la trame $T(x)$ calculé avec les bits 1 à 63. Ce bit est ajouté afin de rendre la parité de la trame toujours paire.

La Figure 5.1 page 24 présente un exemple de calcul d'une trame $T'(x)$.

5.4 RECEPTION DE LA TRAME ET VERIFICATION

Pour vérifier qu'une trame a été correctement transmise, on effectue les opérations suivantes :

La parité de la trame est vérifiée (elle doit être paire), puis le bit 63 est inversé.

Les 63 premiers bits sont utilisés comme coefficients X^{77} à X^{15} d'un polynôme de 77 bits qui sera utilisé comme dividende par le générateur $G(x)$.

Si 15 bits du reste de la division sont nuls, la trame a été correctement transmise.

Dossier technique

Les 15 bits (x15..x1) du reste de la division sont utilisés pour former un mot de 16 bits appelé syndrome. Le bit 0 est positionné à la valeur 1 si la parité de la trame reçue est impaire. Ce syndrome peut fournir une indication sur les bits erronés.

Les Figure 5.2 page 25 et page 26 présentent chacune un exemple de calcul du syndrome.

5.5 CORRECTION DES ERREURS

Les erreurs simples et doubles (adjacentes) dans la trame reçue peuvent être corrigées en comparant le syndrome avec les entrées de la table Figure 5.4 page 27.

Les syndromes 0003 ... 7FBB₍₁₆₎ correspondent à des erreurs doubles (parité inchangée), les valeurs 8000₍₁₆₎ ... FC69₍₁₆₎ correspondent à des erreurs simples (parité incorrecte).

Si une correspondance est trouvée, le(s) bit(s) à inverser est (sont) spécifié(s) par la colonne adjacente.

Exemple :

Trame T'(x) envoyée 6 octets :

```
89 AB CD EF 12 34 FD 42
10001001 10101011 11001101 11101111 00010010 00110100 11111101 01000010
Bit 1.....XX.....64
```



 erreur double

Trame T'(x) reçue :

```
89 AB CD EF 12 34 FD 42
10001001 01101011 11001101 11101111 00010010 00110100 11111101 01000010
Bit 1.....XX.....64
```

Pour ce polynôme, le syndrome est 60₍₁₆₎ (voir page 26). Dans la table Figure 5.4 page 27, la correspondance avec ce syndrome donne pour numéro de bits erronés les valeurs 9 et 10.

Trame M(x)

```
89 AB CD EF 12 34 Hex
10001001 10101011 11001101 11101111 00010010 00110100 Bin
```

Division $\frac{M(x)x^r}{G(x)}$

Dossier technique

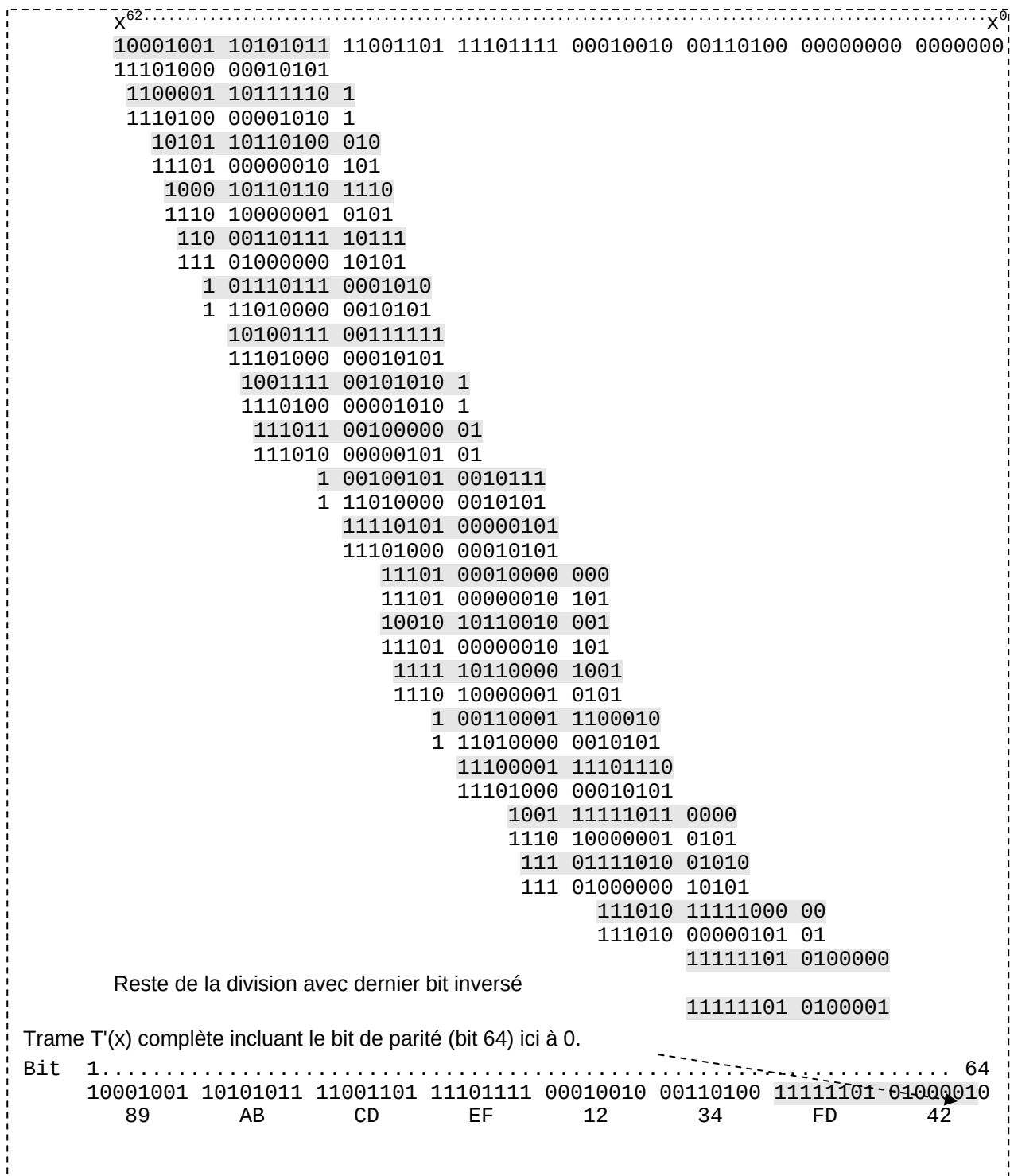


Figure 5.1 : Construction d'une trame $T'(x)$

Trame $T'(x)$ reçue (6 octets) ne comportant aucune erreur

89 AB CD EF 12 34 FD 42

10001001 10101011 11001101 11101111 00010010 00110100 11111101 01000010

Bit; 1.....64

Etape 1 : tester la parité (ici correcte)

Etape 2 : inverser le bit 63, puis diviser les 63 premiers bits (décalés à gauche de 15 positions) par le polynôme $G(x)$.

Dossier technique

```

X-----X
10001001 10101011 11001101 11101111 00010010 00110100 11111101 01000000 00000000 00000000
11101000 00010101
1100001 10111110 1
1110100 00001010 1
10101 10110100 010
11101 00000010 101
1000 10110110 1110
1110 10000001 0101
110 00110111 10111
111 01000000 10101
1 01110111 0001010
1 11010000 0010101
10100111 00111111
11101000 00010101
1001111 00101010 1
1110100 00001010 1
111011 00100000 01
111010 00000101 01
1 00100101 0010111
1 11010000 0010101
11110101 00000101
11101000 00010101
11101 00010000 000
11101 00000010 101
10010 10110010 001
11101 00000010 101
1111 10110000 1001
1110 10000001 0101
1 00110001 1100010
1 11010000 0010101
11100001 11101110
11101000 00010101
1001 11111011 1111
1110 10000001 0101
111 01111010 10101
111 01000000 10101
111010 00000101 01
111010 00000101 01
000000 00000000 00000000 00000000 00000000
Reste de la division = 00000000 00000000
Syndrome : 00000000 00000000

Pas d'erreur détectée.

```

Figure 5.2 : Calcul du syndrome de la trame reçue sans erreur

Trame T'(x) reçue : 6 octets avec les bits 9 et 10 faux

89 AB CD EF 12 34 FD 42

10001001 01101011 11001101 11101111 00010010 00110100 11111101 01000010

Bit; 1.....XX64

Etape 1 : tester la parité : correcte

Etape 2 : inverser le bit 63, puis diviser les 63 premiers bits (décalés à gauche de 15 positions) par le polynôme G(x).

Dossier technique

x''	10001001	01101011	11001101	11101111	00010010	00110100	11111101	01000000	00000000	00000000	x^0
	11101000	00010101									
	11000001	01111110	1								
	1110100	00001010	1								
	10101	01110100	010								
	11101	00000010	101								
	1000	01110110	1110								
	1110	10000001	0101								
	110	11110111	10111								
	111	01000000	10101								
	1	10110111	0001010								
	1	11010000	0010101								
		1100111	00111111	1							
		1110100	00001010	1							
		10011	00110101	011							
		11101	00000010	101							
		1110	00110111	1100							
		1110	10000001	0101							
			10110110	10011111							
			11101000	00010101							
			1011110	10001010	0						
			1110100	00001010	1						
			101010	10000000	10						
			111010	00000101	01						
			10000	10000101	110						
			11101	00000010	101						
			1101	10000111	0111						
			1110	10000001	0101						
		11	00000110	001000							
		11	10100000	010101							
			10100110	01110110							
			11101000	00010101							
			1001110	01100011	0						
			1110100	00001010	1						
			111010	01101001	10						
			111010	00000101	01						
				1101100	11110100	1					
				1110100	00001010	1					
				11000	11111110	011					
				11101	00000010	101					
				101	11111100	11011					
				111	01000000	10101					
				10	10111100	011101					
				11	10100000	010101					
				1	00011100	0010000					
				1	11010000	0010101					
					11001100	00001011					
					11101000	00010101					
					100100	00011110	01				
					111010	00000101	01				
					11110	00011011	000				
					11101	00000010	101				
					11	00011001	101000				
					11	10100000	010101				
						10111001	11110100				
						11101000	00010101				
						1010001	11100001	0			
						1110100	00001010	1			
						100101	11101011	10			
						111010	00000101	01			
						11111	11101110	110			
						11101	00000010	101			
						10	11101100	011000			
						11	10100000	010101			
						1	01001100	0011010			
						1	11010000	0010101			
							10011100	00011110			
							11101000	00010101			
							1110100	00001011	0		
							1110100	00001010	1		
								00000000	00000001	100000	
Reste de la division =	000000	01100000									
Syndrome :	0000000	01100000									(0060 ₍₁₆₎)

Figure 5.3 : Calcul du syndrome de la trame comportant des erreurs

Dossier technique

Syndrome Bits à (hex) corriger			Syndrome Bits à (hex) corriger			Syndrome Bits à (hex) corriger			Syndrome Bits à (hex) corriger		
0003	14	15	468D	40	41	8001	15		B456	25	
0006	13	14	4841	61	62	8002	14		B484	19	
000C	12	13	4989	33	34	8004	13		B83F	62	
0018	11	12	4B7B	45	46	8008	12		B887	34	
0030	10	11	4BD7	22	23	8010	11		B929	46	
0060	9	10	4E0F	16	17	8020	10		B94D	23	
00C0	8	9	502A	62	63	8040	9		BA05	7	
0180	7	8	50CE	34	35	8080	8		C000	1	
0300	6	7	51B7	46	47	8100	7		C02E	36	
0600	5	6	51E1	23	24	8200	6		C31C	50	
0C00	4	5	530D	17	18	8400	5		C60A	39	
15D3	43	44	574C	41	42	8800	4		C748	57	
1763	20	21	5A62	48	49	88E9	60		C885	28	
1800	3	4	5CD1	47	48	8A09	32		CA3E	54	
18CD	28	29	5CFA	24	25	8CB1	44		D048	29	
193B	59	60	5D8C	18	19	8D21	21		E401	38	
1E1B	31	32	6000	1	2	9000	3		E588	41	
21CD	56	57	6039	36	37	90C7	52		E685	56	
220B	38	39	6292	50	51	91D2	59		E815	63	
2867	35	36	6334	26	27	9412	31		E849	35	
2BA6	42	43	64EC	57	58	9962	43		E89E	47	
2D31	49	50	650F	39	40	9A2B	26		E8AC	24	
2E7D	25	26	6815	63	64	9A42	20		E908	18	
2EC6	19	20	6CAE	52	53	A000	2		EE2D	49	
3000	2	3	6F21	54	55	A017	37		F07E	61	
3149	51	52	740B	15	16	A18E	51		F10E	33	
319A	27	28	786C	29	30	A305	40		F252	45	
3276	58	59	7897	60	61	A3A4	58		F29A	22	
3657	53	54	7B07	32	33	A51F	55		F40A	16	
3C36	30	31	7EE3	44	45	A824	30		F91F	27	
439A	55	56	7FBB	21	22	B2C4	42		FC69	53	
4416	37	38	8000	64		B44F	48				

Figure 5.4 : Table de correction des bits erronés en fonction du syndrome

Sujet

1 PREMIERE PARTIE : PROTOCOLES DE COMMUNICATION DU RESEAU D'ALERTE DES POMPIERS

1.1 ETUDE PRELIMINAIRE

Q 1.1) *Etablir le DIAGRAMME DE CAS D'UTILISATION préliminaire du réseau d'alerte des pompiers.*

1.2 ETABLISSEMENT D'UNE CONNEXION ENTRE UN POSTE MOBILE ET UN RELAIS

Le réseau d'alerte des pompiers est celui de la Charente Maritime (17). La zone couverte possède le numéro 1, le réseau étudié correspond au canal opérationnel (code 5). Cette zone comporte 6 relais éligibles non interconnectés. On s'intéressera ici uniquement au mécanisme permettant de mettre en relation un poste mobile avec le **C**entre de **T**raitement d'**A**lerte via le relais le mieux situé. La procédure d'élection est décrite dans le paragraphe *Election d'un relais* du document technique.

Dans cette configuration, les relais sont programmés en mode auto (voir paragraphe *mode auto ou mode contrôlé* du document technique) et en puissance d'émission haute.

Pour établir une communication, un poste mobile émet une porteuse et un code *TCSG*. La carte VTXCOM mesure le niveau de réception du signal dans le récepteur à l'aide d'un CAN et mémorise cette valeur sous la forme de deux codes : *V.RSSI* (niveau du signal) et *P.RSSI* (palier du signal).

On supposera ici que les relais 3 et 5 reçoivent la porteuse et un code *TCSG* valide. Les niveaux de réception *V.RSSI* sont respectivement 20 et 70, les paliers *P.RSSI* sont respectivement 5 pour le relais 3, et 5 pour le relais 5.

1.2.1 PROTOCOLE D'ECHANGE DES TRAMES

Q 1.2) *Etablir le diagramme de séquences permettant d'établir une communication entre un poste mobile et le Centre de Traitement d'Alerte (CTA). Ce diagramme devra mettre en évidence les messages échangés entre les candidats participant à l'établissement de la communication.*

1.2.2 COMPOSITION DES TRAMES ECHANGEES

Q 1.3) *Préciser le relais le plus approprié pour établir la communication entre le poste mobile et le Centre de Traitement d'Alerte (CTA).*

Q 1.4) *Donner la composition de chaque trame échangée entre le relais 5 et le relais voteur (hors bits de synchronisation et de contrôle) (utiliser le dossier réponse).*

1.3 CONSTRUCTION ET DECODAGE DES TRAMES

Les trames émises par les émetteurs des relais sont composées en mémoire dans la carte VTXCOM, puis sont transmises en série via le "*C*" *BUS* au circuit concerné. Celui-ci code la trame en fréquences audibles au format FFSK1382. Le circuit est programmé de façon à ne générer ni CRC, ni bit de parité. Ces éléments sont calculés par logiciel.

Les signaux reçus par le récepteur de chaque relais sont transmis au même circuit. Celui-ci décode les signaux et les communique au processeur via le bus série "*C*" *BUS*. Le processeur place ces trames brutes en mémoire afin d'être traitées. Le circuit est programmé de façon à ne pas générer de *syndrome* de trame, celui-ci est calculé par logiciel.

En cas d'erreur, le logiciel essaie de corriger les bits erronés.

1.4 CONSTRUCTION DES TRAMES AU FORMAT MPT1327

On s'intéressera à la génération d'une trame *T'(x)* émise par un relais c'est-à-dire :

- o au calcul du CRC,
- o à la mise au format MPT1327.

Sujet

Q 1.5) Donner le composant utilisé pour générer et décoder les signaux FFSK1382.

Q 1.6) On utilise le polynôme générateur $G(x) = X^{15} + X^{14} + X^{13} + X^{11} + X^4 + X^2 + X^0$ de degré x^r .

Calculer le CRC $R(x) = \frac{M(x).x^r}{G(x)}$ pour la trame $M(x)$ ci-dessous.

hex	11	23	02	25	14	05
-----	----	----	----	----	----	----

Q 1.7) Donner la composition (en binaire) de la trame $T(x) = M(x).x^r - R(x)$. On placera à gauche les bits de poids fort.

Q 1.8) Calculer $R(x) = \frac{T(x)}{G(x)}$ pour cette trame.

Q 1.9) Démontrer que le quotient et le reste de la division euclidienne des polynômes modulo 2 est unique.

Q 1.10) Donner la composition (en hexadécimal) de la trame $T'(x)$, format MPT1327, transmise.

1.5 VERIFICATION ET CORRECTION D'UNE TRAME RECUE

On suppose que la trame reçue comporte deux bits d'erronés : bits 7 et 8.

Q 1.11) Calculer le syndrome pour une trame reçue comportant les bits 7 et 8 erronés. On fournira le résultat en base 16.

Q 1.12) Raisonner et argumenter sur la capacité de ce syndrome à corriger ces erreurs.

2 DEUXIEME PARTIE : PROGRAMMATION DES TRAMES AU FORMAT MPT1327

On s'intéressera ici à :

- o la mise au format MPT1327 d'une trame brute,
- o au calcul du syndrome d'une trame reçue,
- o à la correction des bits erronés dans une trame.

2.1 CLASSES D'ENCAPSULATION DE LA GESTION DES TRAMES

La gestion des trames est encapsulée dans trois classes comme le montre le diagramme statique de classes ci-dessous (Figure 2.1) :

La classe *cTrame* encapsule les fonctions communes aux classes *cTrameEncode* et *cTrameDecode*. Elle comporte des fonctions membres permettant :

- o d'obtenir un bit d'une trame,
- o de modifier un bit d'une trame,
- o de déterminer la parité d'une trame.

Cette classe ne comporte aucun attribut et un constructeur par défaut n'effectuant aucune action. Les types byte, ushort, word correspondent respectivement aux types unsigned char, unsigned short.

Sujet

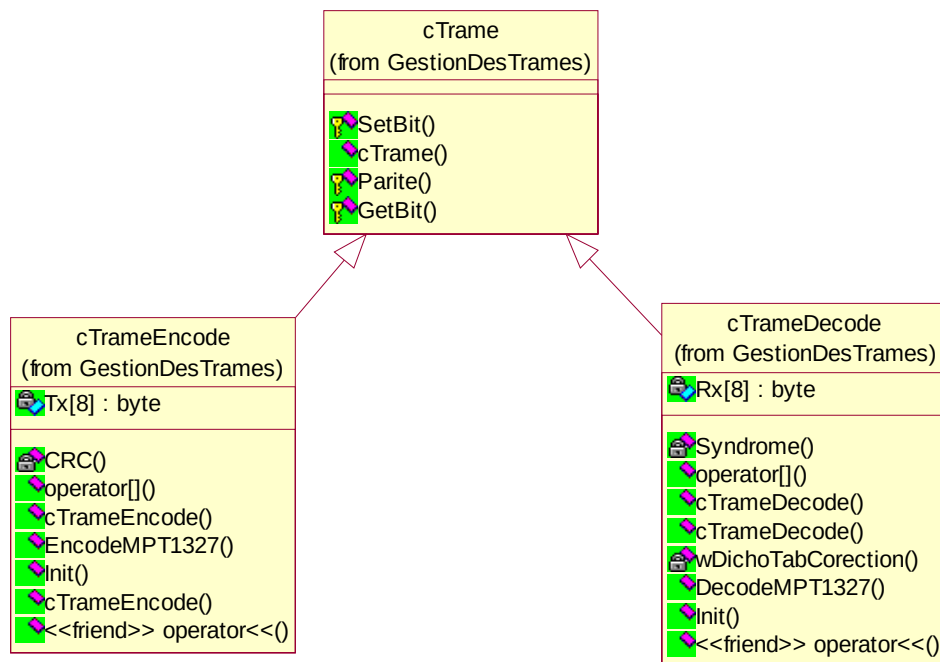


Figure 2.1

La classe *cTrameEncode* encode une trame brute au format MPT1327. Elle comporte une classe de gestion des exceptions *ErreurIndice* permettant de récupérer les erreurs provoquées par des indices hors trame. Cette classe possède un constructeur par défaut initialisant le vecteur *Tx* à 0 et un constructeur initialisant *Tx* à partir d'une trame non encodée.

La classe *cTrameDecode* décode une trame brute au format MPT1327. Elle comporte deux classes de gestion des exceptions *ErreurIndice* et *ErreurTrame*. Cette classe possède un constructeur par défaut initialisant le vecteur *Rx* à 0 et un constructeur initialisant *Rx* à partir d'une trame encodée.

Q 2.1) Déclarer la classes *cTrame* (utiliser le dossier réponse). On s'aidera de la description des paramètres de fonction donnés dans le document réponse.

Q 2.2) Déclarer la classe *cTrameEncode* (utiliser le dossier réponse). On s'aidera de la description des paramètres de fonction donnés dans le document réponse.

Q 2.3) Déclarer la classe *cTrameDecode* (utiliser le dossier réponse). On s'aidera de la description des paramètres de fonction donnés dans le document réponse.

2.2 CODAGE DES FONCTIONS MEMBRES DE LA CLASSE *CTRAME*

Q 2.4) Donner le code des fonctions membres *GetBit* et *SetBit* (utiliser le dossier réponse).

Q 2.5) Donner le code de la fonction membre *Parite* (utiliser le dossier réponse).

2.3 CODAGE DES FONCTIONS MEMBRES DE LA CLASSE *CTRAAMEENCODE*

Q 2.6) Le constructeur *cTrameEncode(const byte bTrame[])* reçoit en paramètre une trame brute qu'il recopie dans *Tx* aux indices 0..5. **Donner** le code de ce constructeur.

NB : la fonction membre *Init* réalise le même code (utiliser le dossier réponse).

Q 2.7) Cette classe possède également un constructeur par défaut. Dans le cas de l'application Réseau d'Alerte des Pompiers, **exprimer** l'intérêt qu'il y a à déclarer ce type de constructeur. **Justifier** dans ce cas la fonction membre *Init* (utiliser le dossier réponse).

Sujet

- Q 2.8)** Une fois les trames encodées, l'accès aux trames en lecture seule, s'effectue à l'aide de l'opérateur surchargé []. En cas de débordement d'indice une exception *ErreurIndice* est levée. **Donner** le code de cet opérateur (utiliser le dossier réponse).
- Q 2.9)** La fonction membre *CRC* calcule le CRC de la trame (voir document technique). **Donner** le code de cette fonction (utiliser le dossier réponse).
- Q 2.10)** La fonction membre *EncodeMPT1327* encode la trame Tx au format MPT1327. **Donner** le code de cette fonction (utiliser le dossier réponse).
- Q 2.11)** Afin de faciliter la mise au point, l'opérateur d'injection de flux << est surchargé pour cette classe. Il permet d'injecter le contenu d'une trame transcodée au format hexadécimal dans le flux passé en paramètre. **Donner** le code de cet opérateur (utiliser le dossier réponse).

2.4 CODAGE DES FONCTIONS MEMBRES DE LA CLASSE *CTrameDecode*

- Q 2.12)** Le constructeur *cTrameDecode(const byte bTrame[])* reçoit en paramètre une trame encodée au format MPT1327 qu'il copie dans Rx (indice 0..7). Nota : la fonction membre *Init* exécute le même code. Le syndrome de la trame est calculé par la fonction membre *Syndrome* suivant l'algorithme donné dans le dossier technique. **Donner** le code de la fonction membre *Syndrome* (utiliser le dossier réponse).
- Q 2.13)** Un syndrome différent de zéro signifie qu'il y a eu erreur de transmission. La valeur du syndrome permet de déterminer les bits en erreur grâce à la table donnée dans le dossier technique figure 5.4. **Déclarer** une structure *STRUCT_ERROR_CORRECTION* décrivant un élément du tableau de correction (zone grisée figure 5.4 du dossier technique). **Initialiser** de façon statique un tableau *tab_error_correction* avec les éléments du tableau figure 5.4 (on donnera uniquement les deux premières lignes et la dernière ligne) (utiliser le dossier réponse).
- Q 2.14)** La fonction membre *wDichoTabCorection* effectue une recherche dichotomique dans la table *tab_error_correction* en utilisant un syndrome comme clé. **Donner** le code de cette fonction (utiliser le dossier réponse).
- Q 2.15)** La fonction membre *DecodeMT1327* vérifie la validité de la trame reçue et en corrige les éventuelles erreurs. Si une erreur n'a pas pu être corrigée la fonction lève une exception *ErreurTrame*. **Donner** le code de cette fonction (utiliser le dossier réponse).

2.5 TEST UNITAIRE

Q 2.16) **Proposer** un premier test unitaire encodant puis décodant la trame :

89	AB	CD	EF	12	34	FD	42
10001001	10101011	11001101	11101111	00010010	00110100	11111101	01000010

puis **proposer** un deuxième test permettant de vérifier la capacité de correction d'erreur du protocole MPT1327.

Les exceptions seront interceptées et gérées de façon suivante : une erreur de trame irrécupérable provoque un nouveau décodage avec une erreur corrigible. (utiliser le dossier réponse).

Sujet

3 TROISIEME PARTIE « CONCEPTION D'UNE SEQUENCE PEDAGOGIQUE »

Les relais de retransmission et le relais *voteur* peuvent être connectés en réseau à l'aide de lignes spécialisées ou à l'aide de faisceaux hertziens. Dans ce type de configuration le connecteur J4 est relié à l'interface de communication et la connexion doit être établie en mode simplex. Le mode de transmission utilisé par les lignes spécialisées ou les faisceaux hertziens est transparent.

La procédure de vote s'effectue alors via le réseau, les trames envoyées sont identiques à celles de la transmission par radio.

3.1 QUESTIONS PRELIMINAIRES AU TRAVAIL PEDAGOGIQUE

Q 3.1) Donner les domaines d'emploi des liaisons de type RS232, RS422, RS485.

Q 3.2) *Préciser* quel type de connexion il faut établir afin de mettre en réseau les cartes VTXXCOM. **Donner** les configurations et/ou modifications à apporter alors aux cartes VTXXCOM.

Q 3.3) **Nommer** les couches du modèle OSI sollicitées lors de l'élection d'un relais. **Préciser** les éléments sollicitant ces couches.

3.2 ELABORATION D'UNE SEQUENCE PEDAGOGIQUE

Q 3.4) A partir du support « Réseau d'Alerte des Pompiers », et en vous inspirant de la mise en réseau des cartes VTXXCOM, **élaborer** l'organisation d'une séquence d'enseignement destinée à des étudiants de BTS électronique ou d'informatique industrielle.

Vous devrez préciser :

- o Le type de public à qui s'adresse cette séquence (type de BTS, année de formation, effectif, ...).
- o L'objectif terminal visé de la séquence. Celle-ci doit être déterminée d'après les textes officiels qui régissent le BTS ainsi que les recommandations de l'inspection générale de la discipline.
- o Les objectifs intermédiaires des différentes phases, les travaux proposés aux étudiants, les modes d'évaluation, la trame des évaluations, la durée des différentes phases.
- o Les travaux produits par les élèves et la trame des réponses attendues par le professeur.

4 QUATRIEME PARTIE GESTION (FP 1)

4.1 DECODAGE D'ADRESSE (FS 1.3)

Q 4.1) **Donner** la capacité mémoire de Z_{13} et Z_{18} .

Q 4.2) **Identifier** les composants qui constituent FS 1.3.

Q 4.3) **Identifier** les signaux d'entrée et de sortie en précisant leur rôle.

Q 4.4) **Donner** les équations des différents signaux de sortie.

Q 4.5) En **déduire** la répartition d'adresses mémoire et I/O (donner un tableau de synthèse).

Sujet

4.2 FS 1.6 SAUVEGARDE DES PARAMETRES

Q 4.6) **Donner** le composant qui assure cette fonction

Donner le type de mémoire

Donner sa capacité.

Q 4.7) **Développer** - sur 4 lignes maximum - ce que vous savez de cette technologie.

Q 4.8) **Donner** le mode d'accès.

Q 4.9) **Donner** le type d'organisation utilisé ici.

Q 4.10) **Donner** l'algorithme de lecture d'un octet à une adresse donnée,

On prendra le prototype suivant: **char read_eeprom(char adr);** où adr est l'adresse de la case mémoire à lire. On nomme **C** l'horloge, **S** la broche de sélection, **D** la broche de donnée entrante, **Q** la broche de donnée sortante.

Dans le texte on nommera *PortD* le port sur lequel est connecté l'EPROM.

Q	S	C	D
PD ₃	PD ₂	PD ₁	PD ₀

Q 4.11) **Justifier** la non utilisation du "C" bus du microcontrôleur pour dialoguer avec l'EEPROM.

5 CINQUIEME PARTIE PROCESS AUDIO (FP 2)

5.1 CHAINE RECEPTION (FS 2.1)

Le constructeur donne un synoptique de la chaîne de réception. (Figure 5.1 ci-dessous) :

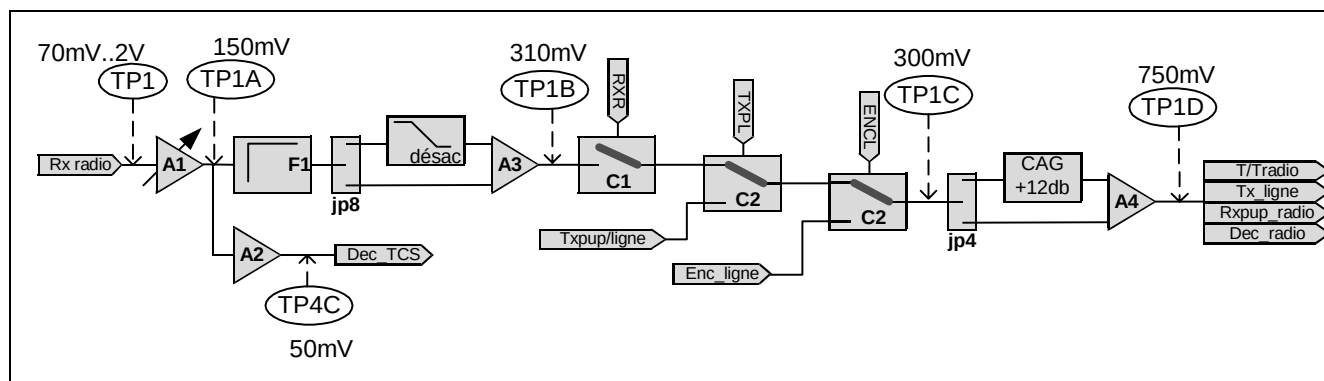


Figure 5.1

Q 5.1) **Identifier** les composants qui composent les différents éléments de ce synoptique. (voir les schémas structurels des figures 3, 4 et 5 du dossier technique « schémas »). Compléter le tableau dans le dossier réponse.

Q 5.2) **Donner** l'expression de V_{TP1A} en fonction de V_{TP1} et V_{Ref} .

Q 5.3) **En déduire** la ou les fréquences caractéristiques et conclure sur le rôle de C_{38} .

Q 5.4) **Donner** alors une expression simplifiée de v_{TP1A} en fonction v_{TP1} dans la bande utile du signal.

Q 5.5) **Justifier** la valeur de R_{V4} en tenant compte des valeurs en TP1 et TP1A préconisées par le constructeur.

Q 5.6) **Donner** le rôle de V_{REF} .

Sujet

Le signal destiné au décodeur TCS ne subit pas de filtrage par F1, mais est simplement amplifié par A2.

Q 5.7) Justifier l'absence de condensateur de couplage entre A1 et A2.

Q 5.8) Justifier la valeur de C_{10} .

5.2 CONTROLE AUTOMATIQUE DE GAIN

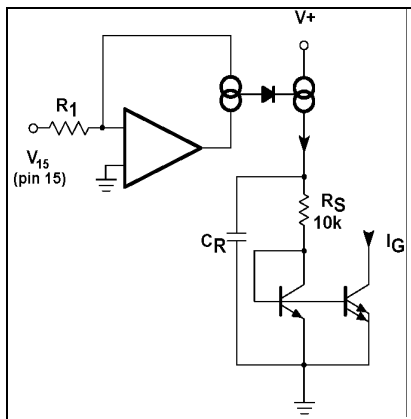
On supposera dans les questions qui suivent que le **cavalier JP_4 est en position 1.**

Q 5.9) Redessiner le schéma en faisant apparaître le diagramme interne du composant.

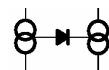
Q 5.10) Préciser quel le type de fonctionnement utilisé pour ce circuit intégré (compresseur ou expenseur).

EXTRACTION DE L'AMPLITUDE (redresseur/moyenneur)

Le constructeur donne pour le redresseur/moyenneur le schéma de principe simplifié suivant :



La documentation précise que le potentiel de la borne non inverseuse de l'AOP est en réalité reliée à $V_{REF} = 1,8\text{ V}$, il s'agit d'un schéma pour les variations de V_{15} , puisqu'on aura pris soin de mettre une capacité de liaison pour aligner le potentiel continu de V_{15} à V_{REF} .



Symbolise un miroir de courant avec redressement double alternance.

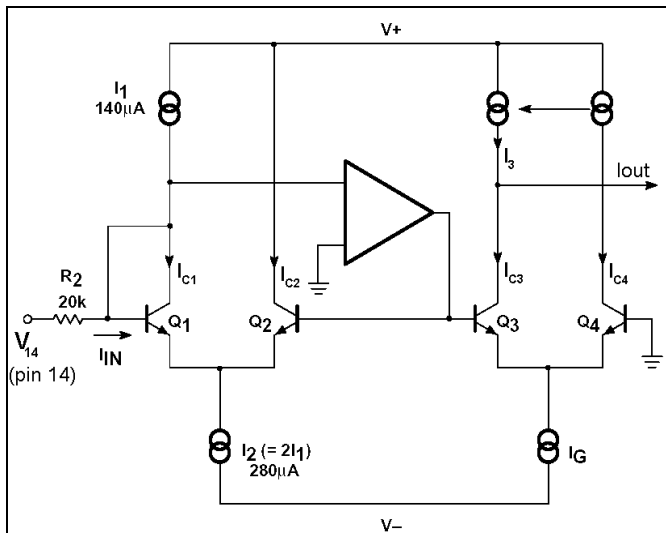
Q 5.11) Donner l'expression du courant dans R_S ($I_{RS}(p)$)

Q 5.12) En **déduire** que pour une constante de temps $R_S C_R$ correctement calculée $I_{RS} = \frac{|V_{15}|_{\text{mov}}}{R_1}$.

En déduire l'expression de I_G .

CELLULE A GAIN VARIABLE

La cellule à gain variable est commandée par le courant I_G calculé ci-dessus. Le constructeur donne un schéma de principe simplifié de cette cellule :



Même remarque que précédemment concernant le potentiel de référence ($\varphi_{REF} \Leftrightarrow V_{REF}$)
L'AOP permet de forcer une variation linéaire de courant entre Q_1 et Q_2 .

Sujet

Q 5.13) **Montrer** que $I_{OUT} = \frac{V_{14}}{R_2} \frac{I_G}{I_1}$.

Q 5.14) **Montrer** l'influence de R_{27} sur l'expression de I_{OUT} .

Q 5.15) En supposant que la résistance R_{28} n'est pas connectée, **montrer** que le gain de l'ensemble est :

$$G = \frac{V_{RXO}}{V_{RXI}} = \frac{V_{RXO \text{ eff}}}{V_{RXI \text{ eff}}} = \frac{1}{R_3} \times \frac{R_2 R_1 I_1}{2(|V_{RXI}|_{\text{moy}})}$$

En **déduire** que pour un signal V_{RXI} sinusoïdal la valeur efficace de V_{RXO} est constante.

Donner sa valeur numérique.

Dans le schéma, on a introduit entre la borne 15 et la masse une résistance R_{28} .

Q 5.16) **Montrer** que cette résistance introduit un offset sur le courant I_{R1} égal à $-\frac{V_{REF}}{R_1 + R_{28}}$.

Q 5.17) En **déduire** l'influence sur I_G puis sur l'ensemble du dispositif CAG. **Donner** le rôle de R_{28} .

5.3 FS 2.3 INTERFACE LIGNE

On se placera dans le cas d'une utilisation **simplex**, mode TX **direct** et interface ligne **interne**.

Q 5.18) **Donner** un schéma équivalent simplifié entre TP1E et TXL.

Q 5.19) **Donner** l'expression littérale du gain $\frac{V_{TP1E}}{V_{TXL}}$.

Q 5.20) **Préciser** le type de filtre obtenu. **Donner** les fréquences caractéristiques.

Q 5.21) **Donner** les valeurs des potentiels continus en sortie de Z_{7A} et Z_{7D} .

On supposera l'impédance de ligne égale à 600Ω et les transformateurs de ligne parfaits.

Q 5.22) **Analyser** la structure autour de Z_{7C} en continu et **donner** la valeur du potentiel continu en S_2 .

Q 5.23) **Donner** l'expression littérale de v_{S1} en fonction de v_{TP1E} et v_{ligne} . (on notera R_{V1a} et R_{V1b} les valeurs de R_{V1} de part et d'autre du curseur).

La documentation de SYSTEL indique que « le rapport entre le signal Rx_ligne et le retour doit être au moins de 20 dB ».

Q 5.24) **Donner** le réglage de R_{V1} pour respecter cette consigne dans les conditions énoncées ci-dessus.

Q 5.25) **Préciser** l'influence éventuelle des caractéristiques du transformateur.

6 SIXIEME PARTIE FP3 ENCODAGE/ DECODAGE

La fonction FP3 assure les codages et décodage de 3 types: numérique FFSK, TCS et 5 Tons.

Ces 3 codages sont assurés par des circuits de la même famille: le FX803 (5 tons), le FX805 (TCS) et le FX809 (FFSK). Ils sont connectés à FP1 via le "C" bus, par 3 fils d'interruption et une validation commune aux 3 circuits. Les entrées et sorties BF transitent par FP2 à la réception comme à l'émission.

On s'intéressera plus particulièrement au FX805.

Sujet

6.1 CABLAGE

6.1.1 ADDRESSAGE

Les 3 C.I. FX utilisent le même signal de validation CE/1.

Q 6.1) Donner les caractéristiques permettant de différencier les 3 circuits.

6.1.2 FILTRAGE ET MISE EN FORME

Le signal issu de FP2 (DEC_TCS) subit un filtrage passe-bas par un filtre intégré au composant (entre 16 et 17) puis est mis en forme par cette structure :

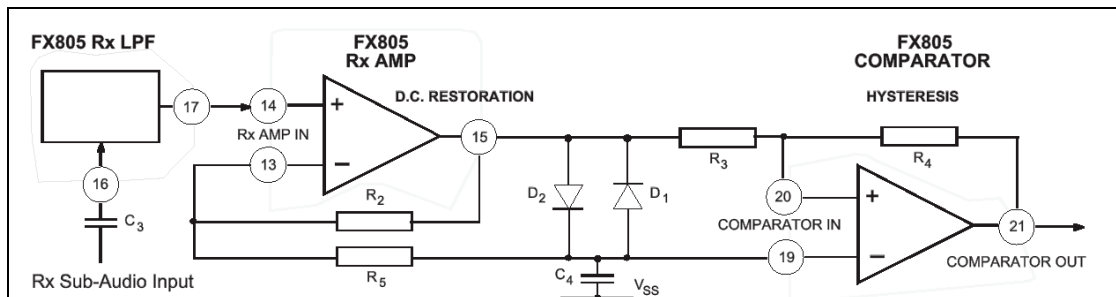


Figure 6.1

Les diodes (CR7A et CR7B) sont des diodes signal classiques. V14 a une composante continue d'environ $\frac{V_{CC}}{2}$ et une valeur efficace alternative de 250 mV.

Q 6.2) Remplacer les références ci-dessus par celle du schéma (Figure 2 dossier technique « schéma »). **Etudier** le schéma en 2 phases (composante alternative nulle, puis $\neq 0$). En **déduire** le rôle de cette structure et donner la valeur de l'hystérésis.

6.2 PROGRAMMATION

Le circuit est configuré pour déclencher une interruption toutes les 122,64 ms, FP1 doit venir lire le code TCS décodé par le circuit. On veut écrire une fonction qui permette de lire et décoder la fréquence reçue. Le prototype de cette fonction sera :

int read_TCS(void); elle renverra le n° de la fréquence TCS conformément au tableau dans le dossier technique « schémas », figure 7 bis.

On supposera que les fonctions *write_Cbus_fx(char byte)* (envoi d'une donnée par le "C" bus) et *char read_Cbus_fx(void)* (lecture d'une donnée sur le "C" bus) existent.

Q 6.3) Donner l'algorithme de la fonction `read_TCS` en vous appuyant sur la documentation du EX805.

7 SEPTIEME PARTIE : INTERFACE CLAVIER

Un boîtier Boxer ou Racer utilise des ensembles émetteur/récepteur Philips de type FM1000. Ces radios sont à priori conçues pour fonctionner seules; la société SYSTEL apporte quelques petites modifications pour pouvoir les intégrer avec la carte VTXCOM (en particulier, sortie des signaux en des points non prévus, modification du harnais de connexion).

Les radios FM1000 disposent normalement d'un clavier à 12 touches pour entrer les numéros de canaux. Dans les boîtiers Racer et Boxer, l'attribution des canaux se fait par programmation ou à la volée par télécommande. Il est donc prévu une option qui permet à la carte VTXCOM de piloter les canaux en émulant le clavier.

Sujet

On se propose donc d'étudier la structure originale du clavier du FM1000 et de concevoir une solution d'émulation *qui respecte le protocole de lecture* des touches par le FM1000.

Le schéma partiel de l'ensemble microphone clavier à touches est donné figure 10 du dossier technique « schémas » (la partie microphone et interrupteurs n'est pas représentée).

La partie clavier dispose de 3 signaux :

- o « **Horloge** » (unidirectionnelle en provenance du FM1000) qui cadence la lecture ou l'envoi de données,
- o « **Strobe** » (unidirectionnelle en provenance du FM1000) qui valide les données transmises,
- o « **Donnees** » (bidirectionnelle) qui transmet les données en série soit du FM1000 soit vers le FM1000.

7.1 ETUDE DU SCHEMA EXISTANT (Figure 10 extrait de l'interface clavier, dossier technique « schémas »)

Q 7.1) Donner la fonction réalisée par l'ensemble U_{1A} et U_{1B} .

Q 7.2) Préciser l'état repos pour la ligne « Donnees » puis pour la ligne « Strobe ».

Q 7.3) Donner le rôle de l'entrée SH/LD (borne 1) du 74HC165.

Q 7.4) Exprimer les conditions de validation du chargement parallèle de U_2 , puis de U_3 . Utiliser les noms des labels de signaux.

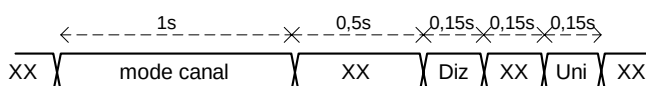
Q 7.5) Donner le rôle des signaux portant les labels Q_3 et Q_5 . Préciser s'ils peuvent être actifs simultanément pendant la même phase.

Q 7.6) Compléter le chronogramme relatif à la lecture d'une touche (préciser pour chaque phase le sens du signal « Donnees », en supposant la touche 2 appuyée) (utiliser le Document réponse).

7.2 EMULATION

On veut remplacer les touches du clavier par un port I/O de la carte VTXCOM. Pour cela, SYSTEL a choisi d'utiliser les 4 bits de poids faible de FS 5.4. Pour cette application, SYSTEL n'a besoin que des touches 0 à 9 et d'une commande tout ou rien « Mode Canal ».

La carte VTXCOM doit successivement envoyer sur $D_3..D_0$:



Diz: code correspondant à la touche des dizaines

Uni: code correspondant à la touche des unités

Les codes de touche sont **\$0** à **\$9** pour les touches au numéro correspondant.

Mode Canal: code (**\$F**) correspondant au mode canal; ce code est choisi pour être différent d'un code touche

XX: Codes ne correspondant à aucune touche ni au mode canal (ni **\$0** à **\$9** ni **\$F**)

On se propose de trouver une solution permettant de remplacer le clavier.

Cette solution sera une carte qui prendra place sur le connecteur J_5 OPTION CNX (voir structurel figure 3 du dossier technique « schémas »).

Sur la radio les signaux C_0 , C_1 , C_2 , C_3 ne sont pas utilisés; les signaux C_4/M , C_5/S , C_6/C et C_7/D correspondent respectivement aux signaux « Mode Canal », « Strobe », « Horloge » et « Donnees » de la radio FM1000. Le fait d'enficher la carte sur le connecteur J_5 doit signaler au μC de VTXCOM qu'elle est présente par le signal CNX.

Q 7.7) Compléter et expliquer le schéma (utiliser le Document réponse). Une liste de composants vous est donnée avec leur symbole dans ce même Document réponse. Choisir celui ou ceux qui conviennent en justifiant votre choix.

Sujet

Q 7.8) Expliquer s'il est judicieux de remplacer l'émulateur en circuits discrets par un PLD ou un CPLD. **Justifier** votre réponse.

8 HUITIEME PARTIE: EMETTEUR RECEPTEUR FM1000

L'émetteur récepteur FM1000 de la marque Philips équipe les boîtiers BOXER ou RACER. Nous allons étudier la partie purement radio du FM1000, et en particulier le commutateur E/R et le récepteur.

8.1 ETUDE DU COMMUTATEUR D'ANTENNE (Figures 11 et 12 (TETE HF et Tx_POWER_CONTROL) du dossier technique « Schémas »)

Le constructeur donne un schéma synoptique Figure 9 (synoptique tête HF). La commutation E/R est effectuée directement sur la tête HF par l'intermédiaire du registre à décalage IC2, des transistors TR1, TR3 et TR4 (schéma figure 12); un niveau haut en Q8 de IC2 commute la tête HF en émission, un niveau bas en réception.

Q 8.1) Donner le schéma simplifié en continu entre la sortie Q8 de IC2 et la cathode de D900.

Q 8.2) Expliquer le fonctionnement du commutateur.

Q 8.3) Calculer la valeur moyenne de la résistance des diodes D900 et D901 (schéma figure 11) lorsqu'elles seront passantes.

Q 8.4) Donner un schéma équivalent en HF du commutateur d'antenne lorsqu'il commute en émission.

Q 8.5) Donner un schéma équivalent en HF du commutateur lorsqu'il commute en réception. **Préciser** la valeur à donner à L903.

Q 8.6) Donner le rôle du transistor TR4.

8.2 ETUDE DU RECEPTEUR. (Figure 13 et 14 du dossier technique « schémas »)

Le récepteur du FM1000 est à double changement de fréquence avec une première FI à 21,4 MHz et une deuxième FI à 455 kHz.

Q 8.7) Donner le nom de ce type récepteur. **Donner** un schéma bloc simplifié d'un tel récepteur en faisant figurer l'expression des fréquences.

On supposera que l'on est sur le 1^{er} canal à 132,0000 MHz.

Q 8.8) Donner la fréquence de réglage du VCO.

8.2.1 TETE HF

Le synoptique du constructeur fait apparaître un filtre passe-bande accordable, un VCO et ses amplificateurs associés et un premier mélangeur pour obtenir une FI à 21,4 MHz. Le schéma structurel est donné dans la bande B0 (VHF).

Le filtre de tête, accordable électroniquement, est commandé par la « TENSION DE REGLAGE ».

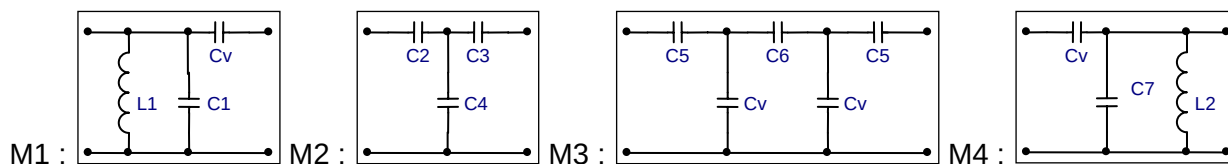
Q 8.9) Montrer que l'expression de la tension en TP801 est de la forme :

$$K1 \times V_{\text{TENSION DE REGLAGE}} + K2 \times 10 \text{ V}$$

En **déduire** le rôle de RV801 et RV802.

Q 8.10) Montrer que le filtre accordable peut se mettre sous la forme d'associations de quadripôles élémentaires ci-dessous :

Sujet



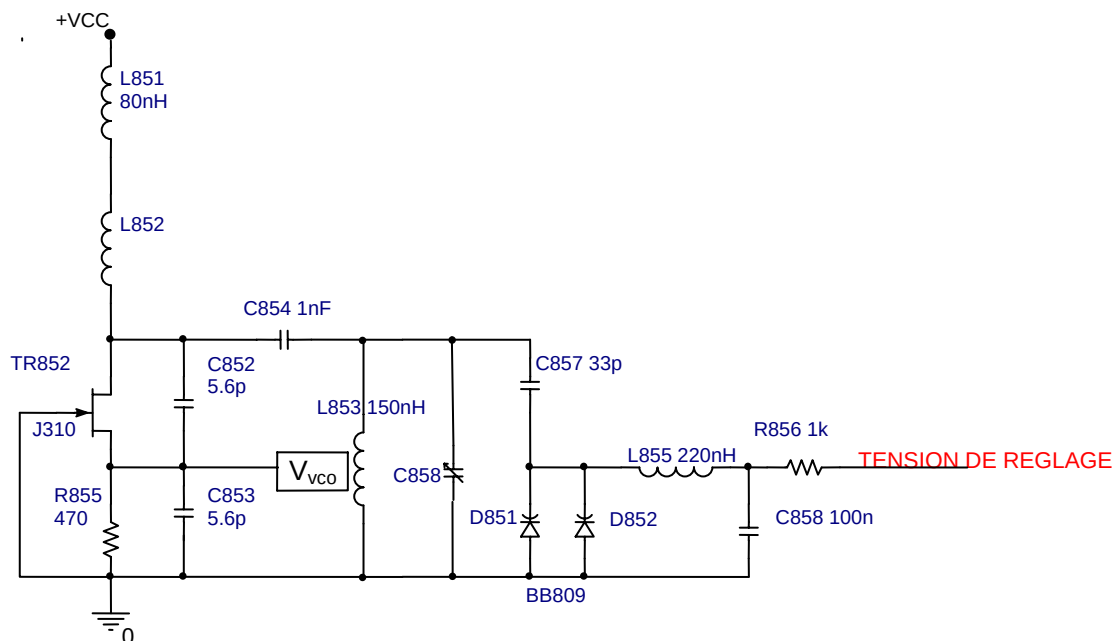
où C_v représente la capacité équivalente des varicap.

Q 8.11) Donner l'expression des matrices impédances, admittances et de transfert de chacun des quadripôles ci-dessus.

Q 8.12) Donner une méthode pour résoudre ce filtre.

Q 8.13) Localiser sur le schéma le filtre accordable, le mélangeur et le VCO (utiliser le Document réponse). **Préciser** par quel(s) élément(s) est assuré la couverture en fréquence du VCO.

On donne un schéma simplifié du VCO :



Q 8.14) Donner le schéma équivalent aux variations.

Bien que cela ne soit pas exact, on considérera pour les calculs $Z_{L855} \gg Z_{D851}/D852$.

Q 8.15) Faire apparaître la boucle directe et donner la condition d'oscillation. Donner l'expression de la fréquence d'oscillation.

On supposera que la tension de réglage pour le canal sélectionné est de 6 V, et que CV858 est réglé à 5 pF.

Déduire la valeur à donner à L852.

Q 8.16) Donner la valeur de la tension de réglage à appliquer pour avoir le canal le plus haut.

L'entrée « COMMANDE VCO EMETTEUR/RECEPTEUR » (issue d'un registre à décalage CMOS alimenté sous 10 V de la carte « analogique ») permet de désaccorder le filtre d'entrée du récepteur et modifie le VCO.

Q 8.17) Analyser ce qui se passe quand cette entrée est à l'état bas et à l'état haut. En **déduire** pour quel niveau de cette entrée l'ensemble est en mode récepteur et en mode émetteur. **Justifier** clairement votre réponse.

Q 8.18) La commande passe en mode émetteur, calculer la nouvelle fréquence du VCO (dans les conditions du canal le plus bas). **Conclure**.

Sujet

8.2.2 FREQUENCE INTERMEDIAIRE ET DEMODULATION

(Figure 14 du dossier technique : « schémas », documentation des composants : BF991, SL6652). La structure autour de TR 201 constitue un préamplificateur accordé. Le gain est piloté par la tension continue sur la grille G2.

Q 8.19) Donner le schéma équivalent en HF de ce préamplificateur. Calculer la valeur de L201.

La sortie audiofréquence du démodulateur (broche 4 de IC201) attaque IC202B. On notera R_S , l'impédance de sortie de IC201.

Q 8.20) Donner la fonction de transfert de IC202B. Tracer sa courbe de gain. En déduire le rôle de ce filtre.

SCHEMAS DE LA CARTE VTXCOM/2 (tous les schémas sont des originaux)

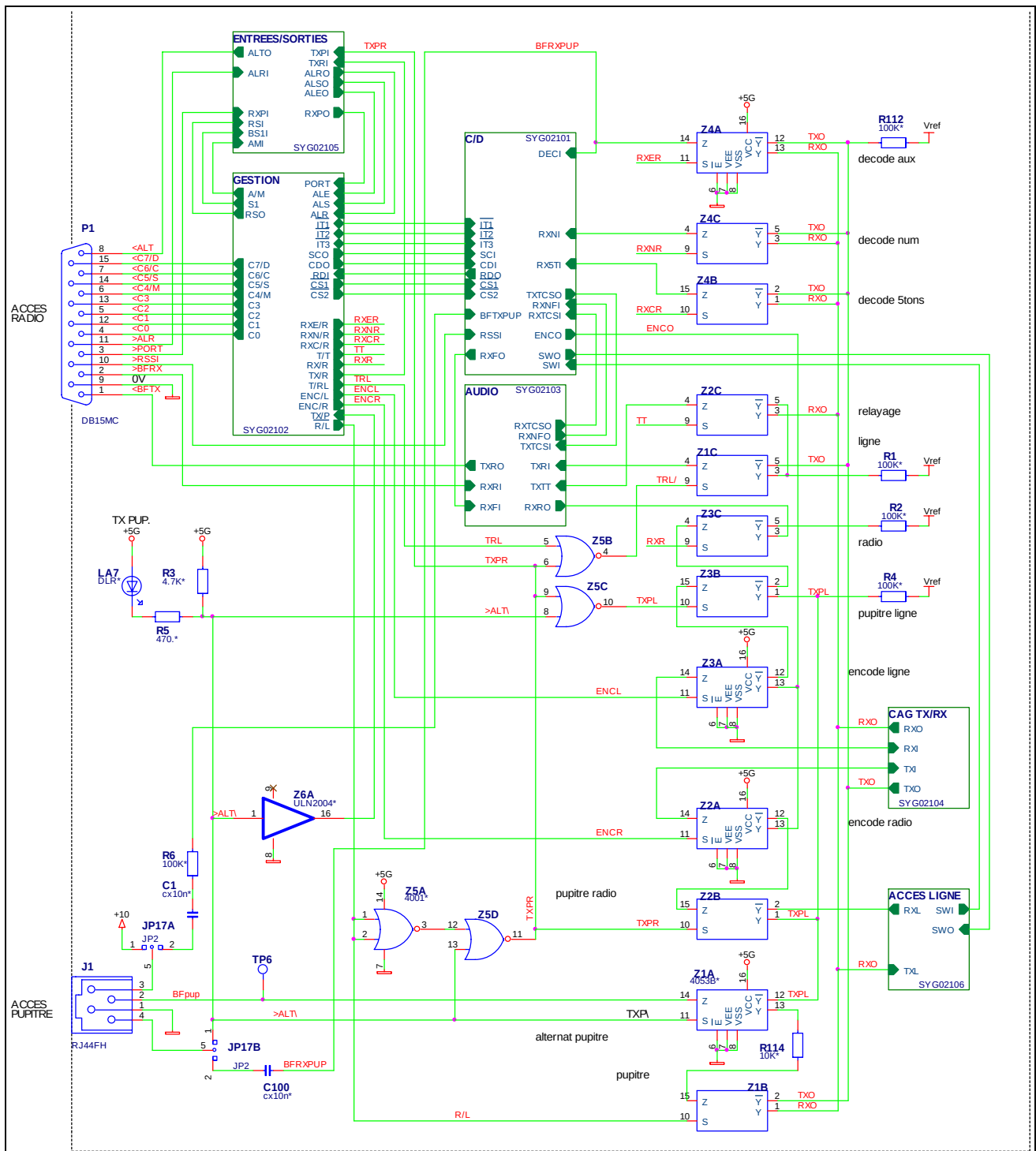


Figure 1, carte VXTCOM, SYG02110.SCH

Dossier technique : schémas

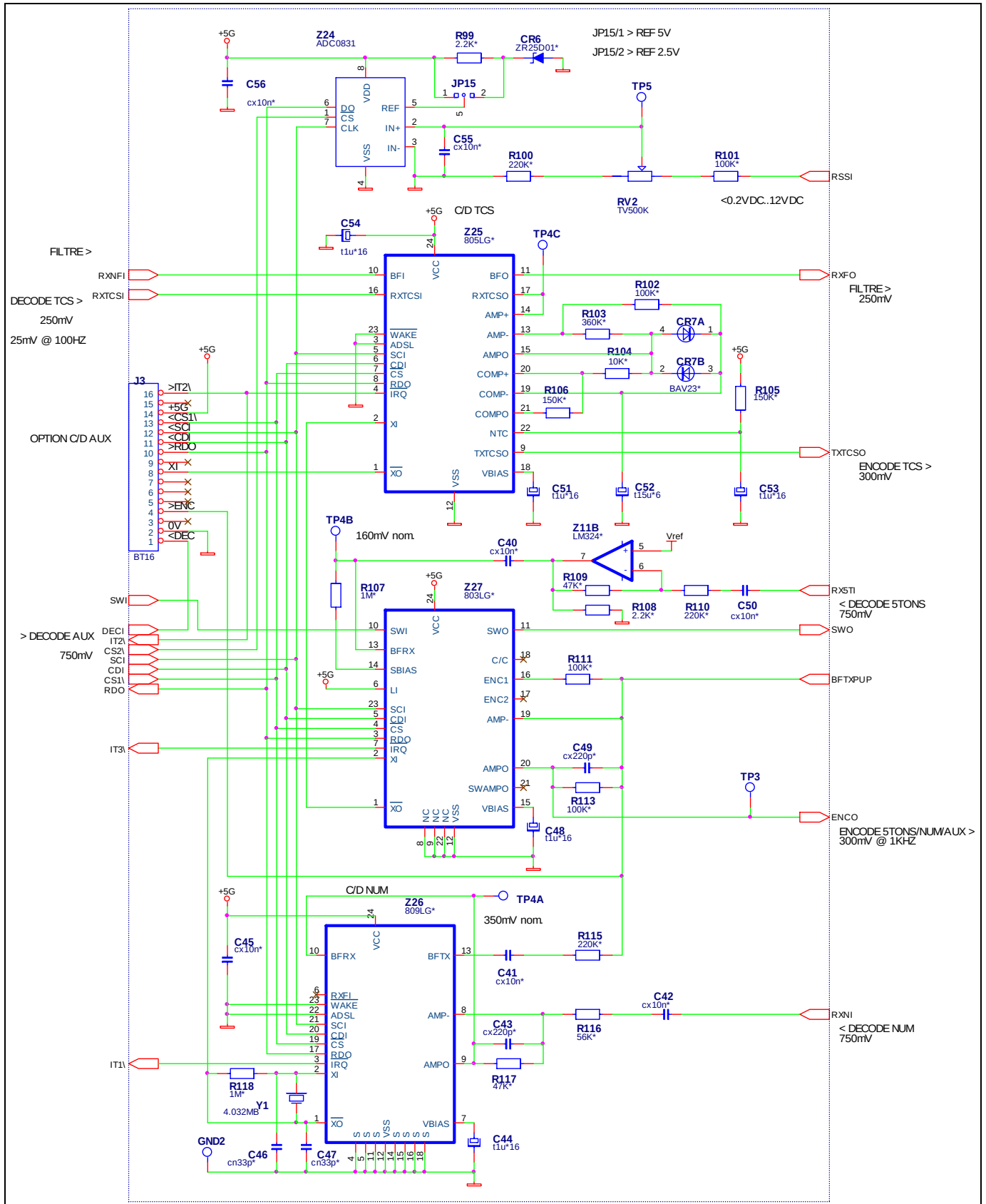


Figure 2 carte VTXCOM, partie codage/décodage, SYG02101.SCH

Dossier technique : schémas

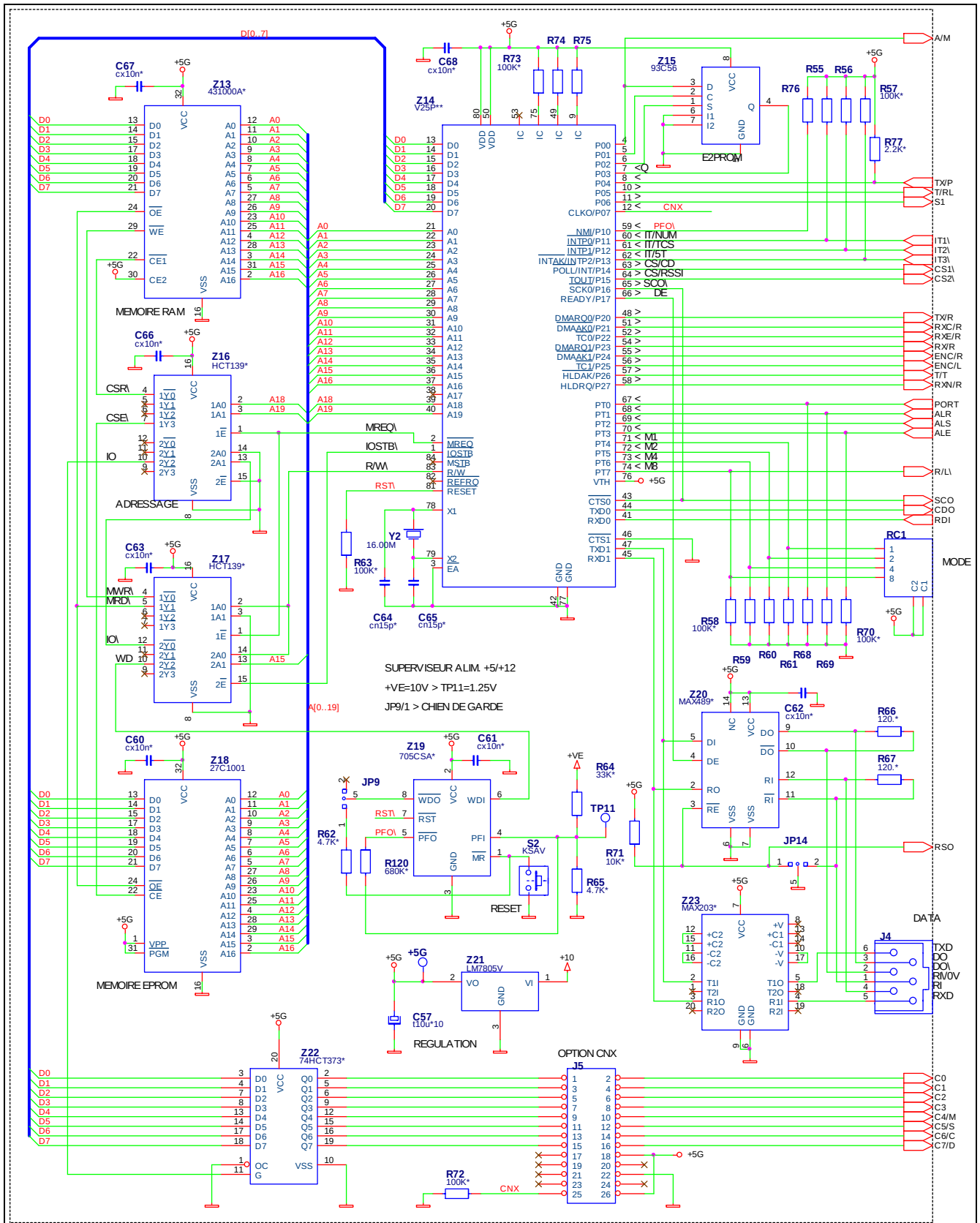


Figure 3, carte VTXCOM, Partie GESTION SYG02102.SCH

Dossier technique : schémas

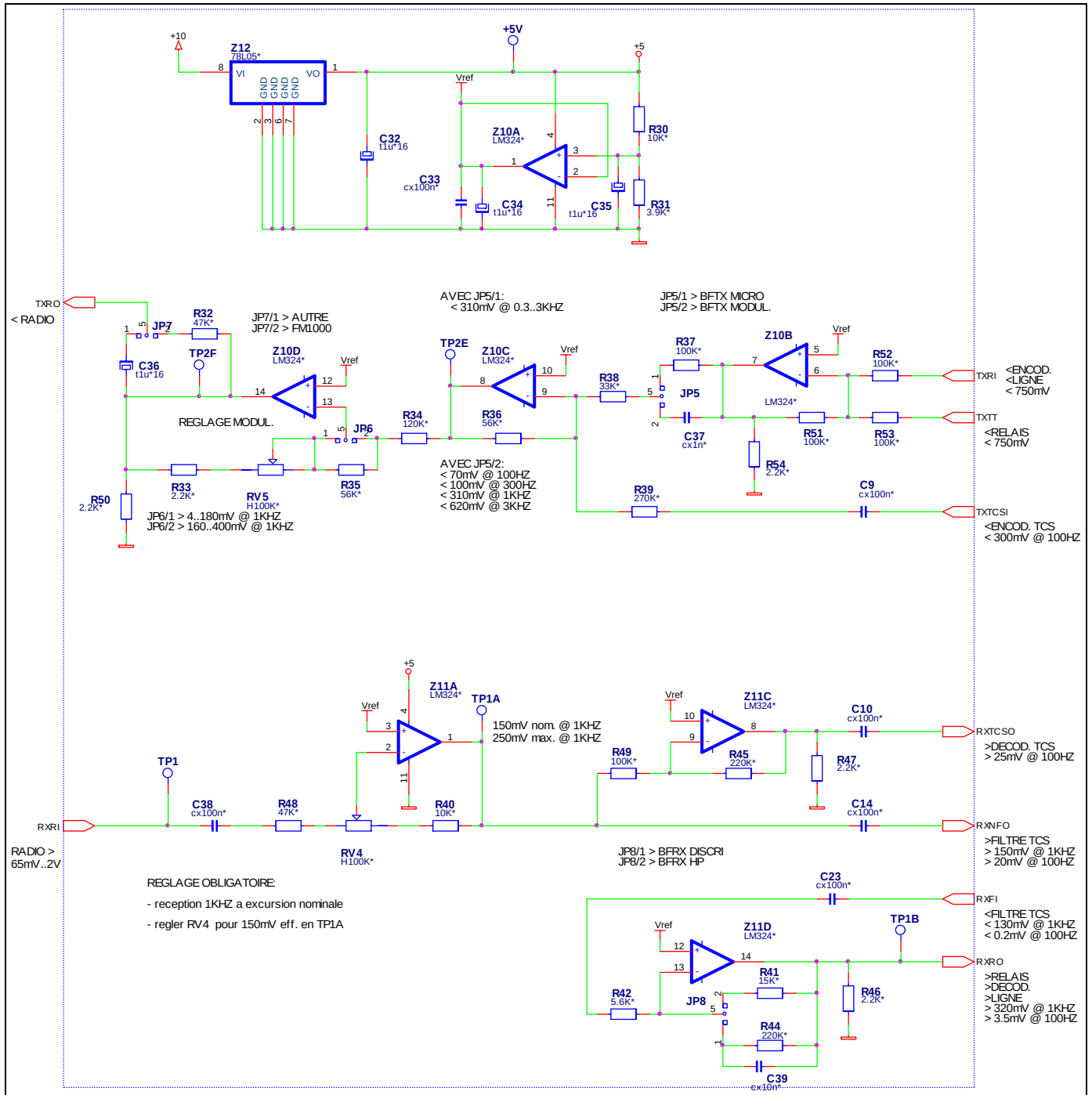


Figure 4, carte VTXCOM, Partie AUDIO SYG02103.SCH

Dossier technique : schémas

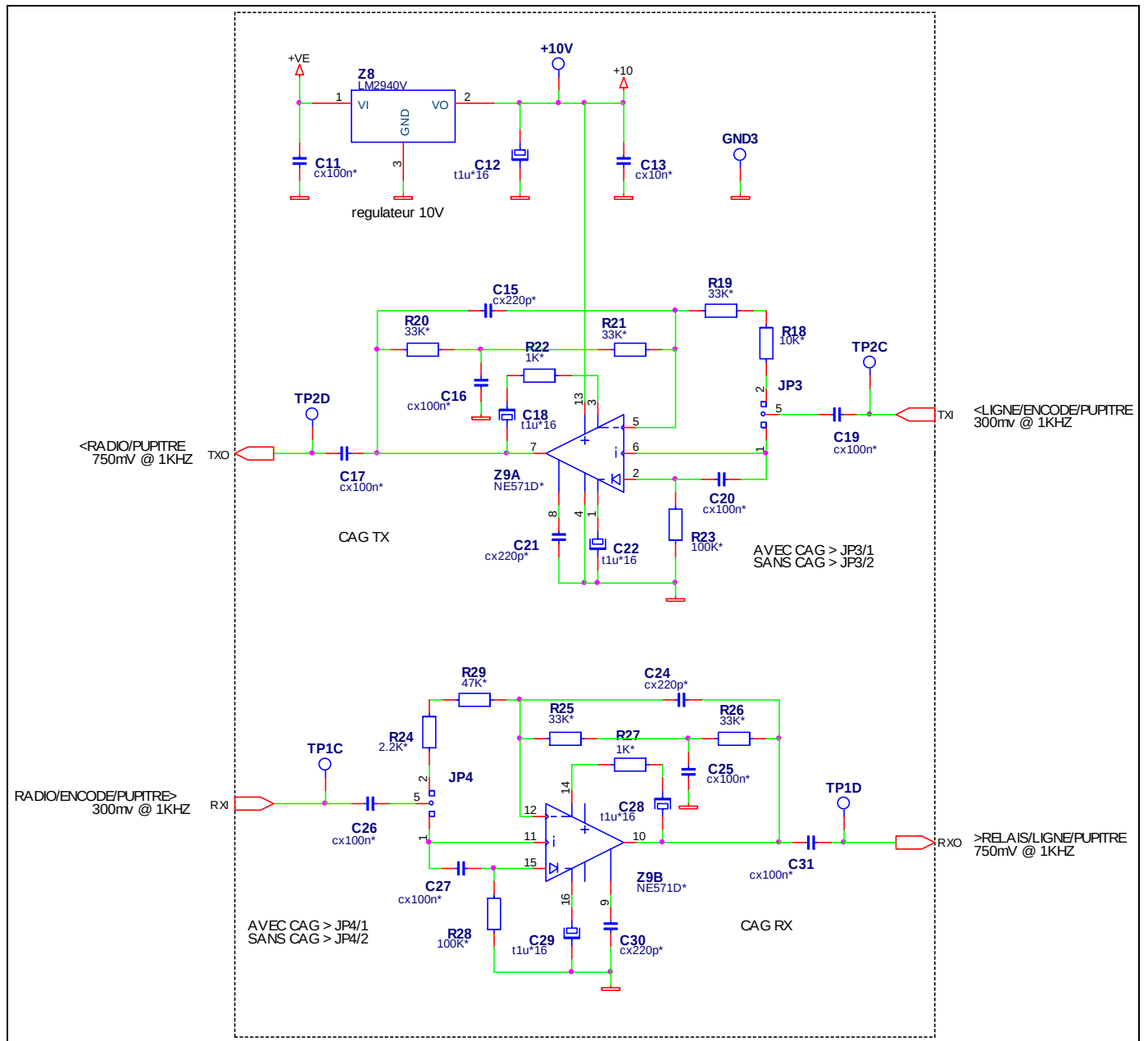


Figure 5, carte VTXCOM, Partie CAG TX/RX SYG02104.SCH

Dossier technique : schémas

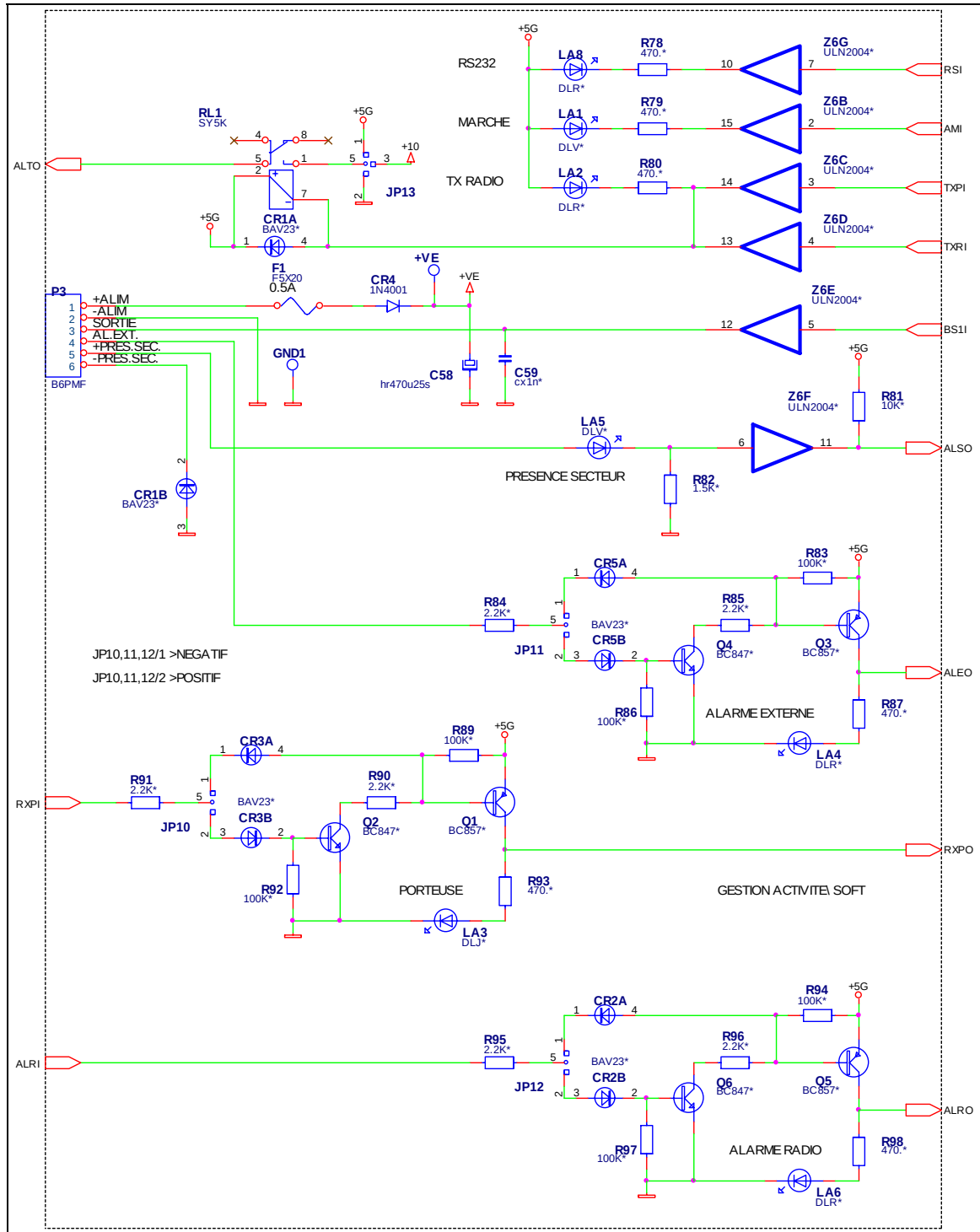


Figure 6, carte VTXCOM, Partie Entrée/Sortie, SYG02105.SCH

Dossier technique : schémas

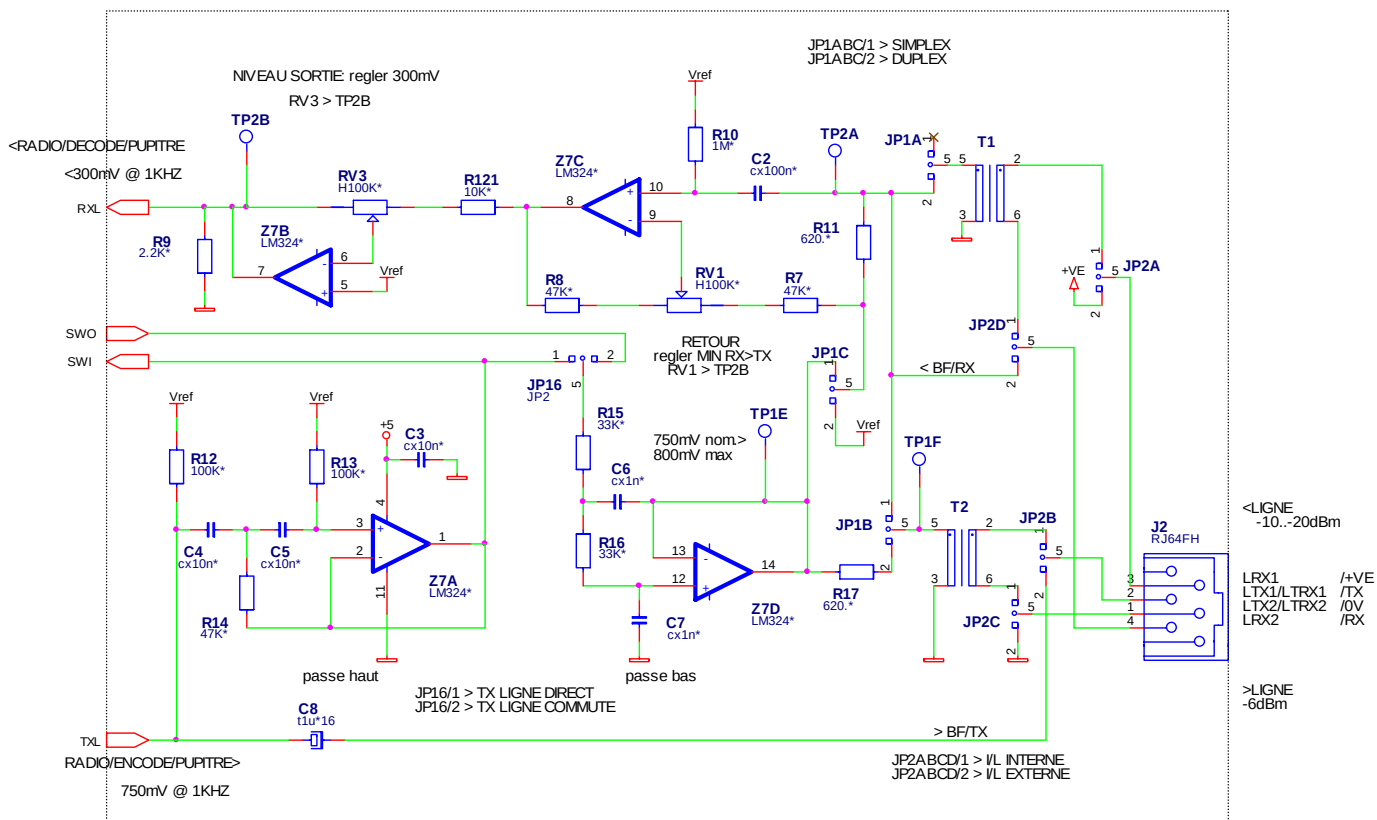


Figure 7, carte VTXCOM, Partie Accès Ligne, SYG02106.SCH

N°	Fréquence (Hz)	N°	Fréquence (Hz)	N°	Fréquence (Hz)	N°	Fréquence (Hz)
1	67,0	11	97,4	21	136,5	31	192,8
2	71,9	12	100,0	22	141,3	32	203,5
3	74,4	13	103,5	23	146,2	33	210,7
4	77,0	14	107,2	24	151,4	34	218,1
5	79,7	15	110,9	25	156,7	35	225,7
6	82,5	16	114,8	26	162,2	36	233,6
7	84,4	17	118,8	27	167,9	37	241,8
8	88,5	18	123,0	28	173,8	38	250,3
9	91,5	19	127,3	29	179,9		
10	94,8	20	131,8	30	186,2		

Figure 7 bis, tableaux des fréquences TCS

Schémas relatifs à l'émetteur récepteur FM1000

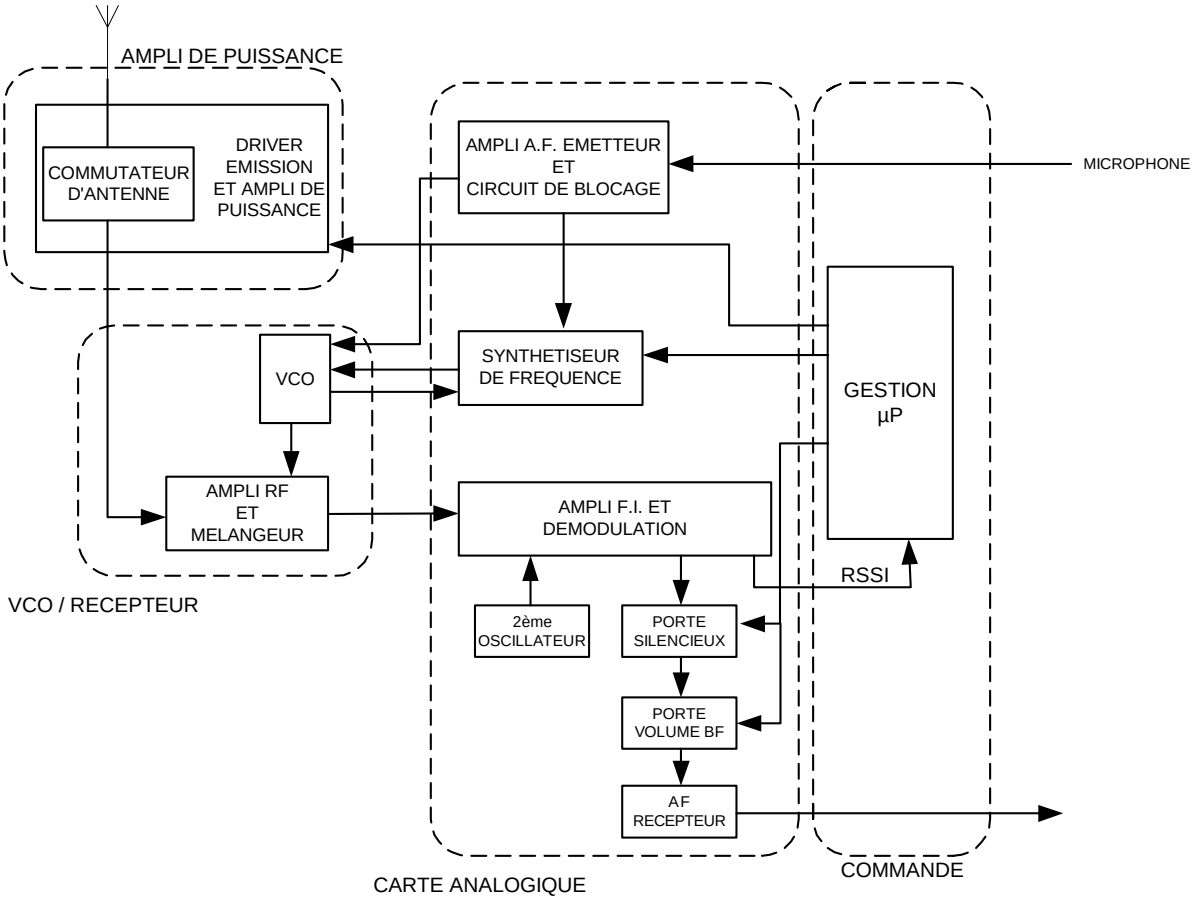


Figure 8 E/R FM1000 synoptique partiel (issu de la documentation du constructeur)

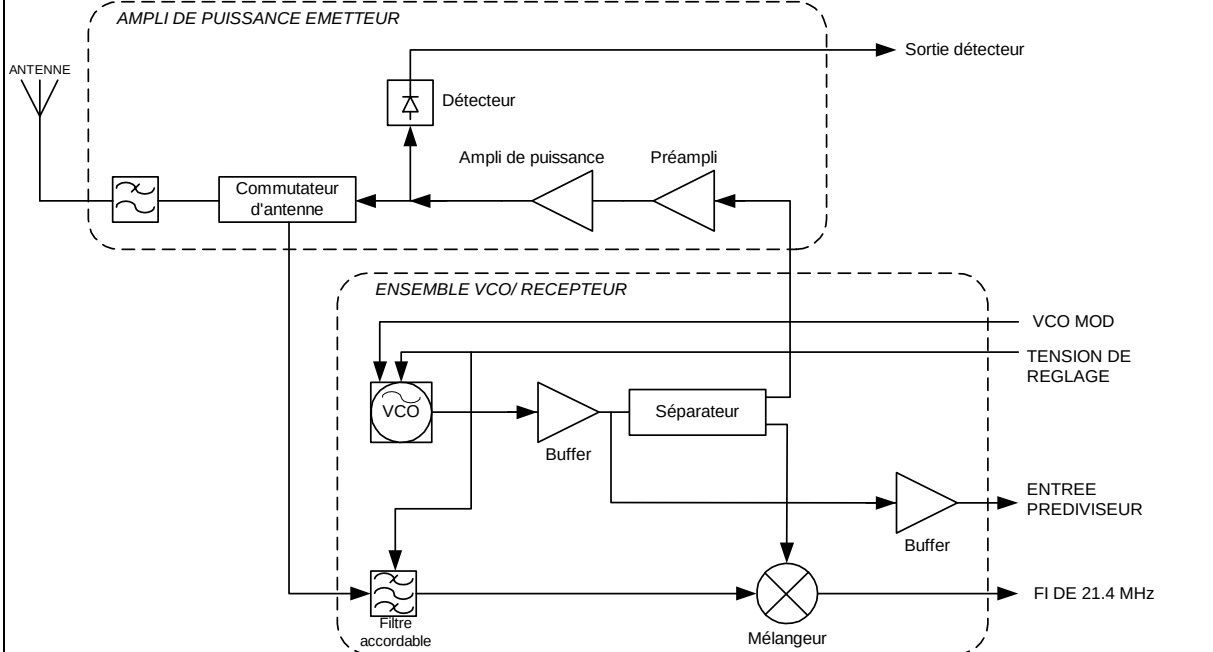


Figure 9 E/R FM1000 synoptique tête HF (issu de la documentation du constructeur)

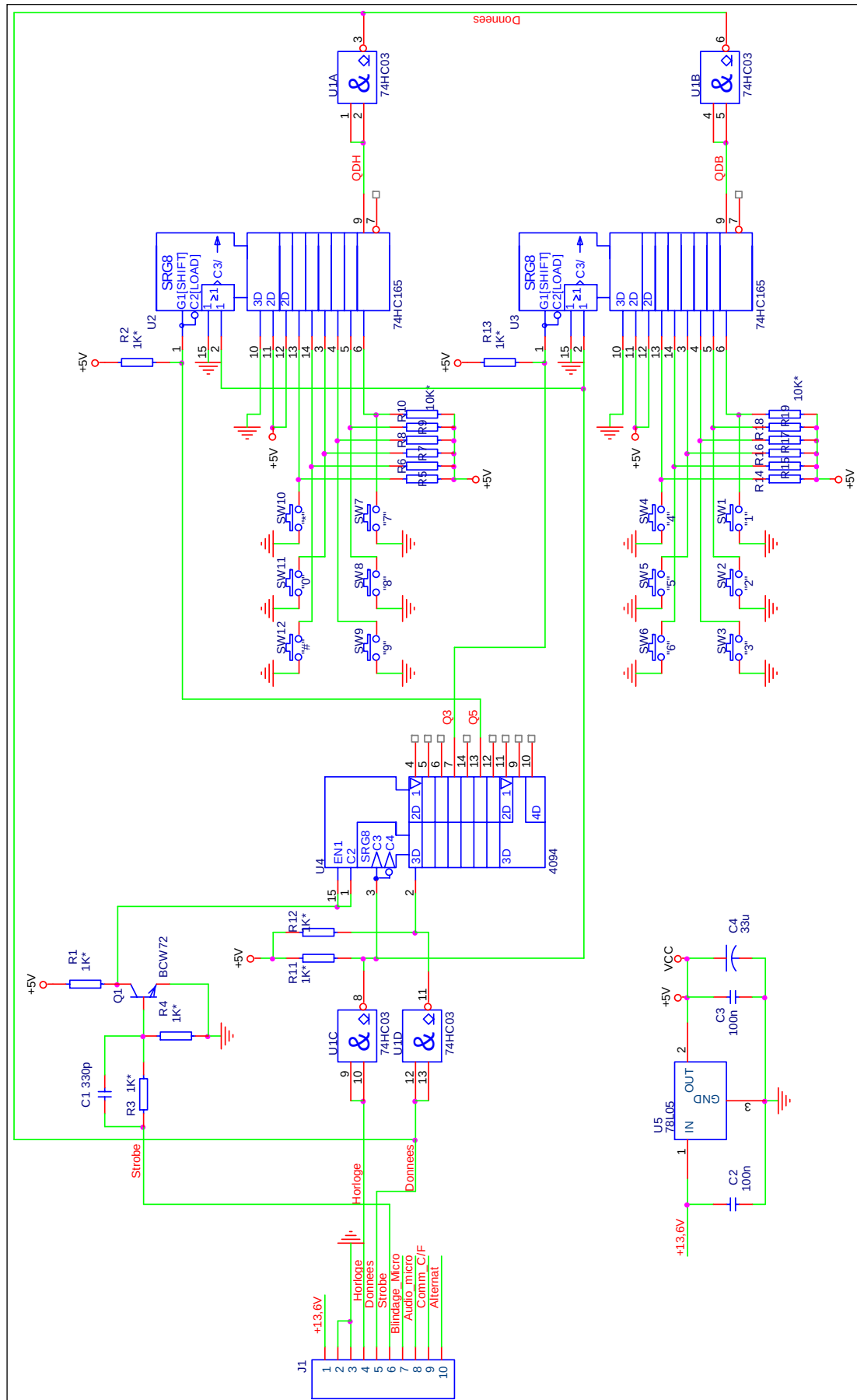


Figure 10, Emetteur / Récepteur FM1000, extrait de l'interface clavier
(Extrait de la documentation du constructeur et remis en forme)

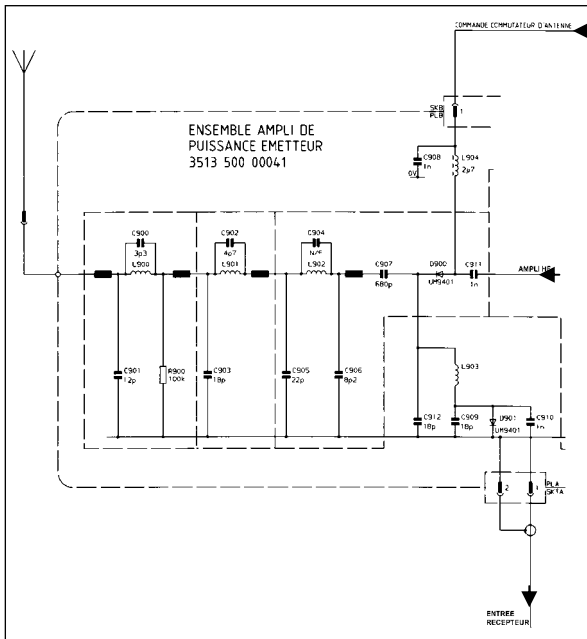


Figure 11, E/R FM1000, Commutation d'antenne, extrait du schéma de la tête HF.
(documentation du constructeur)

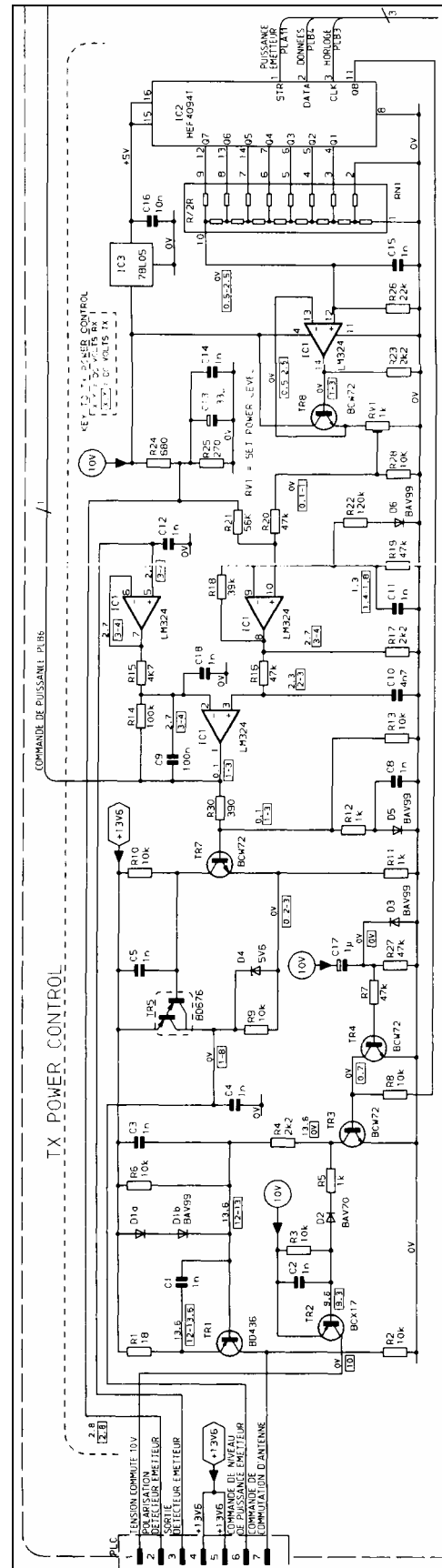


Figure 12 E/R FM1000, TX Power Control,
Extrait du schéma carte "analogique"
(documentation du constructeur)

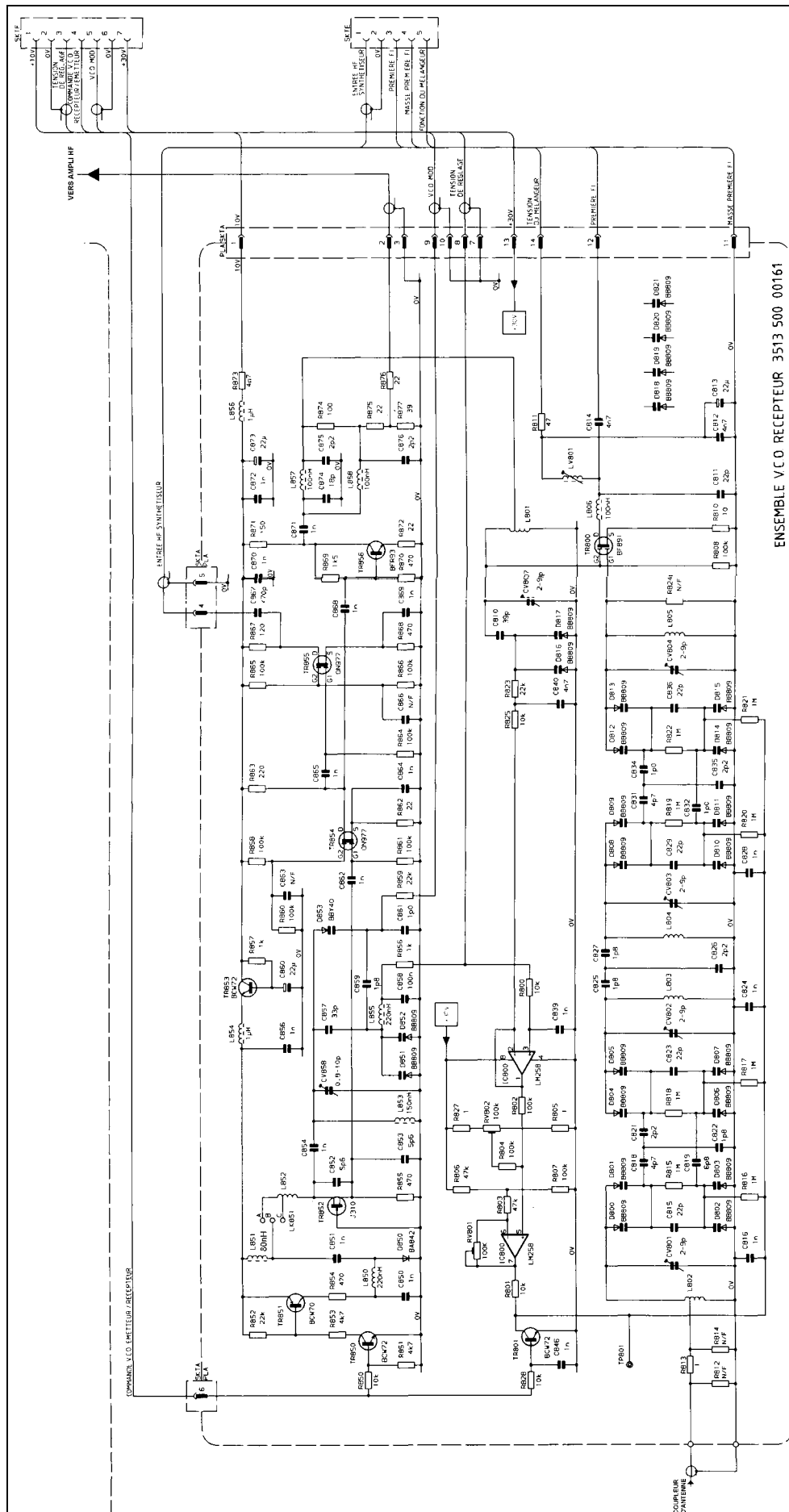


Figure 13 E/R FM1000, ensemble VCO/Récepteur, extrait du schéma de la tête HF (documentation du constructeur)

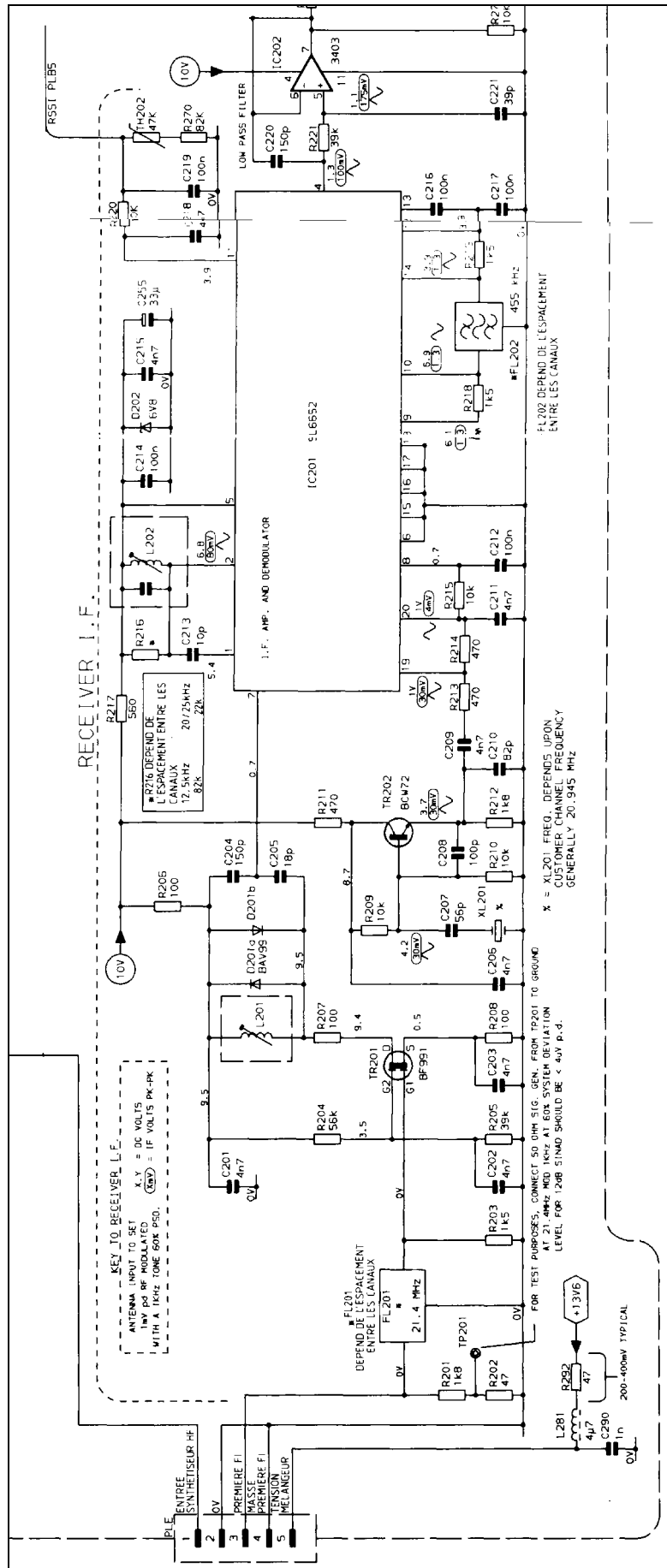


Figure 14 E/R FM1000, FI Récepteur, extrait du schéma « carte analogique »
(documentation du constructeur)

Réseau d'alerte des pompiers

DOCUMENTS CONSTRUCTEUR

Processeur V25+
74HCT165
MAX 203
MAX 485
EEPROM 27C1001
RAM μ PD43100
Compresseur SA 571
Varicap BB809
FET J310
Diode BAV99
AOP MC3403
MOS BF991
Diode PIN UM9401
74HCT165
74HCT4094
Démodulateur FM SL6652
74HCT4053
AOP LM324
Codeur / décodeur TCS FX805
Codeur / décodeur 5 tons FX803
Codeur / décodeur FFSK FX809
EEPROM M93C56



MOS INTEGRATED CIRCUIT

μ PD70325

V25+™

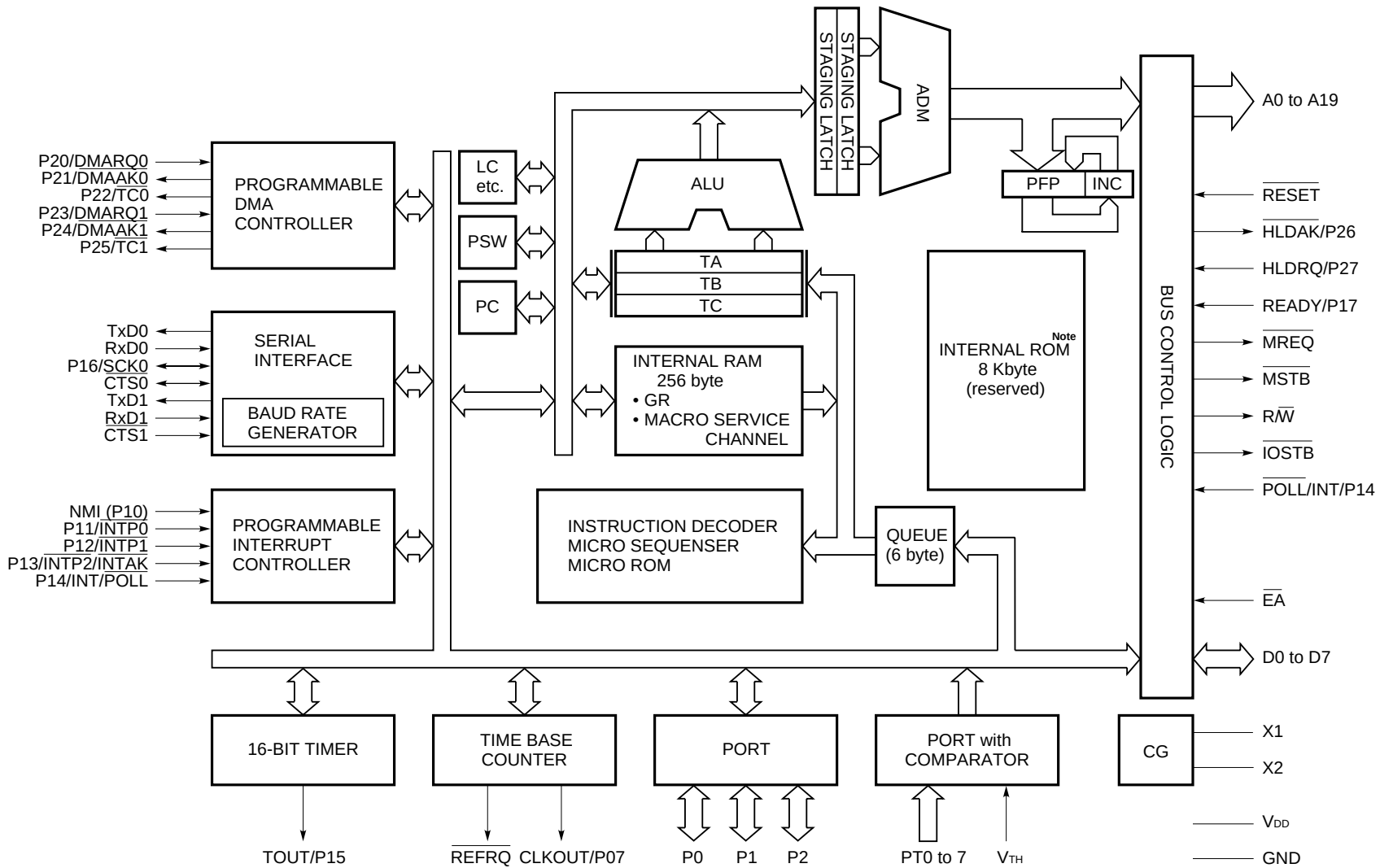
16/8-BIT SINGLE-CHIP MICROCONTROLLER

The μ PD70325 (V25+) is a single-chip microcontroller on which 16-bit CPU, RAM, serial interface, timer, DMA controller, interrupt controller, etc. are all integrated. The μ PD70325 is software compatible with the 16/8-bit single-chip microcontroller μ PD70320 (V25™). The V25+ greatly improves the DMA responsivity and transfer rate compared to the V25.

FEATURES

- Software compatible with V25
- Software compatible with μ PD70108/70116 (in native mode) (some instructions added)
- Internal 16-bit architecture and external 8-bit data bus
- 3-stage pipeline method
- Minimum instruction cycle : 250 ns/8 MHz (external 16 MHz)
: 200 ns/10 MHz (external 20 MHz)
- Memory space 1 Mbyte
- On-chip RAM : 256 words $\times$ 8 bits
- Register bank (memory mapped method) : 8 banks
- Input port (port T) with comparator : 8 bits
- I/O lines (input port : 4 bits, input/output ports : 20 bits)
- Serial interface : 2 channels
 - Internal dedicated baud rate generator
 - Asynchronous mode and I/O interface mode
- Interrupt controller
 - Programmable priority (8 levels)
 - 3 types of interrupt response method
Vectored interrupt function, register bank switching function, macro service function
- DRAM and pseudo SRAM refreshing function
- DMA controller : 2 channels
 - 4 types of DMA transfer mode
 - Transfer rate Maximum 4 Mbytes/second (when stop control is not executed by DMARQ pin in demand release mode)
Maximum 2 Mbytes/second (when stop control is executed by DMARQ pin in demand release mode, or burst mode)
 - Address pointer (linear) : 20 bits
 - Terminal counter : 16 bits
- 16-bit timer : 2 channels
- Time base counter (20 bits) : 1 channel
- On-chip clock generator
- Programmable wait function
- Standby function (STOP, HALT)

INTERNAL BLOCK DIAGRAM



Note The internal ROM of 8 Kbytes is reserved for specific use such as testing and not user-accessible.

Documents constructeurs

Remark: All port pins become input ports after reset is released.

1.1 Port Pins

When using P13/INTP2/INTAK as a INTAK pin, be sure to pull up the pin to avoid a malfunction of external interrupt controller after reset is released.

Pin Name	Input/Output	Port Function	Control Function
P00 to P06	Input & output	8-bit input/output ports, each to be specified bit-by-bit	—
P07/CLKOUT	Input & output/output		System clock output
NMI (P10)	Input	Used as non-maskable interrupt request input (input port)	—
P11/ $\overline{\text{INTP0}}$		Used as both external interrupt request input and input port	
P12/ $\overline{\text{INTP1}}$			
P13/ $\overline{\text{INTP2}}$ / $\overline{\text{INTAK}}$	Input/input/output		INT acknowledge signal output
P14/ $\overline{\text{POLL}}$ /INT	Input & output/input/input	Used as both specifiable input/output port and $\overline{\text{POLL}}$ input	External interrupt request input
P15/ $\overline{\text{TOUT}}$	Input & output/output	Input/output port specifiable bit-by-bit	Timer output
P16/ $\overline{\text{SCK0}}$			Serial clock output
P17/READY	Input & output/input		READY input
P20/DMA $\overline{\text{RQ0}}$	Input & output/input	8-bit input/output port specifiable bit-by-bit	DMA request input (CH0)
P21/DMA $\overline{\text{AK0}}$	Input & output/input		DMA acknowledge output (CH0)
P22/ $\overline{\text{TC0}}$			DMA end output (CH0)
P23/DMA $\overline{\text{RQ1}}$	Input & output/input		DMA request input (CH1)
P24/DMA $\overline{\text{AK1}}$	Input & output/output		DMA acknowledge output (CH1)
P25/ $\overline{\text{TC1}}$			DMA end output (CH1)
P26/HLDA $\overline{\text{K}}$	Input & output/output		HOLD acknowledge output
P27/HLDRQ	Input & output/input		HOLD input
PT0 to PT7	Input	8-bit input port with comparator	—

1.2 Non-port Pins

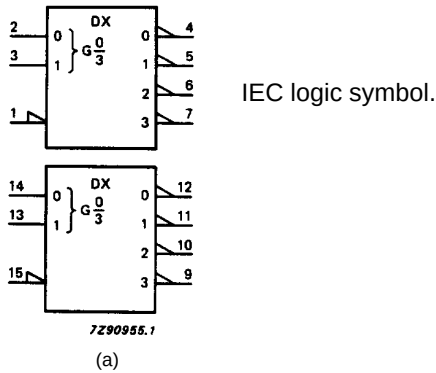
Pin Name	Input/Output	Function
TxD0	Output	Serial data output
TxD1		
RxD0	Input	Serial data input
RxD1		
$\overline{\text{CTS0}}$	Input & output	CTS input in asynchronous mode, receive clock input/output in I/O interface mode
$\overline{\text{CTS1}}$	Input	CTS input
$\overline{\text{REFRQ}}$	Output	DRAM refresh pulse output
V_{TH}	Input	Comparator reference voltage input
$\overline{\text{RESET}}$		Reset signal input
$\overline{\text{EA}}$		Fix to low level
X1		Used to connect crystal resonator for oscillating system clock.
X2		External clock is entered by entering reverse phase clock to both X1 and X2 pins.
D0 to D7	Input & output	8-bit data bus
A0 to A19	Output	20-bit address output
$\overline{\text{MREQ}}$		Output used to indicate that memory bus cycle has been started
$\overline{\text{MSTB}}$		Memory read/memory write strobe output
$\text{R}/\overline{\text{W}}$		Read cycle/write cycle ID signal output
$\overline{\text{IOSTB}}$		I/O read/I/O write strobe output
V_{DD}		Positive power supply pins (all pins should be connected)
GND		GND pins (all pins should be connected)
IC		Internally connected (fix to high level via a pull-up resistor externally)

Dual 2-to-4 line decoder/demultiplexer

74HC/HCT139

FEATURES

- Demultiplexing capability
- Two independent 2-to-4 decoders
- Multifunction capability
- Active LOW mutually exclusive outputs
- Output capability: standard
- I_{CC} category: MSI



PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 15	$1\bar{E}, 2\bar{E}$	enable inputs (active LOW)
2, 3	$1A_0, 1A_1$	address inputs
4, 5, 6, 7	$1\bar{Y}_0$ to $1\bar{Y}_3$	outputs (active LOW)
8	GND	ground (0 V)
12, 11, 10, 9	$2\bar{Y}_0$ to $2\bar{Y}_3$	outputs (active LOW)
14, 13	$2A_0, 2A_1$	address inputs
16	V_{CC}	positive supply voltage

FUNCTION TABLE

INPUTS			OUTPUTS			
$n\bar{E}$	nA_0	nA_1	$n\bar{Y}_0$	$n\bar{Y}_1$	$n\bar{Y}_2$	$n\bar{Y}_3$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

GENERAL DESCRIPTION

The 74HC/HCT139 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). It is specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT139 are high-speed, dual 2-to-4 line decoder/multiplexers. This device has two independent decoders, each accepting two binary weighted inputs (nA_0 and nA_1) and providing four mutually exclusive active LOW outputs ($n\bar{Y}_0$ to $n\bar{Y}_3$). Each decoder has an active LOW enable input ($n\bar{E}$).

When $n\bar{E}$ is HIGH, every output is forced HIGH. The enable can be used as the data input for a 1-to-4 demultiplexer application.

The "139" is identical to the HEF4556 of the HE4000B family.



$\pm 15\text{kV}$ ESD-Protected, +5V RS-232 Transceivers

General Description

The MAX202E–MAX213E, MAX232E/MAX241E line drivers/receivers are designed for RS-232 and V.28 communications in harsh environments. Each transmitter output and receiver input is protected against $\pm 15\text{kV}$ electrostatic discharge (ESD) shocks, without latchup. The various combinations of features are outlined in the *Selection Guide*. The drivers and receivers for all ten devices meet all EIA/TIA-232E and CCITT V.28 specifications at data rates up to 120kbps, when loaded in accordance with the EIA/TIA-232E specification.

The MAX211E/MAX213E/MAX241E are available in 28-pin SO packages, as well as a 28-pin SSOP that uses 60% less board space. The MAX202E/MAX232E come in 16-pin narrow SO, wide SO, and DIP packages. The MAX203E comes in a 20-pin DIP/SO package, and needs no external charge-pump capacitors. The MAX205E comes in a 24-pin wide DIP package, and also eliminates external charge-pump capacitors. The MAX206E/MAX207E/MAX208E come in 24-pin SO, SSOP, and narrow DIP packages. The MAX232E/MAX241E operate with four $1\mu\text{F}$ capacitors, while the MAX202E/MAX206E/MAX207E/MAX208E/MAX211E/MAX213E operate with four $0.1\mu\text{F}$ capacitors, further reducing cost and board space.

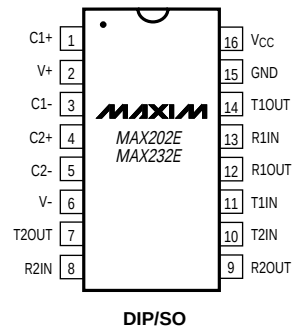
Applications

Notebook, Subnotebook, and Palmtop Computers
Battery-Powered Equipment
Hand-Held Equipment

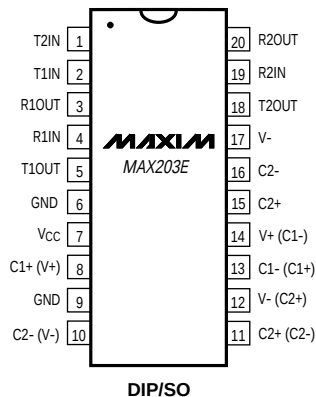
Features

- ♦ ESD Protection for RS-232 I/O Pins:
 - $\pm 15\text{kV}$ —Human Body Model
 - $\pm 8\text{kV}$ —IEC1000-4-2, Contact Discharge
 - $\pm 15\text{kV}$ —IEC1000-4-2, Air-Gap Discharge
- ♦ Latchup Free (unlike bipolar equivalents)
- ♦ Guaranteed 120kbps Data Rate—LapLink™ Compatible
- ♦ Guaranteed $3\text{V}/\mu\text{s}$ Min Slew Rate
- ♦ Operate from a Single +5V Power Supply

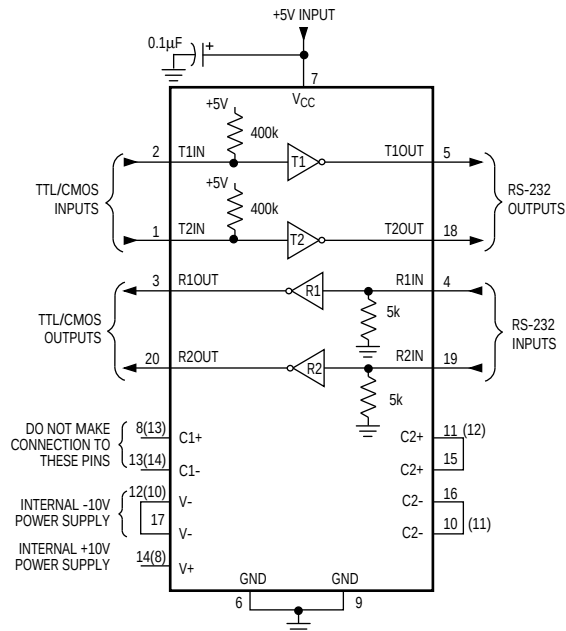
TOP VIEW



TOP VIEW



PIN NUMBERS IN () ARE FOR SO PACKAGE.



MAX202E–MAX213E, MAX232E/MAX241E



Low-Power, Slew-Rate-Limited RS-485/RS-422 Transceivers

General Description

The MAX481, MAX483, MAX485, MAX487–MAX491, and MAX1487 are low-power transceivers for RS-485 and RS-422 communication. Each part contains one driver and one receiver. The MAX483, MAX487, MAX488, and MAX489 feature reduced slew-rate drivers that minimize EMI and reduce reflections caused by improperly terminated cables, thus allowing error-free data transmission up to 250kbps. The driver slew rates of the MAX481, MAX485, MAX490, MAX491, and MAX1487 are not limited, allowing them to transmit up to 2.5Mbps.

These transceivers draw between 120 μ A and 500 μ A of supply current when unloaded or fully loaded with disabled drivers. Additionally, the MAX481, MAX483, and MAX487 have a low-current shutdown mode in which they consume only 0.1 μ A. All parts operate from a single 5V supply.

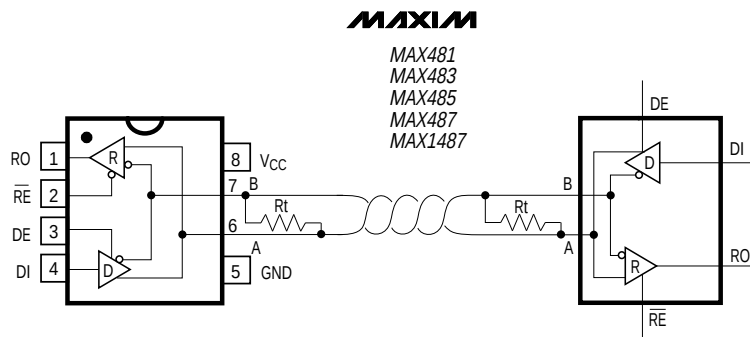
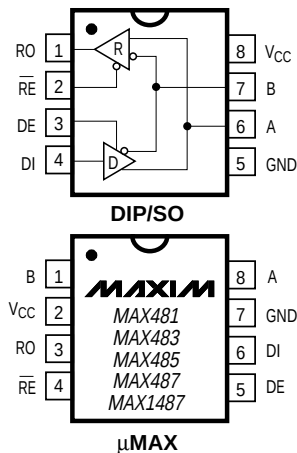
Drivers are short-circuit current limited and are protected against excessive power dissipation by thermal shutdown circuitry that places the driver outputs into a high-impedance state. The receiver input has a fail-safe feature that guarantees a logic-high output if the input is open circuit.

The MAX487 and MAX1487 feature quarter-unit-load receiver input impedance, allowing up to 128 MAX487/MAX1487 transceivers on the bus. Full-duplex communications are obtained using the MAX488–MAX491, while the MAX481, MAX483, MAX485, MAX487, and MAX1487 are designed for half-duplex applications.

Features

- ♦ In μ MAX Package: Smallest 8-Pin SO
- ♦ Slew-Rate Limited for Error-Free Data Transmission (MAX483/487/488/489)
- ♦ 0.1 μ A Low-Current Shutdown Mode (MAX481/483/487)
- ♦ Low Quiescent Current:
 - 120 μ A (MAX483/487/488/489)
 - 230 μ A (MAX1487)
 - 300 μ A (MAX481/485/490/491)
- ♦ -7V to +12V Common-Mode Input Voltage Range
- ♦ Three-State Outputs
- ♦ 30ns Propagation Delays, 5ns Skew (MAX481/485/490/491/1487)
- ♦ Full-Duplex and Half-Duplex Versions Available
- ♦ Operate from a Single 5V Supply
- ♦ Allows up to 128 Transceivers on the Bus (MAX487/MAX1487)
- ♦ Current-Limiting and Thermal Shutdown for Driver Overload Protection

TOP VIEW



NOTE: PIN LABELS Y AND Z ON TIMING, TEST, AND WAVEFORM DIAGRAMS REFER TO PINS A AND B WHEN DE IS HIGH. TYPICAL OPERATING CIRCUIT SHOWN WITH DIP/SO PACKAGE.

Figure 1. MAX481/MAX483/MAX485/MAX487/MAX1487 Pin Configuration and Typical Operating Circuit

M27C1001

1 Mbit (128Kb x8) UV EPROM and OTP EPROM

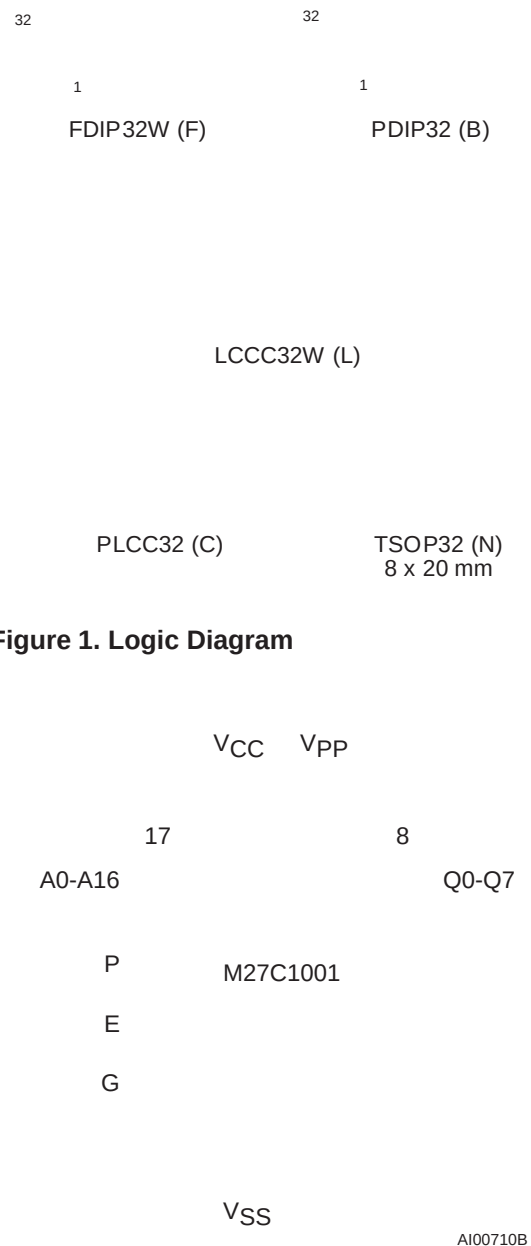
- **5V $\pm$ 10% SUPPLY VOLTAGE** in READ OPERATION
- **ACCESS TIME:** 35ns
- **LOW POWER CONSUMPTION:**
 - Active Current 30mA at 5Mhz
 - Standby Current 100 μ A
- **PROGRAMMING VOLTAGE:** 12.75V $\pm$ 0.25V
- **PROGRAMMING TIME:** 100 μ s/word
- **ELECTRONIC SIGNATURE**
 - Manufacturer Code: 20h
 - Device Code: 05h

DESCRIPTION

The M27C1001 is a 1 Mbit EPROM offered in the two ranges UV (ultra violet erase) and OTP (one time programmable). It is ideally suited for micro-processor systems requiring large programs and is organized as 131,072 words of 8 bits.

The FDIP32W (window ceramic frit-seal package) and the LCCC32W (leadless chip carrier package) have a transparent lids which allow the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written to the device by following the programming procedure.

For applications where the content is programmed only one time and erasure is not required, the M27C1001 is offered in PDIP32, PLCC32 and TSOP32 (8 x 20 mm) packages.



NEC**μPD431000A****Description**

The μPD431000A is a high speed, low power, and 1,048,576 bits (131,072 words by 8 bits) CMOS static RAM.

The μPD431000A has two chip enable pins (/CE1, CE2) to extend the capacity. And battery backup is available. In addition to this, A and B versions are low voltage operations.

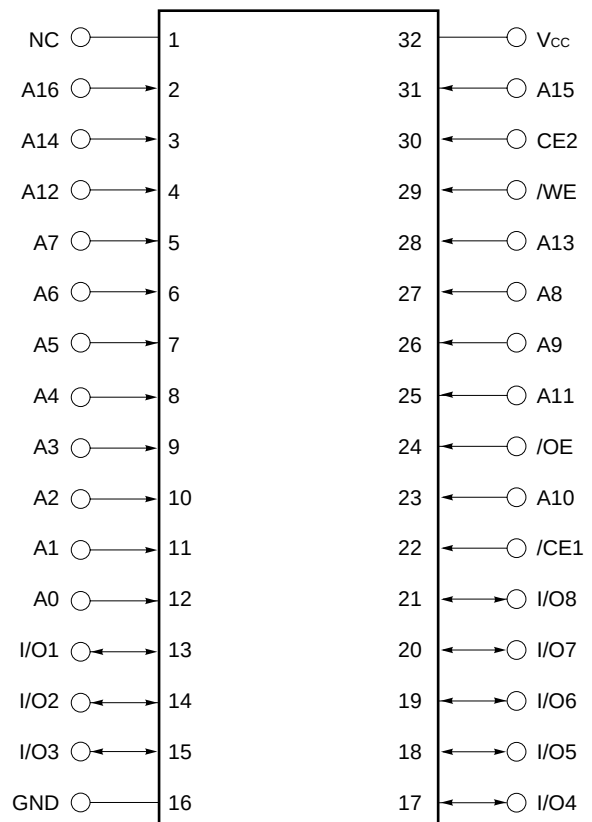
The μPD431000A is packed in 32-pin PLASTIC DIP, 32-pin PLASTIC SOP and 32-pin PLASTIC TSOP (I) (8 × 13.4 mm) and (8 × 20 mm).

Features

- 131,072 words by 8 bits organization
- Fast access time: 70, 85, 100, 120, 150 ns (MAX.)
- Low voltage operation (A version: V_{CC} = 3.0 to 5.5 V, B version: V_{CC} = 2.7 to 5.5 V)
- Operating ambient temperature: T_A = 0 to 70 °C
- Low V_{CC} data retention: 2.0 V (MIN.)
- Output Enable input for easy application
- Two Chip Enable inputs: /CE1, CE2

Pin Configurations (Marking Side)
 /xxx indicates active low signal.
32-pin PLASTIC DIP (15.24 mm (600))
 [μPD431000ACZ-xxL]
 [μPD431000ACZ-xxLL]

A0 - A16 : Address inputs
 I/O1 - I/O8 : Data inputs / outputs
 /CE1, CE2 : Chip Enable 1, 2
 /WE : Write Enable
 /OE : Output Enable
 V_{CC} : Power supply
 GND : Ground
 NC : No connection



Remark Refer to **Package Drawings** for the 1-pin index mark.

Comparator

SA571

DESCRIPTION

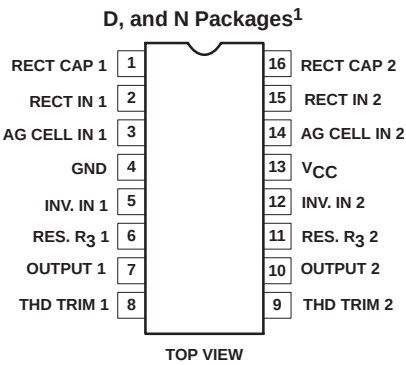
The SA571 is a versatile low cost dual gain control circuit in which either channel may be used as a dynamic range compressor or expander. Each channel has a full-wave rectifier to detect the average value of the signal, a linerarized temperature-compensated variable gain cell, and an operational amplifier.

The SA571 is well suited for use in cellular radio and radio communications systems, modems, telephone, and satellite broadcast/receive audio systems.

FEATURES

- Complete compressor and expander in one lChip
- Temperature compensated
- Greater than 110dB dynamic range
- Operates down to 6VDC
- System levels adjustable with external components
- Distortion may be trimmed out
- Dynamic noise reduction systems
- Voltage-controlled amplifier

PIN CONFIGURATION



NOTE:
1. SOL - Released in Large SO Package Only.

SR00675

Figure 1. Pin Configuration

APPLICATIONS

- Cellular radio
- High level limiter
- Low level expander—noise gate
- Dynamic filters
- CD Player

ORDERING INFORMATION

DESCRIPTION	TEMPERATURE RANGE	ORDER CODE	DWG #
16-Pin Plastic Small Outline Large (SOL)	-40 to +85°C	SA571D	SOT162-1
16-Pin Plastic Dual In-Line Package (DIP)	-40 to +85°C	SA571N	SOT38-4

BLOCK DIAGRAM

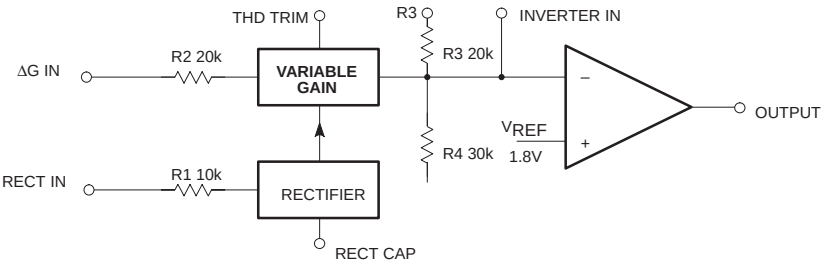


Figure 2. Block Diagram

SR00676

Compressor SA571

CIRCUIT DESCRIPTION

The SA571 compandor building blocks, as shown in the block diagram, are a full-wave rectifier, a variable gain cell, an operational amplifier and a bias system. The arrangement of these blocks in the IC result in a circuit which can perform well with few external components, yet can be adapted to many diverse applications.

The full-wave rectifier rectifies the input current which flows from the rectifier input, to an internal summing node which is biased at V_{REF} . The rectified current is averaged on an external filter capacitor tied to the C_{RECT} terminal, and the average value of the input current controls the gain of the variable gain cell. The gain will thus be proportional to the average value of the input signal for capacitively-coupled voltage inputs as shown in the following equation. Note that for capacitively-coupled inputs there is no offset voltage capable of producing a gain error. The only error will come from the bias current of the rectifier (supplied internally) which is less than $0.1\mu A$.

$$G \propto \frac{|V_{IN} - V_{REF}|_{avg}}{R_1}$$

or

$$G \propto \frac{|V_{IN}|_{avg}}{R_1}$$

The speed with which gain changes to follow changes in input signal levels is determined by the rectifier filter capacitor. A small capacitor will yield rapid response but will not fully filter low frequency signals. Any ripple on the gain control signal will modulate the signal passing through the variable gain cell. In an expander or compressor application, this would lead to third harmonic distortion, so there is a trade-off to be made between fast attack and decay times and distortion. For step changes in amplitude, the change in gain with time is shown by this equation.

$$G(t) = (G_{initial} - G_{final})e^{-t/\tau} + G_{final}; \tau = 10k \times C_{RECT}$$

The variable gain cell is a current-in, current-out device with the ratio I_{OUT}/I_{IN} controlled by the rectifier. I_{IN} is the current which flows from the ΔG input to an internal summing node biased at V_{REF} . The following equation applies for capacitively-coupled inputs. The output current, I_{OUT} , is fed to the summing node of the op amp.

$$I_{IN} = \frac{V_{IN} - V_{REF}}{R_2} = \frac{V_{IN}}{R_2}$$

A compensation scheme built into the ΔG cell compensates for temperature and cancels out odd harmonic distortion. The only distortion which remains is even harmonics, and they exist only because of internal offset voltages. The THD trim terminal provides a means for nulling the internal offsets for low distortion operation.

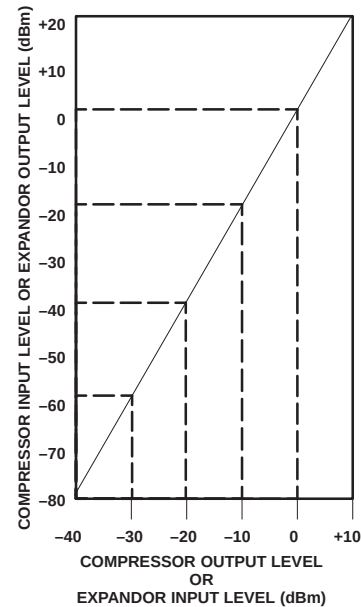
The operational amplifier (which is internally compensated) has the non-inverting input tied to V_{REF} and the inverting input connected to the ΔG cell output as well as brought out externally. A resistor, R_3 , is brought out from the summing node and allows compressor or expander gain to be determined only by internal components.

The output stage is capable of $\pm 20mA$ output current. This allows a $+13dBm$ ($3.5V_{RMS}$) output into a 300Ω load which, with a series resistor and proper transformer, can result in $+13dBm$ with a 600Ω output impedance.

A bandgap reference provides the reference voltage for all summing nodes, a regulated supply voltage for the rectifier and ΔG cell, and a

bias current for the ΔG cell. The low tempco of this type of reference provides very stable biasing over a wide temperature range.

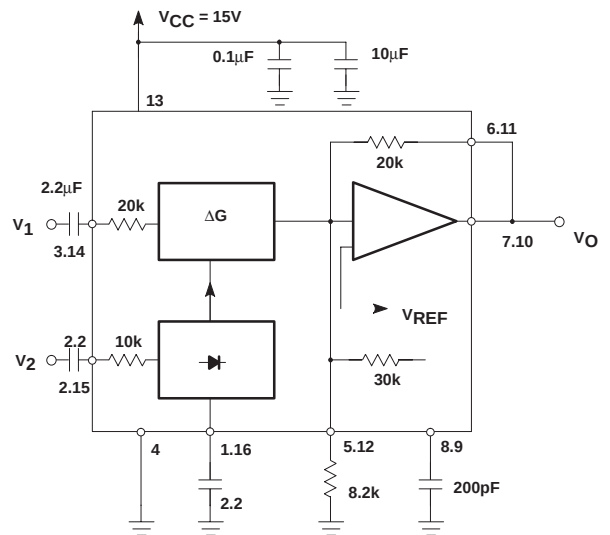
The typical performance characteristics illustration shows the basic input-output transfer curve for basic compressor or expander circuits.



SR00677

Figure 3. Basic Input-Output Transfer Curve

TYPICAL TEST CIRCUIT



SR00678

Figure 4. Typical Test Circuit

INTRODUCTION

Much interest has been expressed in high performance electronic gain control circuits. For non-critical applications, an integrated circuit operational transconductance amplifier can be used, but when high-performance is required, one has to resort to complex discrete circuitry with many expensive, well-matched components.

Comporandor

SA571

This paper describes an inexpensive integrated circuit, the SA571 Comporandor, which offers a pair of high performance gain control circuits featuring low distortion (<0.1%), high signal-to-noise ratio (90dB), and wide dynamic range (110dB).

CIRCUIT BACKGROUND

The SA571 Comporandor was originally designed to satisfy the requirements of the telephone system. When several telephone channels are multiplexed onto a common line, the resulting signal-to-noise ratio is poor and companding is used to allow a wider dynamic range to be passed through the channel. Figure 5 graphically shows what a compandor can do for the signal-to-noise ratio of a restricted dynamic range channel. The input level range of +20 to -80dB is shown undergoing a 2-to-1 compression where a 2dB input level change is compressed into a 1dB output level change by the compressor. The original 100dB of dynamic range is thus compressed to a 50dB range for transmission through a restricted dynamic range channel. A complementary expansion on the receiving end restores the original signal levels and reduces the channel noise by as much as 45dB.

The significant circuits in a compressor or expander are the rectifier and the gain control element. The phone system requires a simple full-wave averaging rectifier with good accuracy, since the rectifier accuracy determines the (input) output level tracking accuracy. The gain cell determines the distortion and noise characteristics, and the phone system specifications here are very loose. These specs could have been met with a simple operational transconductance multiplier, or OTA, but the gain of an OTA is proportional to temperature and this is very undesirable. Therefore, a linearized transconductance multiplier was designed which is insensitive to temperature and offers low noise and low distortion performance. These features make the circuit useful in audio and data systems as well as in telecommunications systems.

BASIC CIRCUIT HOOK-UP AND OPERATION

Figure 6 shows the block diagram of one half of the chip, (there are two identical channels on the IC). The full-wave averaging rectifier provides a gain control current, I_G , for the variable gain (ΔG) cell. The output of the ΔG cell is a current which is fed to the summing node of the operational amplifier. Resistors are provided to establish circuit gain and set the output DC bias.

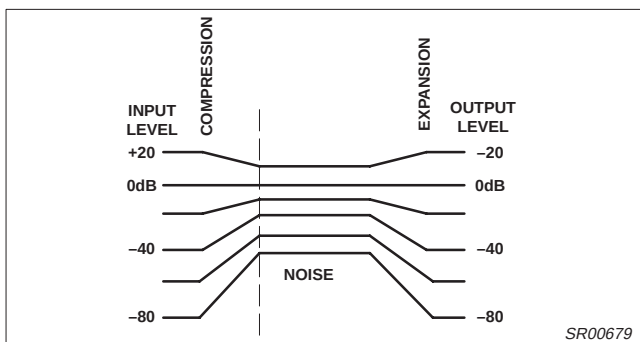


Figure 5. Restricted Dynamic Range Channel

The circuit is intended for use in single power supply systems, so the internal summing nodes must be biased at some voltage above ground. An internal band gap voltage reference provides a very stable, low noise 1.8V reference denoted V_{REF} . The non-inverting input of the op amp is tied to V_{REF} , and the summing nodes of the

rectifier and ΔG cell (located at the right of R_1 and R_2) have the same potential. The THD trim pin is also at the V_{REF} potential.

Figure 7 shows how the circuit is hooked up to realize an expander. The input signal, V_{IN} , is applied to the inputs of both the rectifier and the ΔG cell. When the input signal drops by 6dB, the gain control current will drop by a factor of 2, and so the gain will drop 6dB. The output level at V_{OUT} will thus drop 12dB, giving us the desired 2-to-1 expansion.

Figure 8 shows the hook-up for a compressor. This is essentially an expander placed in the feedback loop of the op amp. The ΔG cell is setup to provide AC feedback only, so a separate DC feedback loop is provided by the two R_{DC} and C_{DC} . The values of R_{DC} will determine the DC bias at the output of the op amp. The output will bias to:

$$V_{OUT\ DC} = 1 + \frac{R_{DC1} + R_{DC2}}{R_4}$$

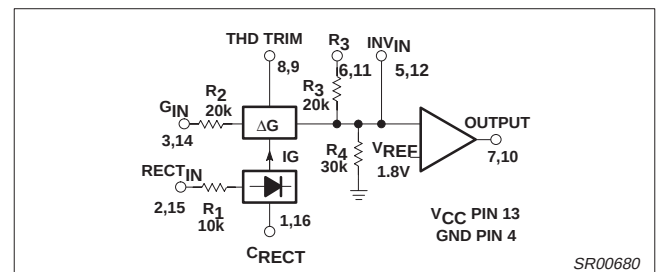


Figure 6. Chip Block Diagram (1 of 2 Channels)

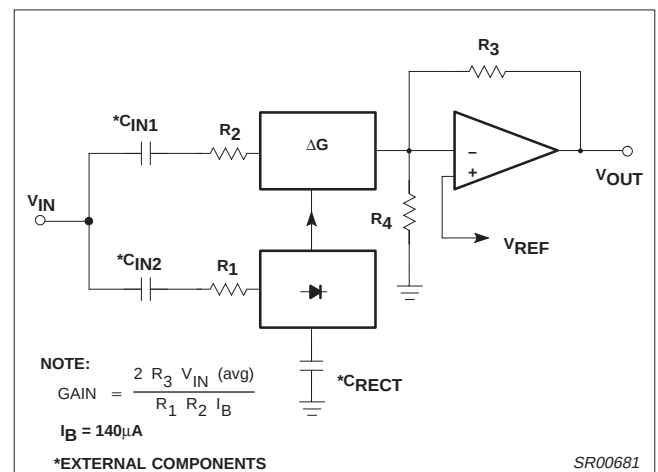


Figure 7. Basic Expander

$$V_{REF} = \left(1 + \frac{R_{DCTOT}}{30k} \right) 1.8V$$

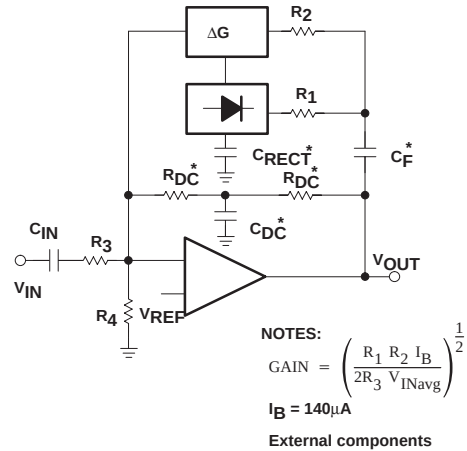
The output of the expander will bias up to:

$$V_{OUT\ DC} = 1 + \frac{R_3}{R_4} V_{REF}$$

$$V_{REF} = \left(1 + \frac{20k}{30k} \right) 1.8V = 3.0V$$

The output will bias to 3.0V when the internal resistors are used. External resistors may be placed in series with R_3 , (which will affect the gain), or in parallel with R_4 to raise the DC bias to any desired value.

Campandor SA571



SR00682

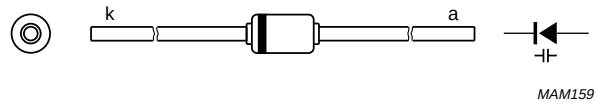
Figure 8. Basic Compressor

VHF variable capacitance diode

BB809

FEATURES

- High linearity
- Matched to 3%
- Hermetically sealed leaded glass SOD68 (DO-34) package
- C28: 4.7 pF; ratio: 9
- Low series resistance.



Cathode side indicated by a yellow band on a black body.

APPLICATIONS

- Electronic tuning in VHF television tuners, band A up to 160 MHz
- VCO.

Fig.1 Simplified outline (SOD68; DO-34) and symbol.

DESCRIPTION

The BB809 is a variable capacitance diode, fabricated in planar technology, and encapsulated in the hermetically sealed leaded glass SOD68 (DO-34) package.

ELECTRICAL CHARACTERISTICS

$T_j = 25^\circ C$; unless otherwise specified.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
V_R	continuous reverse voltage	—	30	V
I_F	continuous forward current	—	20	mA
T_{stg}	storage temperature	-55	+150	$^\circ C$
T_j	operating junction temperature	-55	+100	$^\circ C$

Note1. V_R is the value at which $C_d = 25 pF$.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_R	reverse current	$V_R = 28 V$; see Fig.3	—	—	10	nA
		$V_R = 28 V$; $T_j = 85^\circ C$; see Fig.3	—	—	200	nA
r_s	diode series resistance	$f = 200 MHz$; note 1	—	—	0.6	Ω
C_d	diode capacitance	$V_R = 1 V$; $f = 1 MHz$; see Figs 2 and 4	39	—	46	pF
		$V_R = 28 V$; $f = 1 MHz$; see Figs 2 and 4	4	—	5	pF
$\frac{C_{d(1V)}}{C_{d(28V)}}$	capacitance ratio	$f = 1 MHz$	8	—	10	
$\frac{\Delta C_d}{C_d}$	capacitance matching	$V_R = 0.5$ to $28 V$	—	—	3	%

VHF variable capacitance diode

BB809

GRAPHICAL DATA

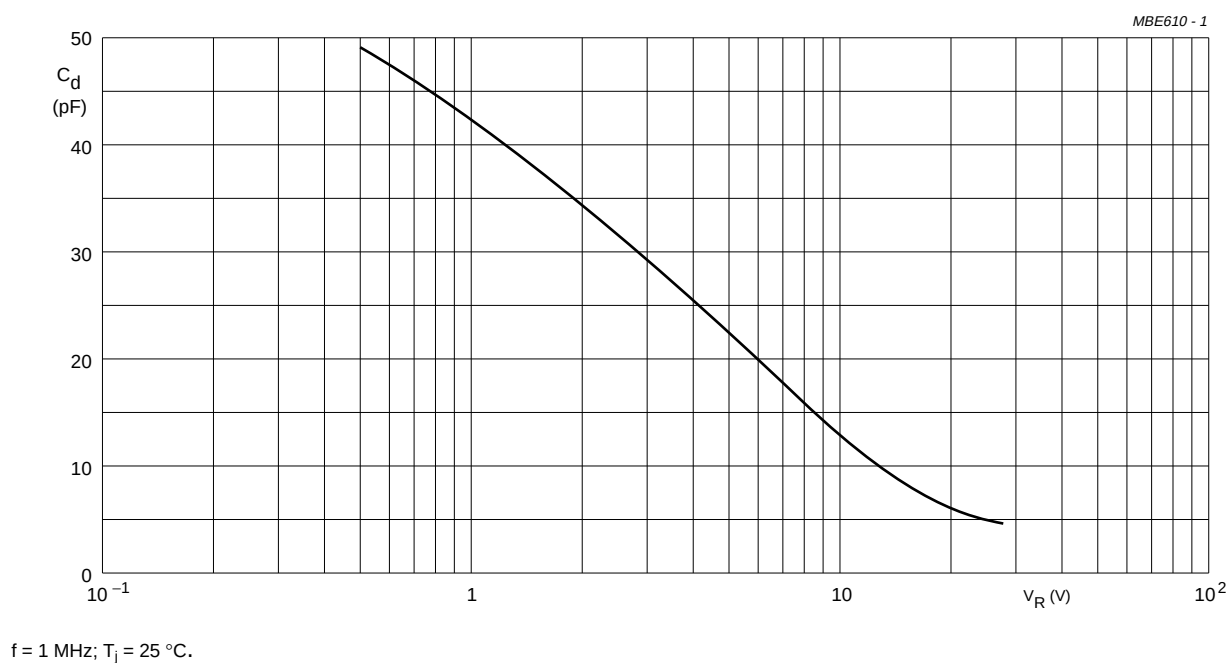


Fig.2 Diode capacitance as a function of reverse voltage; typical values.

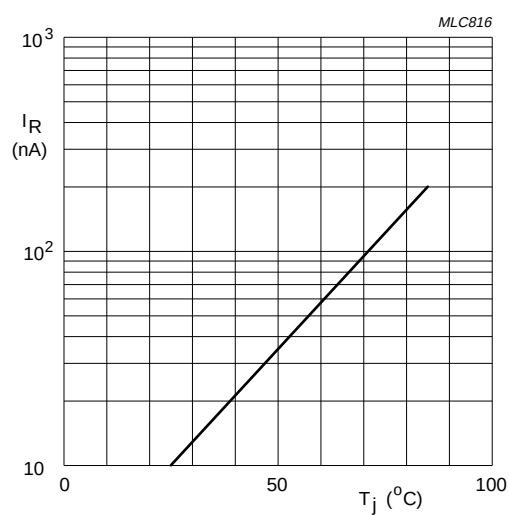


Fig.3 Reverse current as a function of junction temperature; maximum values.

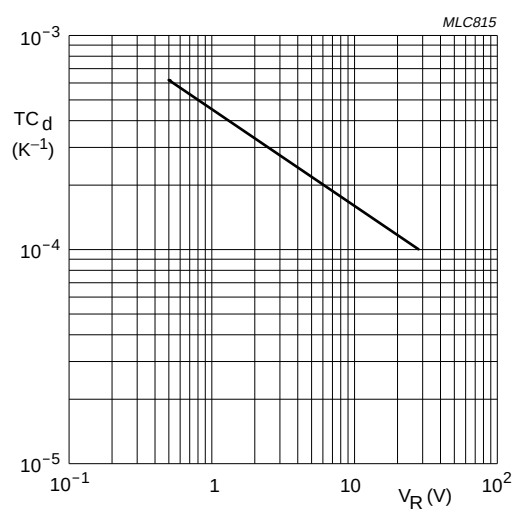
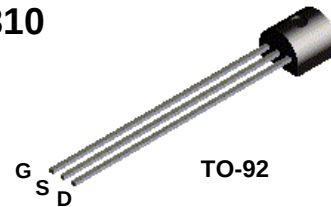
 $T_j = 0 \text{ to } 85^\circ\text{C}.$

Fig.4 Temperature coefficient of diode capacitance as a function of reverse voltage; typical values.

N-Channel RF Amplifier**J309 / J310**

This device is designed for VHF/UHF amplifier, oscillator and mixer applications. As a common gate amplifier, 16 dB at 100 MHz and 12 dB at 450 MHz can be realized. Sourced from Process 92.

**Absolute Maximum Ratings***

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V _{DS}	Drain-Source Voltage	25	V
V _{GS}	Gate-Source Voltage	- 25	V
I _{GF}	Forward Gate Current	10	mA
T _J , T _{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:

1) These ratings are based on a maximum junction temperature of 150 degrees C.

2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Electrical Characteristics

TA = 25°C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Typ	Max	Units
--------	-----------	-----------------	-----	-----	-----	-------

OFF CHARACTERISTICS

V _{(BR)GSS}	Gate-Source Breakdown Voltage	I _G = - 1.0 μA, V _{DS} = 0	- 25			V
I _{GSS}	Gate Reverse Current	V _{GS} = - 15 V, V _{DS} = 0 V _{GS} = - 15 V, V _{DS} = 0, T _A = 125°C			- 1.0 - 1.0	nA μA
V _{GS(off)}	Gate-Source Cutoff Voltage	V _{DS} = 10 V, I _D = 1.0 nA J309 J310	- 1.0 - 2.0		- 4.0 - 6.5	V V

ON CHARACTERISTICS

I _{DSS}	Zero-Gate Voltage Drain Current*	V _{DS} = 10 V, V _{GS} = 0 J309 J310	12 24		30 60	mA mA
V _{GS(f)}	Gate-Source Forward Voltage	V _{DS} = 0, I _G = 1.0 mA			1.0	V

SMALL SIGNAL CHARACTERISTICS

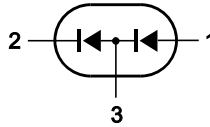
Re(y _{is})	Common-Source Input Conductance	V _{DS} = 10, I _D = 10 mA, f = 100 MHz J309 J310		0.7 0.5		mmhos mmhos
Re(y _{os})	Common-Source Output Conductance	V _{DS} = 10, I _D = 10 mA, f = 100 MHz		0.25		mmhos
G _{pg}	Common-Gate Power Gain	V _{DS} = 10, I _D = 10 mA, f = 100 MHz		16		dB
Re(y _{fs})	Common-Source Forward Transconductance	V _{DS} = 10, I _D = 10 mA, f = 100 MHz		12		mmhos
Re(y _{ig})	Common-Gate Input Conductance	V _{DS} = 10, I _D = 10 mA, f = 100 MHz		12		mmhos
g _{fs}	Common-Source Forward Transconductance	V _{DS} = 10, I _D = 10 mA, f = 1.0 kHz J309 J310	10,000 8000		20,000 18,000	μmhos μmhos
g _{os}	Common-Source Output Conductance	V _{DS} = 10, I _D = 10 mA, f = 1.0 kHz			150	μmhos
g _{fg}	Common-Gate Forward Conductance	V _{DS} = 10, I _D = 10 mA, f = 1.0 kHz J309 J310		13,000 12,000		μmhos μmhos
g _{og}	Common-Gate Output Conductance	V _{DS} = 10, I _D = 10 mA, f = 1.0 kHz J309 J310		100 150		μmhos μmhos
C _{dg}	Drain-Gate Capacitance	V _{DS} = 0, V _{GS} = - 10, f = 1.0 MHz		2.0	2.5	pF
C _{sg}	Source-Gate Capacitance	V _{DS} = 0, V _{GS} = - 10, f = 1.0 MHz		4.1	5.0	pF
NF	Noise Figure	V _{DS} = 10 V, I _D = 10 mA, f = 450 MHz		3.0		dB
e _n	Equivalent Short-Circuit Input Noise Voltage	V _{DS} = 10 V, I _D = 10 mA, f = 100 Hz		6.0		nV/√Hz

High-speed double diode

BAV99

FEATURES

- Small plastic SMD package
- High switching speed: max. 4 ns
- Continuous reverse voltage: max. 75 V
- Repetitive peak reverse voltage: max. 85 V
- Repetitive peak forward current: max. 450 mA.

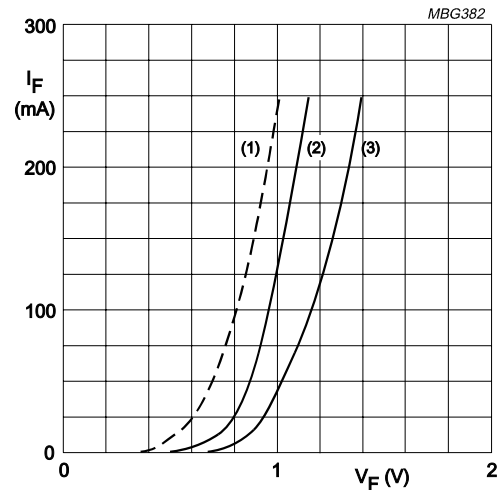


APPLICATIONS

- High-speed switching in thick and thin-film circuits.

DESCRIPTION

The BAV99 consists of two high-speed switching diodes connected in series, fabricated in planar technology, and encapsulated in the small SOT23 plastic SMD package.



- (1) $T_J = 150\text{ }^{\circ}\text{C}$; typical values.
 (2) $T_J = 25\text{ }^{\circ}\text{C}$; typical values.
 (3) $T_J = 25\text{ }^{\circ}\text{C}$; maximum values.

Fig.3 Forward current as a function of forward voltage.

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
Per diode					
V_{RRM}	repetitive peak reverse voltage		—	85	V
V_R	continuous reverse voltage		—	75	V
I_F	continuous forward current	single diode loaded; see Fig.2; note 1	—	215	mA
		double diode loaded; see Fig.2; note 1	—	125	mA
I_{FRM}	repetitive peak forward current		—	450	mA
I_{FSM}	non-repetitive peak forward current	square wave; $T_J = 25\text{ }^{\circ}\text{C}$ prior to surge; see Fig.4			
		$t = 1\text{ }\mu\text{s}$	—	4	A
		$t = 1\text{ ms}$	—	1	A
		$t = 1\text{ s}$	—	0.5	A
P_{tot}	total power dissipation	$T_{amb} = 25\text{ }^{\circ}\text{C}$; note 1	—	250	mW
T_{stg}	storage temperature		−65	+150	$^{\circ}\text{C}$
T_J	junction temperature		—	150	$^{\circ}\text{C}$

Note

1. Device mounted on an FR4 printed-circuit board.



MC3303 MC3403 - MC3503

LOW POWER QUAD BIPOLAR OPERATIONAL AMPLIFIERS

- SHORT-CIRCUIT PROTECTED OUTPUTS
- CLASS AB OUTPUT STAGE FOR MINIMAL CROSSOVER DISTORTION
- SINGLE SUPPLY OPERATION : +3 V TO +36V
- DUAL SUPPLIES : $\pm 1.5\text{V}$ TO $\pm 18\text{V}$
- LOW INPUT BIAS CURRENT : 500nA MAX
- INTERNALLY COMPENSATED
- SIMILAR PERFORMANCE TO POPULAR UA741

DESCRIPTION

The MC3403 is a low-cost, quad operational amplifier with true differential inputs. The device has electrical characteristics similar to the popular UA741. However the MC3403, has several distinct advantages over standard operational amplifier types in single supply applications. The quad amplifier can operate at supply voltages as low as 3.0 volts or as high as 36 volts with quiescent currents about one third of those associated with the UA741 (on a per amplifier basis). The common-mode input range includes the negative supply, thereby eliminating the necessity for external biasing components in many applications.

PIN CONNECTIONS (top view)

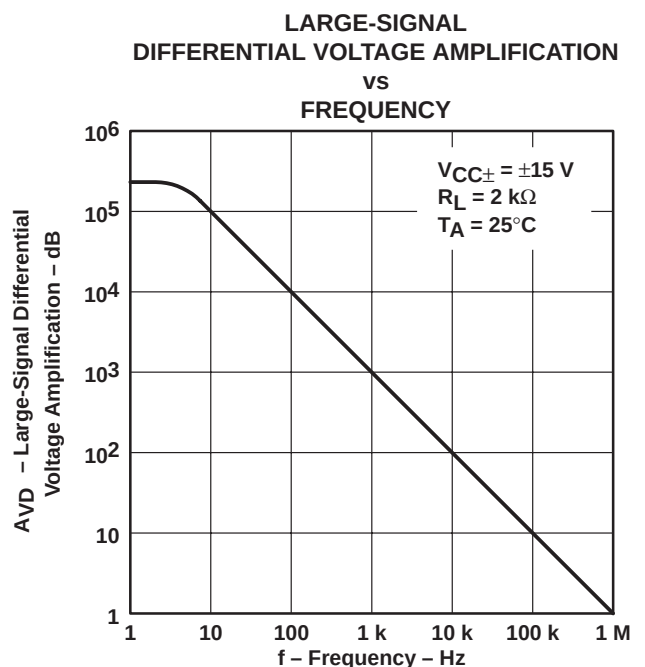
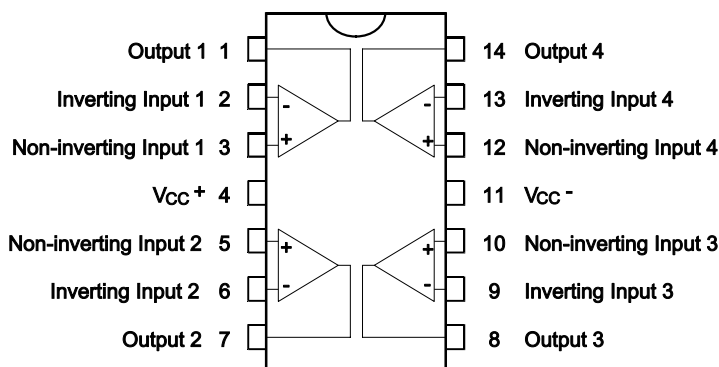


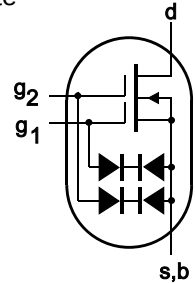
Figure 4

N-channel dual-gate MOS-FET**BF991****FEATURES**

- Protected against excessive input voltage surges by integrated back-to-back diodes between gates and source.

DESCRIPTION

Depletion type field-effect transistor in a plastic SOT143 microminiature package with interconnected source and substrate

**APPLICATIONS**

- VHF applications such as:
 - VHF television tuners and FM tuners
 - Professional communication equipment.

QUICK REFERENCE DATA

SYMBOL	PARAMETER	CONDITIONS	TYP.	MAX.	UNIT
V_{DS}	drain-source voltage		–	20	V
I_D	drain current		–	20	mA
P_{tot}	total power dissipation	up to $T_{amb} = 60\text{ °C}$	–	200	mW
T_j	junction temperature		–	150	°C
$ Y_{fs} $	transfer admittance	$f = 1\text{ kHz}; I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; V_{G2-S} = 4\text{ V}$	14	–	mS
C_{ig1-s}	input capacitance at gate 1	$f = 1\text{ MHz}; I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; V_{G2-S} = 4\text{ V}$	2.1	–	pF
C_{rs}	feedback capacitance	$f = 1\text{ MHz}; I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; V_{G2-S} = 4\text{ V}$	20	–	fF
F	noise figure	$f = 200\text{ MHz}; G_S = 2\text{ mS}; B_S = B_{Sopt}; I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; V_{G2-S} = 4\text{ V}$	1	2	dB

STATIC CHARACTERISTICS

$T_j = 25\text{ °C}$ unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
I_{G1-SS}	gate 1 cut-off current	$V_{G1-S} = 5\text{ V}; V_{G2-S} = V_{DS} = 0$	–	50	nA
I_{G2-SS}	gate 2 cut-off current	$V_{G2-S} = 5\text{ V}; V_{G1-S} = V_{DS} = 0$	–	50	nA
I_{DSS}	drain current	$V_{DS} = 10\text{ V}; V_{G1-S} = 0; V_{G2-S} = 4\text{ V}$	4	25	mA
$V_{(BR)G1-SS}$	gate 1-source breakdown voltage	$I_{G1-SS} = 10\text{ mA}; V_{G2-S} = V_{DS} = 0$	6	20	V
$V_{(BR)G2-SS}$	gate 2-source breakdown voltage	$I_{G2-SS} = 10\text{ mA}; V_{G1-S} = V_{DS} = 0$	6	20	V
$V_{(P)G1-S}$	gate 1-source cut-off voltage	$I_D = 20\text{ }\mu\text{A}; V_{DS} = 10\text{ V}; V_{G2-S} = 4\text{ V}$	–	–2.5	V
$V_{(P)G2-S}$	gate 2-source cut-off voltage	$I_D = 20\text{ }\mu\text{A}; V_{DS} = 10\text{ V}; V_{G1-S} = 0$	–	–2.5	V

DYNAMIC CHARACTERISTICS

Measuring conditions (common source): $I_D = 10\text{ mA}; V_{DS} = 10\text{ V}; V_{G2-S} = 4\text{ V}; T_{amb} = 25\text{ °C}$.

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
$ Y_{fs} $	transfer admittance	$f = 1\text{ kHz}$	10	14	–	mS
C_{ig1-s}	input capacitance at gate 1	$f = 1\text{ MHz}$	–	2.1	–	pF
C_{ig2-s}	input capacitance at gate 2	$f = 1\text{ MHz}$	–	1	–	pF
C_{rs}	feedback capacitance	$f = 1\text{ MHz}$	–	20	–	fF
C_{os}	output capacitance	$f = 1\text{ MHz}$	–	1.1	–	pF
F	noise figure	$f = 100\text{ MHz}; G_S = 1\text{ mS}; B_S = B_{Sopt}$	–	0.7	1.7	dB
		$f = 200\text{ MHz}; G_S = 2\text{ mS}; B_S = B_{Sopt}$	–	1	2	dB
G_{tr}	transducer gain; note 1	$f = 100\text{ MHz}; G_S = 1\text{ mS}; B_S = B_{Sopt}; G_L = 0.5\text{ mS}; B_L = B_{Lopt}$	–	29	–	dB
		$f = 200\text{ MHz}; G_S = 2\text{ mS}; B_S = B_{Sopt}; G_L = 0.5\text{ mS}; B_L = B_{Lopt}$	–	26	–	dB

PIN DIODE

UM9401
UM9402
UM9415

COMMERCIAL TWO-WAY RADIO ANTENNA SWITCH DIODES

Features

- Specified low distortion
- Microsemi ruggedness and reliability
- Low bias current requirements
- Priced for high quantity applications

Description:

Microsemi offers a series of PIN diodes specifically designed and characterized for solid state antenna switches in commercial two-way radios. Antenna switches using the UM9401 and UM9415 series PIN diodes provide high isolation, low loss and low distortion characteristics formerly possible only with electromechanical relay type switches.

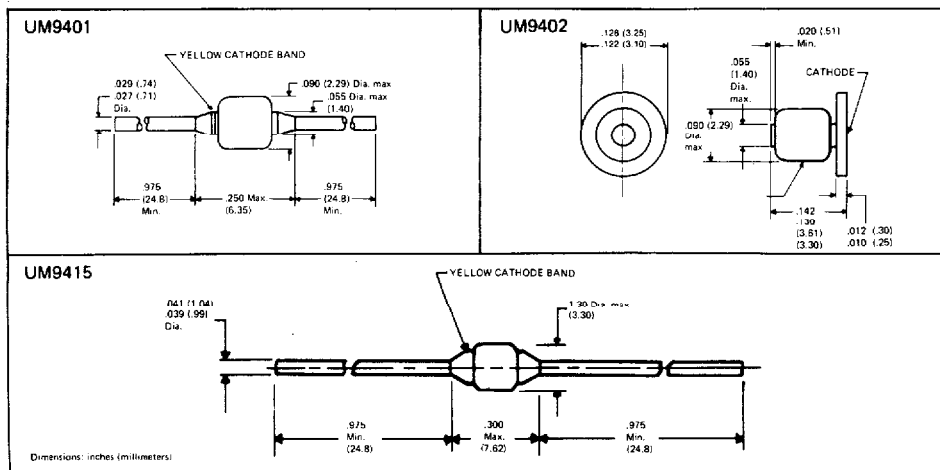
The UM9401 and UM9402 diodes can handle above 100W of transmitter power,

while the UM9415 will handle over 1000W. The extensive characterization of these PIN diodes in antenna switch applications has resulted in guaranteed low distortion specifications under transmit and receive conditions. These diodes also feature low forward bias resistance and high zero bias impedance which are required for low loss, high isolation and wide bandwidth antenna switch performance.

MAXIMUM RATINGS

Reverse Voltage (V_R) — Volts ($I_R = 10 \mu A$)	UM9401	UM9402	UM9415
	50V	50V	50V
Average Power Dissipation (P_A) Lead Length — 1/2 in. (12.7mm) Total to 25°C Contacts 25°C (Package Flange) Temperature Free Air	5.5W	— 10W	10W — 2.5W

Operating and Storage Temperature Range	− 65°C to + 175°C
---	-------------------



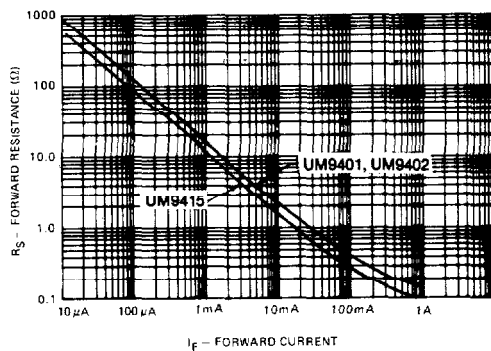
Microsemi Corp.
Watertown
The diode experts

UM9401 UM9402 UM9415

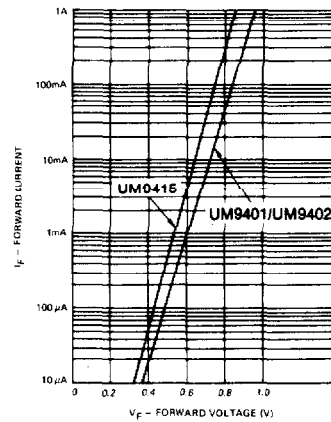
Electrical Specifications (at 25 °C)

Test	Symbol	UM9401/UM9402			UM9415			Units	Conditions
		Min	Typ	Max	Min	Typ	Max		
Series Resistance	R_S		0.75	1.0		0.75	1.0	Ω	$f = 100\text{ MHz}$ typical $I = 50\text{ mA}$
Diode Capacitance	C_T		1.1	1.5			4	pF	$f = 100\text{ MHz}$ $V = 0\text{ V}$
Parallel Resistance	R_P	5K	10K		1K	2K		Ω	$f = 100\text{ MHz}$ $V = 0\text{ V}$
Carrier Lifetime	τ	1.0	2.0		5			μS	$I = 10\text{ mA}$
Transmit Harmonic Distortion	$\frac{R_{2A}}{A}, \frac{R_{3A}}{A}$			80			80	-dB	$P_{IN} = 50\text{ W}$ $f = 50\text{ MHz}, I = 50\text{ mA}$
Receive Third Order Distortion	$\frac{R_{2AB}}{A}$			60			60	-dB	$P_{IN} = 10\text{ mW}, 0\text{ V Bias}$ $f_A = 50\text{ MHz}, f_B = 51\text{ MHz}$
Reverse Leakage Current	I_R			10			10	μA	$V = 50\text{ V}$
Forward Voltage	V_F			1.0			1.0	V	$I_F = 50\text{ mA}$

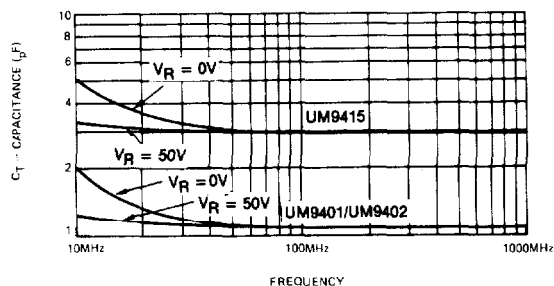
**TYPICAL FORWARD RESISTANCE
VS
FORWARD CURRENT
($F = 100\text{ MHz}$)**



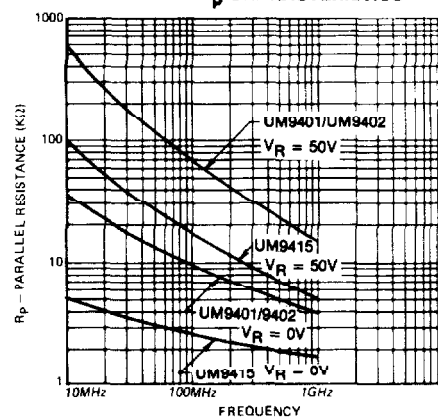
TYPICAL DC CHARACTERISTIC



TYPICAL CAPACITANCE CHARACTERISTIC



TYPICAL R_P CHARACTERISTICS



UM9401 UM9402 UM9415

Maximum Transmitter Power

The maximum CW transmitter power, $P_{T(max)}$, a PIN diode antenna switch can handle depends on the diode resistance, R_s , power dissipation, P_D , antenna SWR, σ , and nominal impedance, Z_0 . The expression relating these parameters is as follows:

$$P_{T(max)} = \frac{P_D \times Z_0}{R_D} \left(\frac{\sigma + 1}{2\sigma} \right)^2 \text{ [Watts]}$$

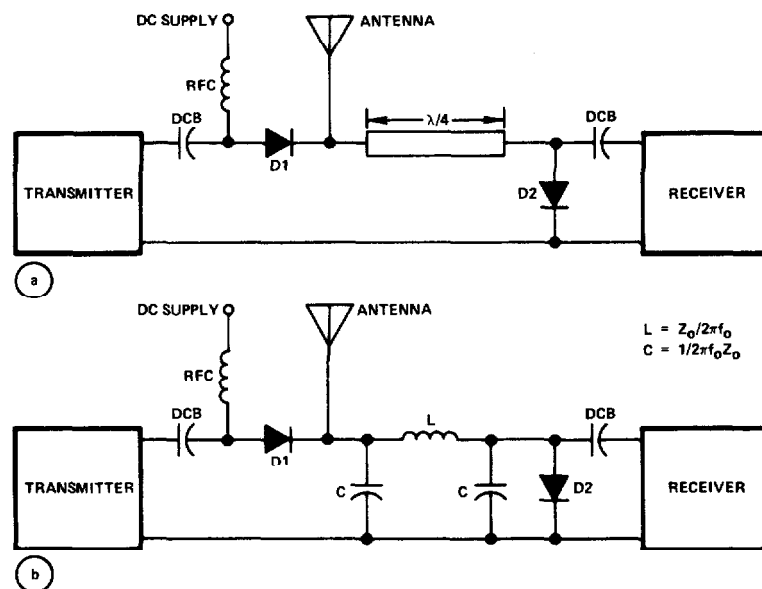
Characteristic curves are shown in the data section which give both the maximum and typical diode resistance, R_s , as a function of forward current. The maximum power dissipation rating of the PIN diode depends both on the length of the diode leads and the temperature of the contacts to which the leads are connected. A graph defining the maximum power dissipation at various combinations of overall lead length (L) and lead temperature (T_L) is given in the data section. From these curves and the above equation, the power handling capability of the PIN diode may be computed for a specific application.

Curves are also presented which show the maximum transmitter power that an antenna

switch using UM9401s and UM9415s can safely handle for various forward currents and lead temperatures. These curves are based on a typical design condition of a 1/2 in. total overall lead length, 50Ω line impedance and a totally mismatched antenna ($\sigma = \infty$). For the case of a perfectly matched antenna, the maximum transmitter power can be increased by a factor of 4.

Design Information

A circuit configuration for a two-way radio antenna switch using PIN diodes consists of a diode placed in series with the transmitter and a shunt diode placed a quarter wavelength from the antenna in the direction of the receiver as shown. For low frequency operation, the quarter wave line may be simulated by lumped elements. Typical performance of antenna switches using PIN diodes forward biased at 100 mA is less than 0.2 dB insertion loss and 30 dB isolation during transmit; at zero bias the receive insertion loss is less than 0.3 dB. This performance is achievable across a $\pm 20\%$ bandwidth at center frequencies ranging from 10 to 500 MHz.





CD54/74HCT165

Data sheet acquired from Harris Semiconductor
SCHS156A

February 1998 - Revised May 2000

High Speed CMOS Logic

8-Bit Parallel-In/Serial-Out Shift Register

Features

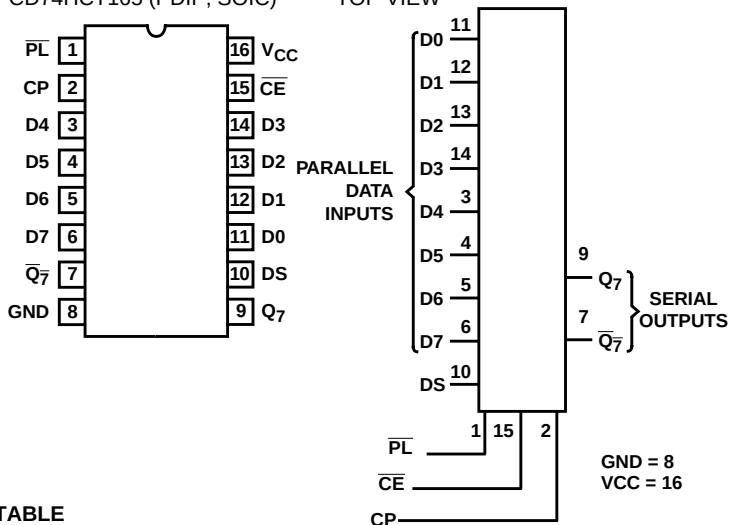
- **Buffered Inputs**
- **Asynchronous Parallel Load**
- **Complementary Outputs**
- **Typical $f_{MAX} = 60\text{MHz}$ at $V_{CC} = 5\text{V}$, $C_L = 15\text{pF}$, $T_A = 25^\circ\text{C}$**
- **Fanout (Over Temperature Range)**
 - Standard Outputs 10 LSTTL Loads
 - Bus Driver Outputs 15 LSTTL Loads
- **Wide Operating Temperature Range . . . -55°C to 125°C**
- **Balanced Propagation Delay and Transition Times**
- **Significant Power Reduction Compared to LSTTL Logic ICs**
- **HC Types**
 - 2V to 6V Operation
 - High Noise Immunity: $N_{IL} = 30\%$, $N_{IH} = 30\%$ of V_{CC} at $V_{CC} = 5\text{V}$
- **HCT Types**
 - 4.5V to 5.5V Operation
 - Direct LSTTL Input Logic Compatibility, $V_{IL} = 0.8\text{V}$ (Max), $V_{IH} = 2\text{V}$ (Min)
 - CMOS Input Compatibility, $I_I \leq 1\mu\text{A}$ at V_{OL} , V_{OH}

Description

The 'HC165 and 'HCT165 are 8-bit parallel or serial-in shift registers with complementary serial outputs (Q_7 and $\overline{Q_7}$) available from the last stage. When the parallel load ($\overline{PL}$) input is LOW, parallel data from the D0 to D7 inputs are loaded into the register asynchronously. When the $\overline{PL}$ is HIGH, data enters the register serially at the DS input and shifts one place to the right ($Q_0 \rightarrow Q_1 \rightarrow Q_2$, etc.) with each positive-going clock transition. This feature allow parallel-to-serial converter expansion by typing the Q_7 output to the DS input of the succeeding device.

For predictable operation the LOW-to-HIGH transition of $\overline{CE}$ should only take place while CP is HIGH. Also, CP and $\overline{CE}$ should be LOW before the LOW-to-HIGH transition of $\overline{PL}$ to prevent shifting the data when $\overline{PL}$ goes HIGH.

Pinout: CD54HC165, CD54HCT165 (CERDIP) CD74HC165, CD74HCT165 (PDIP, SOIC) TOP VIEW



TRUTH TABLE

OPERATING MODE	INPUTS					Q _n REGISTER		OUTPUTS	
	$\overline{PL}$	$\overline{CE}$	CP	DS	D0 - D7	Q ₀	Q ₁ - Q ₆	Q ₇	$\overline{Q_7}$
Parallel Load	L	X	X	X	L	L	L-L	L	H
	L	X	X	X	H	H	H-H	H	L
Serial Shift	H	L	↑	l	X	L	q ₀ - q ₅	q ₆	$\overline{q_6}$
	H	L	↑	h	X	H	q ₀ - q ₅	q ₆	$\overline{q_6}$
Hold Do Nothing	H	H	X	X	X	q ₀	q ₁ - q ₆	q ₇	$\overline{q_7}$

NOTE:

- H = High Voltage Level
h = High Voltage Level One Set-up Time Prior To The Low-to-high Clock Transition
l = Low Voltage Level One Set-up Time Prior To The Low-to-high Clock Transition
L = Low Voltage Level
X = Don't Care
↑ = Transition from Low to High Level
q_n = Lower Case Letters Indicate The State Of The Reference Output Clock Transition

8-stage shift-and-store bus register

74HC/HCT4094

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	STR	strobe input
2	D	serial input
3	CP	clock input
4, 5, 6, 7, 14, 13, 12, 11	QP ₀ to QP ₇	parallel outputs
8	GND	ground (0 V)
9, 10	QS ₁ , QS ₂	serial outputs
15	OE	output enable input
16	V _{CC}	positive supply voltage

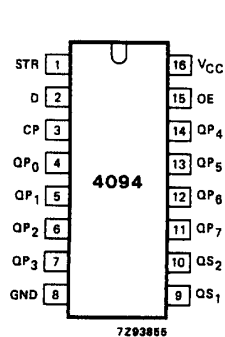


Fig.1 Pin configuration.

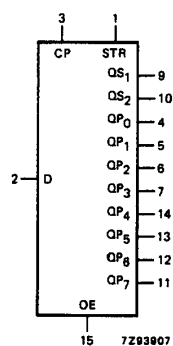


Fig.2 Logic symbol.

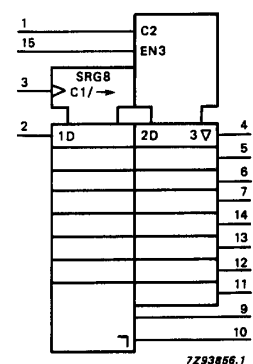


Fig.3 IEC logic symbol.

8-stage shift-and-store bus register

74HC/HCT4094

FUNCTION TABLE

INPUTS				PARALLEL OUTPUTS		SERIAL OUTPUTS	
CP	OE	STR	D	QP ₀	QP _n	QS ₁	QS ₂
↑	L	X	X	Z	Z	Q' ₆	NC
↓	L	X	X	Z	Z	NC	QP ₇
↑	H	L	X	NC	NC	Q' ₆	NC
↑	H	H	L	L	QP _{n-1}	Q' ₆	NC
↑	H	H	H	H	QP _{n-1}	Q' ₆	NC
↓	H	H	H	NC	NC	NC	QP ₇

Notes

1. H = HIGH voltage level

L = LOW voltage level

X = don't care

Z = high impedance OFF-state

NC= no change

↑ = LOW-to-HIGH CP transition

↓ = HIGH-to-LOW CP transition

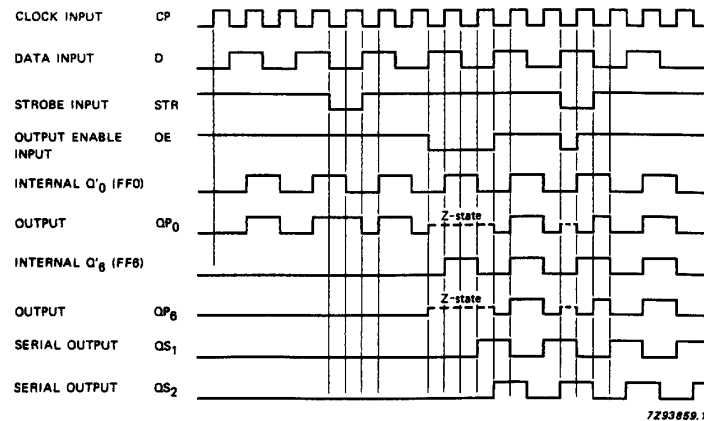
Q'₆ = the information in the seventh register stage is transferred to the 8th register stage and QS_n output at the positive clock edge

Fig.6 Timing diagram.

SL6652

LOWER POWER IF/AF CIRCUIT (WITH RSSI) FOR FM CELLULAR RADIO

The SL6652 is a complete single chip mixer/oscillator, IF amplifier and detector for FM cellular radio, cordless telephones and low power radio applications. It features an exceptionally stable RSSI (Received Signal Strength Indicator) output using a unique system of detection. Supply current is less than 2mA from a supply voltage in the range 2.5V to 7.5V.

FEATURES

- Low Power Consumption (1.5mA)
- Single Chip Solution
- Guaranteed 100MHz Operation
- Exceptionally Stable RSSI

APPLICATIONS

- Cellular Radio Telephones
- Cordless Telephones

QUICK REFERENCE DATA

- Supply Voltage 2.5V to 7.5V
- Sensitivity $3\mu\text{V}$
- Co-Channel Rejection 7dB

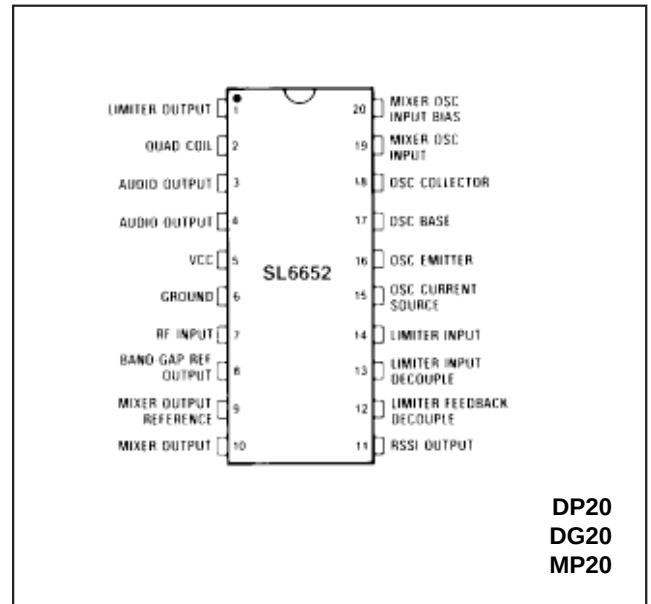


Fig. 1 Pin connections (top view)

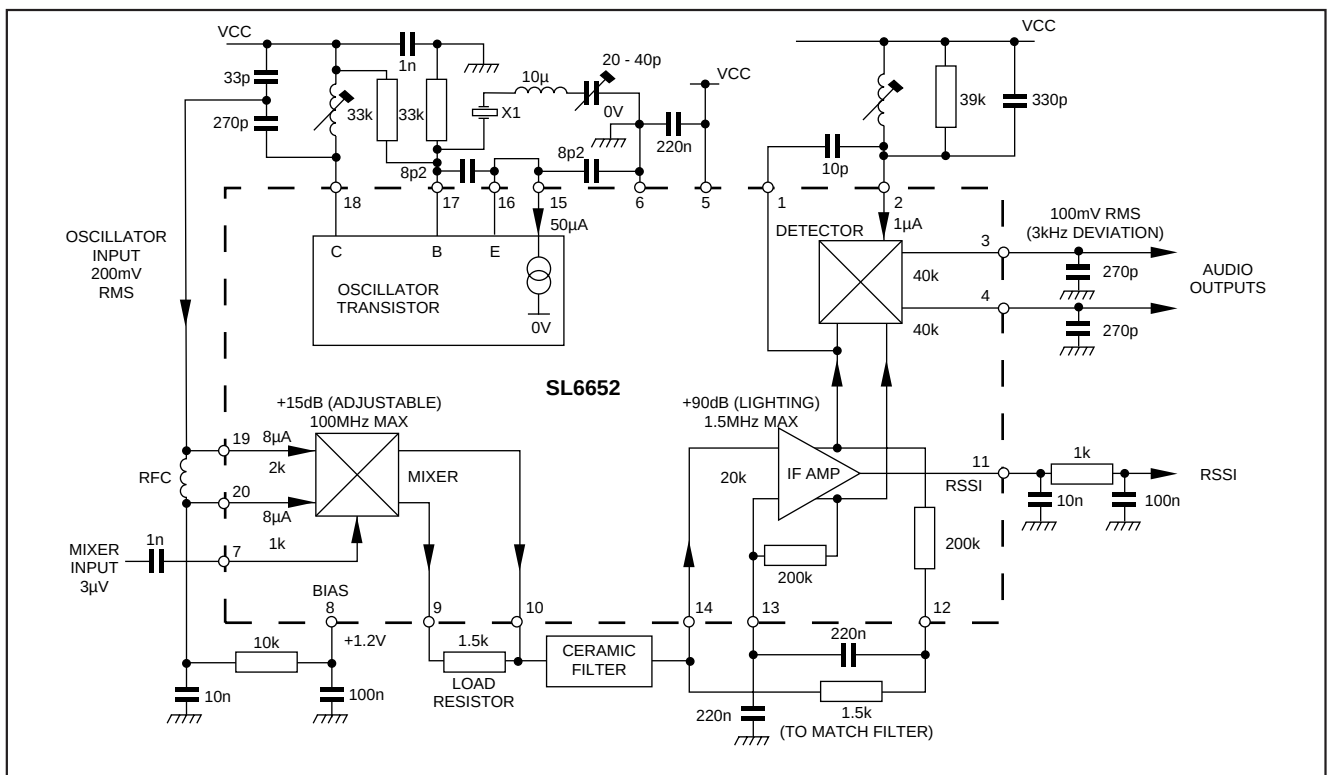


Fig. 2 block diagram

SL6652**ABSOLUTE MAXIMUM RATINGS**

Supply voltage	8V
Storage temperature	-55°C to +150°C
Operating temperature	-55°C to +125°C
Mixer input	1V rms

ELECTRICAL CHARACTERISTICS**Test conditions (unless otherwise stated):** $V_{CC} = 2.5V$ to $7.5V$, $T_{amb} = -30^{\circ}C$ to $+85^{\circ}C$, $IF = 455kHz$, $RF = 50MHz$, Quad Coil Working $Q = 30$

Characteristics	Value			Units	Conditions
	Min.	Typ.	Max.		
Overall					
Supply current		1.5	2.0	mA	
Sensitivity		5	10	μV	20dB SINAD
		3		μV	12dB SINAD
AM rejection		40		dB	RF input $< 500\mu V$
V_{bias}	1.0	1.2	1.4	V	$T_{amb} = 25^{\circ}C$
Co-channel rejection		7		dB	See Note 2
Mixer					
RF input impedance		1		kohm	
OSC input impedance		2		kohm	
OSC input bias		5		μA	At V_{bias}
Mixer gain		15		dB	$R_{load} = 1.5k$
3rd order input intercept		-10		dBm	
OSC input level	180		300	mV	
OSC frequency	100			MHz	
Oscillator					
Current sink	40		70	μA	$T_{amb} = 25^{\circ}C$
H_{fe}	30				40 ... 70 μA
f_T		500		MHz	40 ... 70 μA
IF Amplifier					
Gain		90		dB	
Frequency	455	1500		kHz	
Diff. input impedance		20		kohm	
Detector					
Audio output level	75		125	mV	} 5mV into pin 14
Ultimate S/N ratio		60		dB	
THD		0.5	5	%	
Output impedance		40		kohm	
Inter-output isolation		65		dB	1kHz
RSSI Output ($T_{amb} = +25^{\circ}C$)					
Output current			20	μA	No input pin 14
Output current	50		80	μA	Pin 14 = 2.5mV
Current change	0.9	1.22	1.5	$\mu A/dB$	See Note 1
Linear dynamic range	70			dB	See Note 1

NOTES

- The RSSI output is 100% dynamically tested at 5V and $+20^{\circ}C$ over a 70dB range. First the input to pin 14 is set to 2.5mV and the RSSI current recorded. Then for each step of 10dB from -40 to +30dB the current is measured again. The current change in each step must meet the specified figure for current change. The RSSI output is guaranteed monotonic and free from discontinuities over this range.
- Co-channel rejection is measured by applying a 3kHz deviation, 1 kHz modulated signal at an input level to give a 20dB SINAD ratio. Then a 3kHz deviation, 400Hz modulated signal on the same frequency is also applied and its level increased to degrade the SINAD to 14dB.

Triple 2-channel analog multiplexer/demultiplexer

74HC/HCT4053

FEATURES

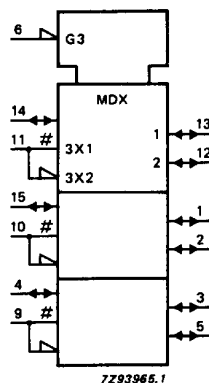
- Low "ON" resistance:
80 Ω (typ.) at $V_{CC} - V_{EE} = 4.5$ V
70 Ω (typ.) at $V_{CC} - V_{EE} = 6.0$ V
60 Ω (typ.) at $V_{CC} - V_{EE} = 9.0$ V
- Logic level translation:
to enable 5 V logic to communicate
with ± 5 V analog signals
- Typical "break before make" built in
- Output capability: non-standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT4053 are high-speed Si-gate CMOS devices and are pin compatible with the "4053" of the "4000B" series. They are specified in compliance with JEDEC standard no. 7A.

QUICK REFERENCE DATA

$V_{EE} = GND = 0$ V; $T_{amb} = 25$ °C; $t_r = t_f = 6$ ns



The 74HC/HCT4053 are triple 2-channel analog multiplexers/demultiplexers with a common enable input ($\bar{E}$). Each multiplexer/demultiplexer has two independent inputs/outputs (nY_0 and nY_1), a common input/output (nZ) and three digital select inputs (S_1 to S_3).

With $\bar{E}$ LOW, one of the two switches is selected (low impedance ON-state) by S_1 to S_3 . With $\bar{E}$ HIGH, all switches are in the high impedance OFF-state, independent of S_1 to S_3 .

V_{CC} and GND are the supply voltage pins for the digital control inputs (S_1 , to S_3 , and $\bar{E}$). The V_{CC} to GND ranges are 2.0 to 10.0 V for HC and 4.5 to 5.5 V for HCT. The analog inputs/outputs (nY_0 and nY_1 , and nZ) can swing between V_{CC} as a positive limit and V_{EE} as a negative limit. $V_{CC} - V_{EE}$ may not exceed 10.0 V.

For operation as a digital multiplexer/demultiplexer, V_{EE} is connected to GND (typically ground).

APPLICATIONS

- Analog multiplexing and demultiplexing
- Digital multiplexing and demultiplexing
- Signal gating

FUNCTION TABLE

INPUTS		CHANNEL ON
$\bar{E}$	S_n	
L	L	$nY_0 - nZ$
L	H	$nY_1 - nZ$
H	X	none

Note

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μ W):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum \{(C_L + C_S) \times V_{CC}^2 \times f_o\} \text{ where:}$$

f_i = input frequency in MHz; f_o = output frequency in MHz

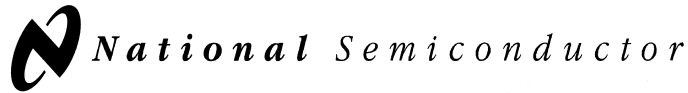
$\sum \{(C_L + C_S) \times V_{CC}^2 \times f_o\}$ = sum of outputs

C_L = output load capacitance in pF; C_S = max. switch capacitance in pF

V_{CC} = supply voltage in V

2. For HC the condition is $V_I = GND$ to V_{CC}

For HCT the condition is $V_I = GND$ to $V_{CC} - 1.5$ V



August 2000

LM124/LM224/LM324/LM2902 Low Power Quad Operational Amplifiers

General Description

The LM124 series consists of four independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, DC gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM124 series can be directly operated off of the standard +5V power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional $\pm 15V$ power supplies.

Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage
- The unity gain cross frequency is temperature compensated
- The input bias current is also temperature compensated

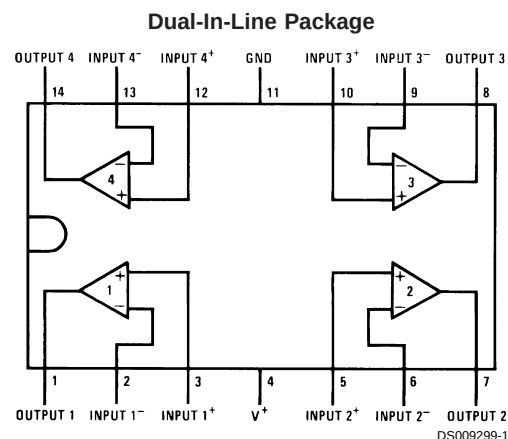
Advantages

- Eliminates need for dual supplies
- Four internally compensated op amps in a single package
- Allows directly sensing near GND and V_{OUT} also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

Features

- Internally frequency compensated for unity gain
- Large DC voltage gain 100 dB
- Wide bandwidth (unity gain) 1 MHz (temperature compensated)
- Wide power supply range:
Single supply 3V to 32V
or dual supplies $\pm 1.5V$ to $\pm 16V$
- Very low supply current drain (700 μA)—essentially independent of supply voltage
- Low input biasing current 45 nA (temperature compensated)
- Low input offset voltage 2 mV and offset current: 5 nA
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing 0V to $V^+ - 1.5V$

Connection Diagram



Order Number LM124J, LM124AJ, LM124J/883 (Note 2), LM124AJ/883 (Note 1), LM224J, LM224AJ, LM324J, LM324M, LM324MX, LM324AM, LM324AMX, LM2902M, LM2902MX, LM324N, LM324AN, LM324MT, LM324MTX or LM2902N LM124AJRQML and LM124AJRQMLV (Note 3)
See NS Package Number J14A, M14A or N14A

Note 1: LM124A available per JM38510/11006

Note 2: LM124 available per JM38510/11005

FX805 Sub-Audio Signalling Processor

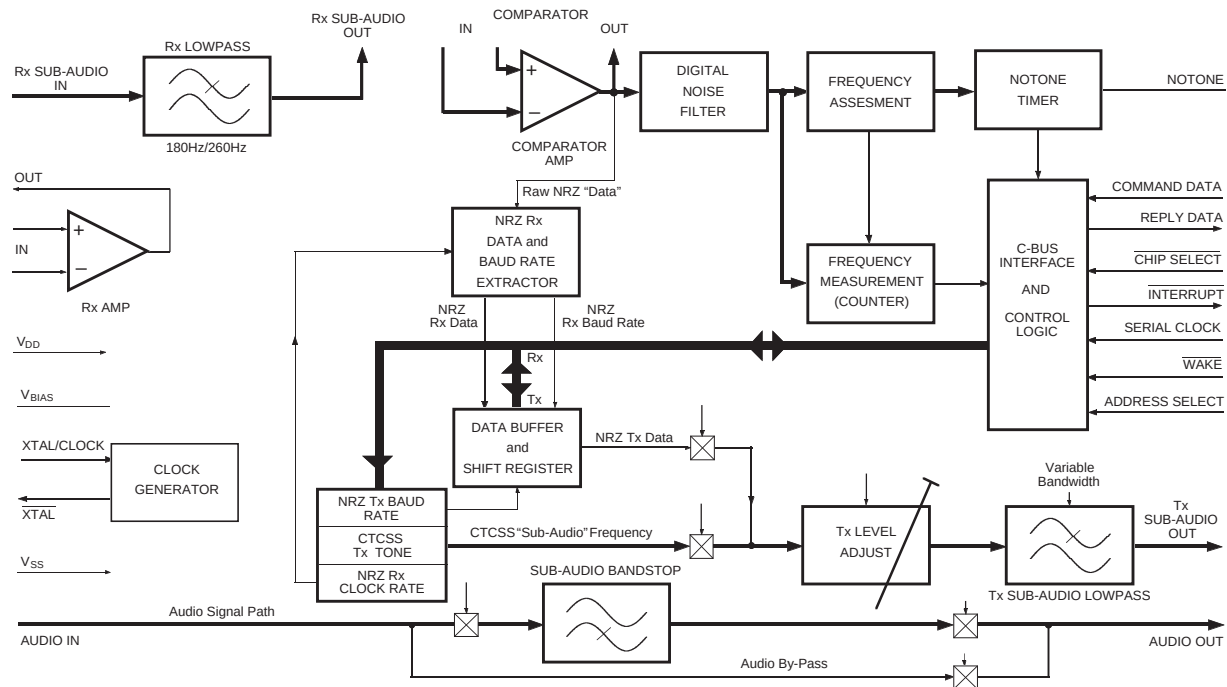


Fig.1 FX805 Sub-Audio Signalling Processor

FX805 Sub-Audio Signalling Processor

A μ Processor controlled, sub-audio frequency signalling processor to provide an outband audio and digital signalling facility for PMR radio systems.

This device caters for the transmission and non-predictive reception of:

- Continuous Tone Controlled Squelch (CTCSS) tones and other non-standard sub-audio frequencies.
- Non-Return-to-Zero (NRZ) data to facilitate Continuous Digitally Coded Squelch (CDCS/DPL™) system operations.

To achieve these functions, the FX805 has on-chip:

- A non-predictive CTCSS Tone Decoder and CDCS sub-audio signal demodulator.
- A CTCSS/NRZ Encoder with Tx level adjustment and lowpass filter output stage with optional NRZ pre-emphasis.
- A selectable sub-audio bandstop filter.
- A Notone (CTCSS Rx) period timer.

Setting of the FX805 functions and modes is by data loaded from the μ Controller to the controlling registers within the device. Reply Data and Interrupt protocol keep the μ Controller up to date on the operational status of the circuitry — all via the "C-BUS" interface.

CTCSS tone data for transmission is generated within the μ Controller, loaded to CTCSS Tx Frequency Register, encoded and output as a tone via the Tx Sub-Audio Lowpass Filter.

Received non-predicted CTCSS tone frequencies are measured and the resulting data, in the form of a 2-byte data-word, is presented via the CTCSS Rx Frequency Register to the μ Controller for matching against a 'look-up' table. Noise filtering is provided to improve the signal quality prior to measurement.

NRZ coded data streams for transmission, when generated within a μ Controller, are loaded to the NRZ Tx Data Buffer and output, in 8-bit bytes, through the Lowpass Filter circuitry as sub-audio signals. CDCS turn-off tones can be added to the data signals by switching the FX805 to the CTCSS transmit mode at the appropriate time.

NRZ coding is produced by the μ Controller and translated into sub-audio signals by the FX805.

Received NRZ data is filtered, detected and placed into the NRZ Rx Data Register which is then available for transfer one byte at a time, to the μ Controller, for decoding by software. Clock extraction circuitry is provided on chip and Rx and Tx baud rates are selectable.

Provision is made in both hardware and system software allocations to address two FX805 Sub-Audio Signalling Processors consecutively to achieve multi-mode, duplex operation.

The FX805 has a powersaving function which may be controlled by software or a dedicated (Wake) input.

The FX805 is a low-power, 5-volt CMOS integrated circuit and is available in 24-pin DIL cerdip and 24-pin/lead plastic SMD packages.

Pin Number	Function						
1	Xtal: The output of the on-chip clock oscillator. External components are required at this input when a Xtal (f_{XTAL}) input is used. See Figure 2.						
2	Xtal/Clock: The input to the on-chip clock oscillator inverter. A Xtal or externally derived clock (f_{XTAL}) should be connected here. See Figure 2.						
3	Address Select: This pin enables two FX805 devices to be used on the same "C-BUS," providing full-duplex operation. See Tables 1 and 2.						
4	Interrupt Request ($\overline{IRQ}$): The output of this pin indicates an interrupt condition to the μController, by going to a logic "0." This is a "wire-or able" output, allowing the connection of up to 8 peripherals to 1 interrupt port on the μController. This pin has a low impedance pulldown to logic "0" when active and a high impedance when inactive. The System $\overline{IRQ}$ line requires 1 pullup resistor to V_{DD}. The conditions that cause interrupts are indicated in the Status Register (Table 4) and are shown below: <table> <tr> <td><i>Rx CTCSS Tone Measurement Complete</i></td><td><i>CTCSS NOTONE Timer Expired</i></td></tr> <tr> <td><i>1 NRZ Rx Data Byte Received</i></td><td><i>New NRZ Rx Data Received Before Last Byte Read</i></td></tr> <tr> <td><i>NRZ Tx Buffer Ready</i></td><td><i>NRZ Data Transmission Complete</i></td></tr> </table>	<i>Rx CTCSS Tone Measurement Complete</i>	<i>CTCSS NOTONE Timer Expired</i>	<i>1 NRZ Rx Data Byte Received</i>	<i>New NRZ Rx Data Received Before Last Byte Read</i>	<i>NRZ Tx Buffer Ready</i>	<i>NRZ Data Transmission Complete</i>
<i>Rx CTCSS Tone Measurement Complete</i>	<i>CTCSS NOTONE Timer Expired</i>						
<i>1 NRZ Rx Data Byte Received</i>	<i>New NRZ Rx Data Received Before Last Byte Read</i>						
<i>NRZ Tx Buffer Ready</i>	<i>NRZ Data Transmission Complete</i>						
5	Serial Clock: The "C-BUS" serial clock input. This clock, produced by the μ Controller, is used for transfer timing of commands and data to and from the Sub-Audio Signalling Processor. See Timing Diagrams.						
6	Command Data: The "C-BUS" serial data input from the μ Controller. Data is loaded to this device in 8-bit bytes, MSB (B7) first, and LSB (B0) last, synchronized to the Serial Clock. See Timing Diagrams.						
7	Chip Select ($\overline{CS}$): The "C-BUS" data loading control function. This input is provided by the μ Controller. Data transfer sequences are initiated, completed or aborted by the $\overline{CS}$ signal. See Timing Diagrams.						
8	Reply Data: The "C-BUS" serial data output to the μ Controller. The transmission of Reply Data bytes is synchronized to the Serial Clock under the control of the Chip Select input. This 3-state output is held at high impedance when not sending data to the μ Controller. See Timing Diagrams.						
9	Tx Sub-Audio Out: The sub-audio output (pure or NRZ derived). Signals are band-limited, the Tx Output Filter has a variable bandwidth, see Table 6. This output is at V_{BIAS} (a) when the NRZ Encoder is enabled but no data is being transmitted, (b) when the FX805 is placed in the Powersave All condition.						
10	Audio In: The input to the switched sub-audio bandstop (highpass) filter. This input is internally biased and requires to be a.c. coupled by capacitor C_7 .						
11	Audio Out: The output of the 'audio signal path' (filter or by-pass). This output is controlled by the Control Register and when disabled is held at $V_{DD}/2$.						
12	V_{SS}: Negative Supply (Signal Ground).						

Documents constructeurs

Pin Number	Function
13	Rx Amp (-) In: The inverting input to the on-chip Rx Input Amp. See Figures 2, 3 and 4.
14	Rx Amp (+) In: The non-inverting input to the on-chip Rx Input Amp.
15	Rx Amp Out: The output of the on-chip Rx Input Op-Amp. This circuit may be used, with external components, as a signal amplifier and an anti-aliasing filter prior to the Rx Lowpass Filter, or for other purposes. See Figure 2 for component details.
16	Rx Sub-Audio In: The received sub-audio (CTCSS/NRZ) input. This input is internally biased to $V_{DD}/2$ and requires to be a.c. coupled or biased. See Figure 2 for component details.
17	Rx Sub-Audio Out: The output of the Rx Lowpass Filter. This output may be coupled into the on-chip amplifier or comparator as required.
18	V_{BIAS}: The internal circuitry bias line, held at $V_{DD}/2$ this pin must be decoupled to V_{SS} by capacitor C_8 (see Figure 2).
19	Comparator In (-): The inverting input to the on-chip “comparator” amplifier. See Figures 2, 3 and 4.
20	Comparator (+): The non-inverting input to the on-chip “comparator” amplifier. See Figures 2, 3 and 4.
21	Comparator Out: The output of the “comparator” amplifier. This node is also internally connected to the input of the Digital Noise Filter (see Figure 1). When both decoders are Powersaved, this output is at a logic “0.”
22	NOTONE Timing: External RC components connected to this pin form the timing mechanism of a NOTONE period timer. The external network determines the ‘charge-rate’ of the timer to $V_{DD}/2$. Expiry of the timer will cause an interrupt. This facility is only used in the CTCSS Rx mode.
23	Wake: This ‘real-time’ input can be used to reactivate the FX805 from the ‘Powersave All’ condition using an externally derived signal. The FX805 will be in a ‘Powersave All’ condition when both this pin and Bit 0 of the Control Register are set to a logic “1.” Recovery from “Powersave All” is achieved by putting either the Wake pin or the ‘Powersave All’ bit to logic “0,” thus allowing FX805 activation by the μ Controller or an external signal, such as R.S.S.I. or Carrier Detect.
24	V_{DD}: Positive supply rail. A single +5-volt power supply is required. Levels and voltages within the Sub-Audio Signalling Processor are dependant upon this supply. NOTE: (i) Further information on external components and DBS 800 system integration of this microcircuit are contained in the System Support Document. (ii) A glossary of abbreviations used in this document is supplied. (iii) Guidance upon the generation and manipulation of NRZ Rx and Tx data is given in DBS 800 Application Support Document. “C-BUS” is CML's propriety standard for the transmission of commands and data between a μController and DBS 800 microcircuits. It may be used with any μController, and can, if desired, take advantage of the hardware serial I/O functions embodied into many types of μController. The “C-BUS” data rate is determined solely by the μController.

External Components

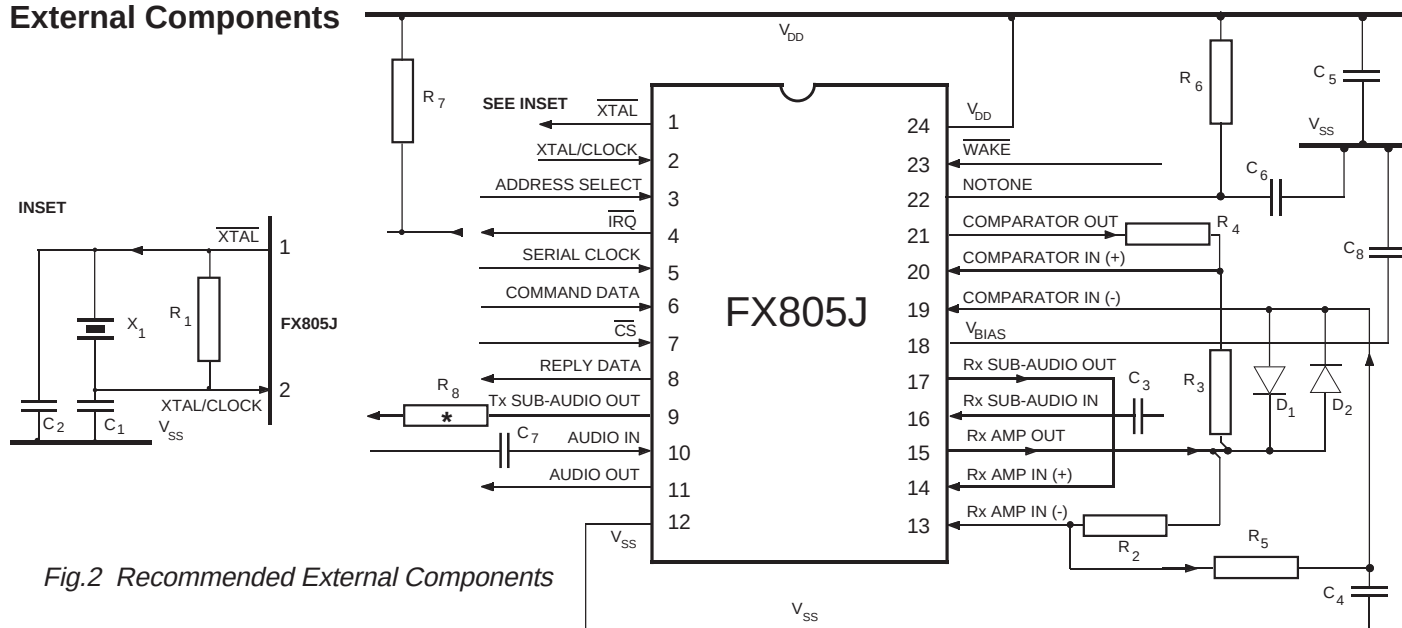


Fig.2 Recommended External Components

Notes on external components and connections

1. Xtal/clock circuitry components shown INSET are recommended in accordance with CML Application Note D/XT/2 December 1991. The DBS 800 System Information Document contains additional notes on Xtal/ clock distribution and frequencies.
2. R_8 is a System Component. Its value is chosen, for example, with the FX806 Modulation Summing Amplifier, to provide a sub-audio signal level of -11.0dB to the system modulator.
3. Components R_6 and C_6 are NOTONE timing components.
4. R_2 and R_5 are dependant upon the input signal level. Values given are for the specified composite signal.
5. R_7 is used as the DBS 800 system common-pullup for the "C-BUS" Interrupt Request (IRQ) line, the optimum value of this component will depend upon the circuitry connected to the IRQ line.

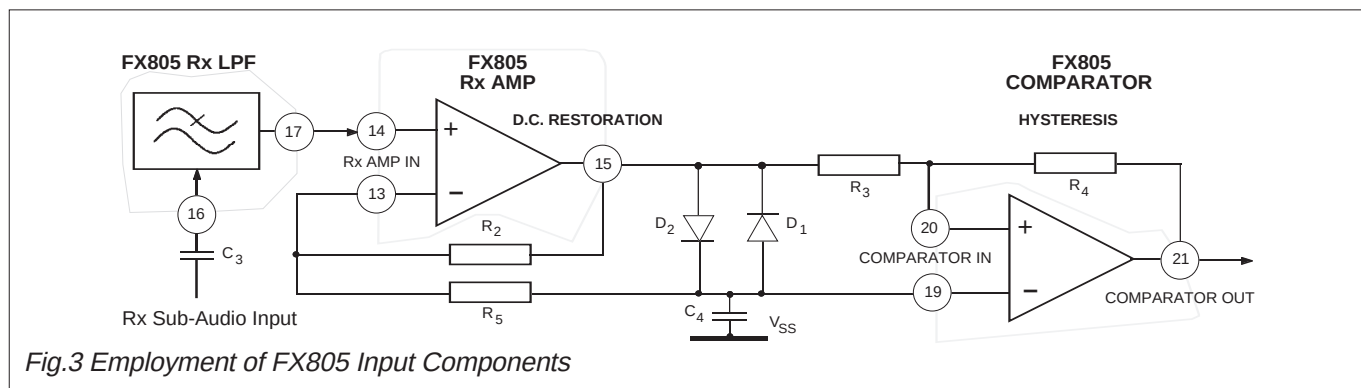


Fig.3 Employment of FX805 Input Components

With reference to Figure 2, Figures 3 and 4 show in detail recommended alternative component configurations for the FX805.

Figure 3 shows an input component configuration for use generally for CTCSS signal and NRZ data reception. Input coupling capacitor C_3 is required because the Rx Sub-Audio Input is held at V_{BIAS} during all powered conditions of the FX805. Diodes D_1 and D_2 can be any silicon small-signal diode.

The output resistance (open loop) of the on-chip Rx Amp is 6k. In the configuration shown in Figure 3, the (Rx Amp) RC time-constant is therefore 90ms. If this period is too long for some systems, ie. those employing half-duplex, short data bursts, an external amplifier should be considered in place of the FX805 on-chip Rx Amp.

Controlling Protocol

Control of the FX805 Sub-Audio Signalling Processor's operation is by communication between the μ Controller and the FX805 internal registers on the "C-BUS," using Address/Commands (A/Cs) and appended instructions or data (see Figure 9). The use and content of these instructions is detailed in the following paragraphs and tables. The Address Select input enables the addressing of 2 separate FX805s on the "C-BUS" to provide full-duplex multi-mode signalling.

FX805 Internal Registers

FX805 internal registers are detailed below:

Control Register ($70_H/78_H$) – Write only, control and configuration of the FX805.

Status Register ($71_H/79_H$) – Read Only, reporting of device functions.

CTCSS Rx Frequency Register ($72_H/7A_H$) – Read Only, a 2-byte binary word indicating the frequency of the received sub-audio input.

CTCSS Tx Frequency / NRZ Tx or Rx Baud Rate Register ($73_H/7B_H$) – Write Only, a 2-byte command to set the relevant parameters.

NRZ Rx Data Register ($74_H/7C_H$) – Read Only, a single-byte of received NRZ data.

NRZ Tx Data Register ($75_H/7D_H$) – Write Only, to load a single-byte of NRZ data for transmission one byte at a time.

Gain-Set Register ($76_H/7E_H$) – Write Only, a single byte to set the gain of the Tx Lowpass Filter.

Address/Commands

The first byte of a loaded data sequence is always recognized by the "C-BUS" as an Address/Command (A/C) byte. Instruction and data transactions to and from this device consist of an Address/Command byte followed by either:

- (i) further instructions or data or,
- (ii) a Status or data Reply.

Instructions and data are loaded and transferred, via "C-BUS," in accordance with the timing information given in Figures 9 and 10.

Placing the Address Select input at a logic "0" will address FX805 No.1, a logic "1" will address FX805 No.2.

Tables 1 and 2 show the list of A/C bytes relevant to the FX805. A complete list of DBS 800 "C-BUS" Address allocations is published in the System Support Document.

Command Assignment	Address/Command (A/C) Byte								+	Data Byte/s	
	Hex.	Binary									
		MSB			LSB						
General Reset	01	0	0	0	0	0	0	0	1		
Write to Control Reg.	70	0	1	1	1	0	0	0	0	+	1 byte Instruction to Control Reg.
Read Status Reg.	71	0	1	1	1	0	0	0	1	+	1 byte Reply from Status Reg.
Read CTCSS Rx Freq. Reg.	72	0	1	1	1	0	0	1	0	+	2 byte Reply of CTCSS Rx data
Write to CTCSS Tx Frequency/ NRZ Baud Rate Reg.	73	0	1	1	1	0	0	1	1	+	2 byte Instruction for Tx Frequency and NRZ Tx/Rx baud rates
Read NRZ Rx Data Reg.	74	0	1	1	1	0	1	0	0	+	1 byte binary data Reply
Write to NRZ Tx Data Reg.	75	0	1	1	1	0	1	0	1	+	1 byte binary data Command
Write to Gain-Set Reg.	76	0	1	1	1	0	1	1	0	+	1 byte Instruction for Tx Output
Table 1 – FX805 No.1 “C-BUS” Address/Commands										Address Select input at a logic “0”	

Command Assignment	Address/Command (A/C) Byte								+	Data Byte/s	
	Hex.	Binary									
		MSB				LSB					
General Reset	01	0	0	0	0	0	0	0	1		
Write to Control Reg.	78	0	1	1	1	1	0	0	0	+	1 byte Instruction to Control Reg.
Read Status Reg.	79	0	1	1	1	1	0	0	1	+	1 byte Reply from Status Reg.
Read CTCSS Rx Frequency Reg.	7A	0	1	1	1	1	0	1	0	+	2 byte Reply of CTCSS Rx data
Write to CTCSS Tx Frequency/ NRZ Baud Rate Reg.	7B	0	1	1	1	1	0	1	1	+	2 byte Instruction for Tx Frequency and NRZ Tx/Rx baud rates
Read NRZ Rx Data Reg.	7C	0	1	1	1	1	1	0	0	+	1 byte binary data Reply
Write to NRZ Tx Data Reg.	7D	0	1	1	1	1	1	0	1	+	1 byte binary data Command
Write to Gain-Set Reg.	7E	0	1	1	1	1	1	1	0	+	1 byte Instruction for Tx Output
Table 2 – FX805 No.2 “C-BUS” Address/Commands										Address Select input at a logic “1”	

“Read Status Register” – A/C 71_H (79_H), followed by 1 byte of Reply Data.

The Status Register indicates the operational condition of the FX805. Bits 0 to 5 are set individually to indicate specific actions within the device. When a Status Bit is set to a logic “1,” an Interrupt Request ($\overline{\text{IRQ}}$) output is generated. A read of the Status Register will reset the interrupt condition and ascertain the state of this register.

Table 4 (below) shows the conditions indicated by the Status Bits.

Status Bit	Set By	Logic	Cleared By	Logic
MSB 7, 6	Received First Not used	“0”	Not used	“0”
5	NRZ data transmission complete. No new data loaded.	“1”	1. Write to NRZ Tx Data Reg. or, 2. General Reset or, 3. NRZ Encoder Powersave.	“0”
4	NRZ Tx Data Buffer ready for next data byte.	“1”	1. Write to NRZ Tx Data Reg. or, 2. General Reset or, 3. NRZ Tx Powersave.	“0”
3	New NRZ Rx data received before last byte was read.	“1”	1. Read NRZ Rx Data Reg. or, 2. General Reset or, 3. NRZ Decoder Powersave.	“0”
2	1 byte of NRZ Rx data received.	“1”	1. Read NRZ Rx Data Reg. or, 2. General Reset or, 3. NRZ Decoder Powersave.	“0”
1	NOTONE Timer period expired.	“1”	1. Read Status Register or, 2. General Reset or, 3. CTCSS Decoder Powersave.	“0”
0	Rx Tone Measurement complete.	“1”	1. Read Status Register or, 2. General Reset or, 3. CTCSS Decoder Powersave.	“0”

Table 4 Status Register

“Read CTCSS Rx Frequency Register” – A/C 72_H (7A_H), followed by 2 bytes of Reply Data.

Measurement of CTCSS Rx Frequency ($f_{\text{CTCSS IN}}$)

The input sub-audio signal ($f_{\text{CTCSS IN}}$), is filtered and measured in the Frequency Counter over the “measurement period” (122.64ms).

The measuring function counts the number of complete input cycles occurring within the measurement period and then the number of measuring-clock cycles necessary to make up the period.

When the measurement period of a successful decode is complete, the Rx Tone Measurement bit in the Status Register, and the Interrupt bit are set.

The CTCSS Rx Frequency Register will now indicate the sub-audio signal frequency ($f_{\text{CTCSS IN}}$) in the form of 2 data bytes (1 and 0) as illustrated in Figure 6.

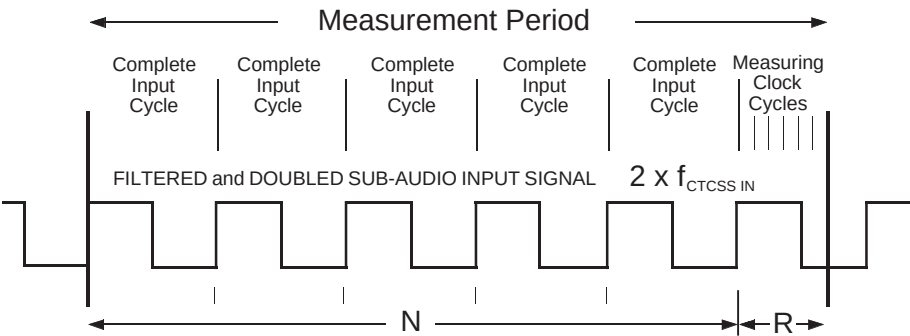


Fig.5 Measurement of a CTCSS Rx Frequency

“Read CTCSS Rx Frequency Register”**The Integer (N) – Byte 1**

A binary number representing ‘twice the number of complete input sub-audio cycle periods’ counted during the measurement period of 122.64ms

The Remainder (R) – Byte 0

A binary number representing the remainder part, R, of 2 x Sub-Audio Input Frequency. ‘R = number of specified measuring-clock cycles’ required to complete the specified measurement period (See N). The clock-cycle frequency is 4166.6Hz

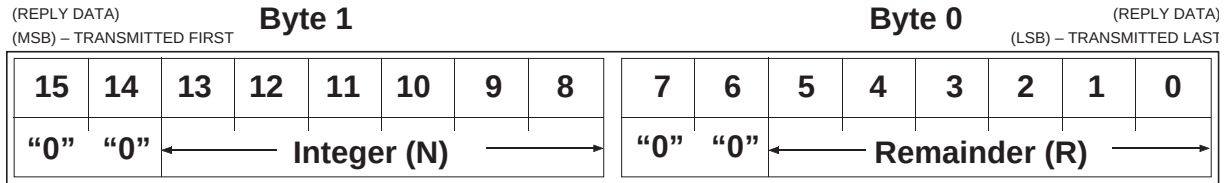


Fig. 6 Format of the CTCSS Rx Frequency Register

CTCSS Rx Frequency Register

Figure 6 (above) shows the format of the CTCSS Rx Frequency Register.

Bits 8 (LSB) to 13 (MSB) are used to represent the Integer (N). From Byte 1, valid values of N = 16 ≤ N ≤ 61.

ie. values of N less than 16 and greater than 61 are not within the specified frequency band.

Bits 0 (LSB) to 5 (MSB) (Byte 0) are used to represent the Remainder (R). From Byte 0, valid values of R = ≤ 31.

This register is not affected by the General Reset command (01_H) and may adopt any random configuration at Power-Up.

CTCSS Rx Frequency Measurement Formulæ

To assist in the production of ‘look-up’ tables and limit-values in the µController and provide guidance upon the determination of N and R from a measured CTCSS frequency, the following formulæ show the derivation of the CTCSS Rx Frequency ($f_{\text{CTCSS IN}}$) from the measured data bytes (N and R).

$f_{\text{CTCSS IN}}$

In the measurement period of 122.64ms there are N cycles at $2 \times f_{\text{CTCSS IN}}$ and R clock-cycles at 4166.6Hz, for any input frequency.

So

$$f_{\text{CTCSS IN}} = \frac{N \times f_{\text{XTAL}}}{1920 \times (511 - R)} \text{ Hz} \quad [1]$$

$$R = \text{INT} \left[511 - \left[\frac{N \times f_{\text{XTAL}}}{1920 \times f_{\text{CTCSS IN}}} \right] + 0.5 \right] \quad [3]$$

$$N = \text{INT} \left[\frac{(1920 \times 511 \times f_{\text{CTCSS IN}})}{f_{\text{XTAL}}} \right] \quad [2]$$

Calculate N first

Examples ($f_{\text{XTAL}} = 4.00\text{MHz}$): $f_{\text{CTCSS IN}} = 100\text{Hz}$ N = 24 R = 11; $f_{\text{CTCSS IN}} = 250\text{Hz}$ N = 61 R = 3

NOTONE Timing

The input sub-audio signal is monitored by the Frequency Assessment circuitry. Before any NOTONE action is enabled, the FX805 must have achieved at least one successful “Tone Measurement Complete” action.

If there is no signal or the signal is of a consistently poor quality, the NOTONE Timer will start to charge via the timing components. When the timing period has expired (at $V_{\text{DD}}/2$), an Interrupt and a Status bit (NOTONE Timer Expired) are generated. This is a one-shot function and is reset by a “Tone Measurement Complete” interrupt.

FX803 Audio Signalling Processor

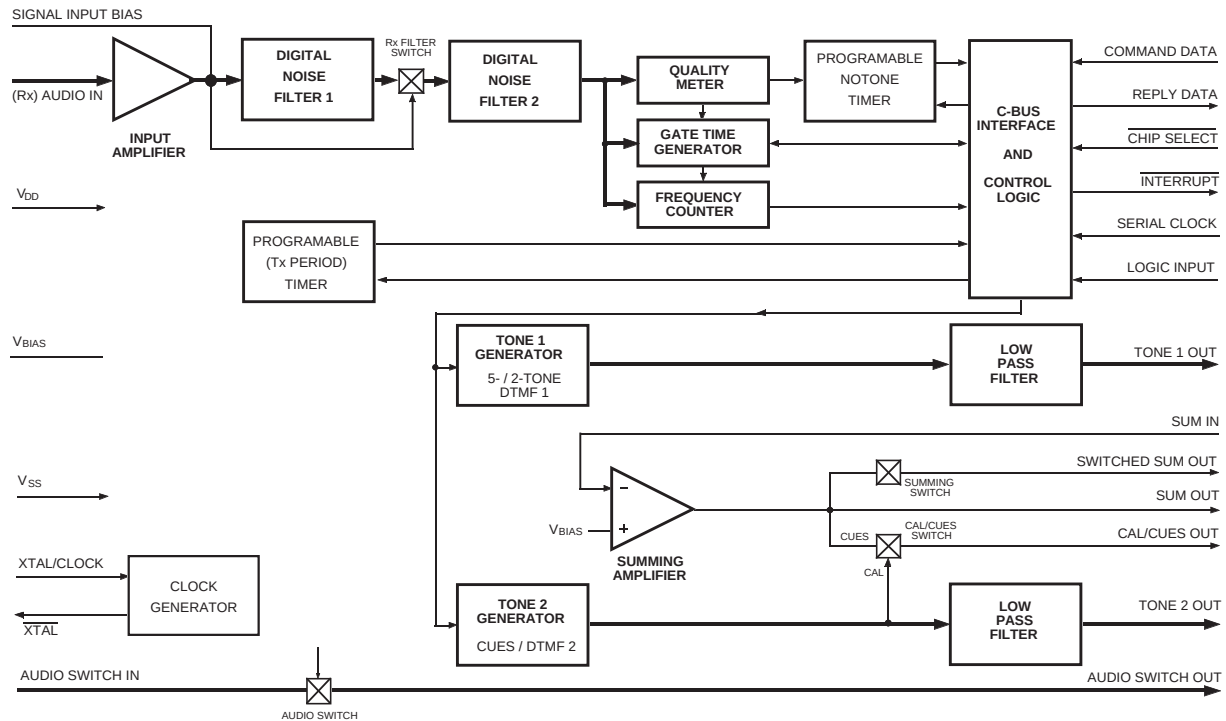


Fig.1 FX803 Audio Signalling Processor

FX803 Audio Signalling Processor

As part of the DBS 800 System, this audio signalling processor will provide an inband tone signalling facility for PMR radio systems. Signalling systems supported include Selcall (CCIR, ZVEI I, II and III, EEA), 2-Tone Selcall and Dual Tone Multi-Frequency (DTMF) encode.

Using a non-predictive tone decoder and versatile encoders gives the FX803 the capability to work in any standard or non-standard tone system.

This is a full-duplex device consisting of:

- Two individual tone generators and a programmable (Tx) period timer.
- A tone decoder with programmable NOTONE Timer.
- An on-chip summing amplifier.

For use with Single Tone or Selective Call systems.

Under the control of the μ Controller, via "C-BUS," the FX803 will encode and transmit a single or pair of audio tones, in the frequency range 208Hz to 3kHz, simultaneously, and detect, decode and indicate the frequency of non-predicted input tones in the frequency range 313Hz to 6kHz.

Both tone generators can be individually placed into a power economical "Powersave" mode.

A general purpose logic input, interfacing directly with the Status Register, is provided. This could be used as an auxiliary method of routing digital information to the μ Controller via the "C-BUS."

The output frequencies are produced from data loaded to the device, with a programmable, general purpose, on-chip timer available to indicate the tone transmit periods.

A Dual Tone Multi-Frequency (DTMF) output is obtained by combining the 2 independent output frequencies in the integral summing amplifier. This Summing Amplifier output is also available for level adjustment.

Tones produced by the FX803 can also be used in the DBS 800 system as modulation calibration inputs and for "CUE" audio indications for the operator.

Received tones are measured and their frequency indicated to the μ Controller in the form of a received data word. A poor-quality or incoherent tone will, after a programmed period, indicate NOTONE.

The FX803 is a low-power, 5-volt CMOS integrated circuit and is available in 24-pin DIL cerdip and 24-pin/lead plastic SMD packages.

Controlling Protocol

Control of the FX803 Audio Signalling Processor's operation is by communication between the μ Controller and the FX803 internal registers on the "C-BUS," using Address/Commands (A/Cs) and appended instructions or data (see Figure 7). The use and content of these instructions is detailed in the following paragraphs and tables.

FX803 Internal Registers

FX803 internal registers are detailed below:

Control Register (30_H) – Write Only, control and configuration of the FX803.

Status Register (31_H) – Read Only, reporting of device functions.

Rx Tone Frequency Register (32_H) – Read Only, indicates frequency of the last received input.

Rx NOTONE Timer Register (33_H) – Write Only, setting of the RX NOTONE period.

Tx Tone Generator 1 Register (34_H) – Write Only, setting the required output frequency from Tx Tone Generator 1.

Tx Tone Generator 2 Register (35_H) – Write Only, setting required output frequency from Tx Tone Generator 2.

General Purpose Timer Register (36_H) – Write Only, setting of a general purpose, sequential time period.

Address/Commands

The first byte of a loaded data sequence is always recognized by the "C-BUS" as an Address/Command (A/C) byte. Instruction and data transactions to and from this device consist of an Address/Command byte followed by either:

- (i) further instructions or data or,
- (ii) a Status or data Reply.

Instructions and data are loaded and transferred, via "C-BUS," in accordance with the timing information given in Figures 7 and 8.

Table 1 shows the list of A/C bytes relevant to the FX803. A complete list of DBS 800 "C-BUS" Address allocations is published in the System Support Document.

Command Assignment	Address/Command (A/C) Byte Hex.	Binary							+ Data Byte/s
		MSB						LSB	
General Reset	01	0	0	0	0	0	0	1	
Write to Control Register	30	0	0	1	1	0	0	0	+ 1 byte Instruction to Control Register
Read Status Register	31	0	0	1	1	0	0	0	+ 1 byte Reply from Status Register
Read Rx Tone Frequency	32	0	0	1	1	0	0	1	+ 2 byte Reply from Rx Tone Register
Write to NOTONE Timer	33	0	0	1	1	0	0	1	+ 1 byte Instruction to NOTONE Register
Write to Tx Tone Gen. 1	34	0	0	1	1	0	1	0	+ 2 byte Instruction to Tx Tone Gen. 1
Write to Tx Tone Gen. 2	35	0	0	1	1	0	1	0	+ 2 byte Instruction to Tx Tone Gen. 2
Write to G/Purpose Timer	36	0	0	1	1	0	1	1	+ 1 byte Instruction to G/Purpose Timer

Table 1 "C-BUS" Address/Commands

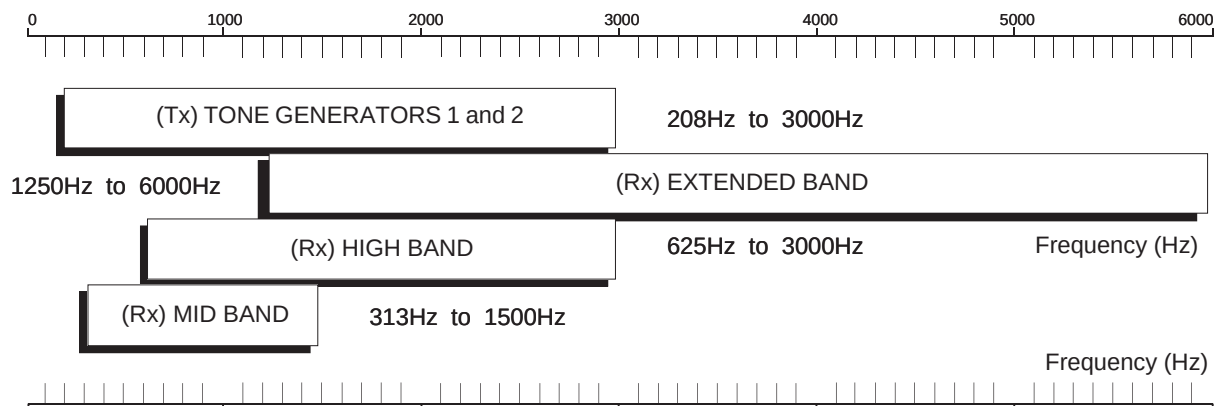


Fig.4 FX803 Frequencies

FX809

FFSK Modem

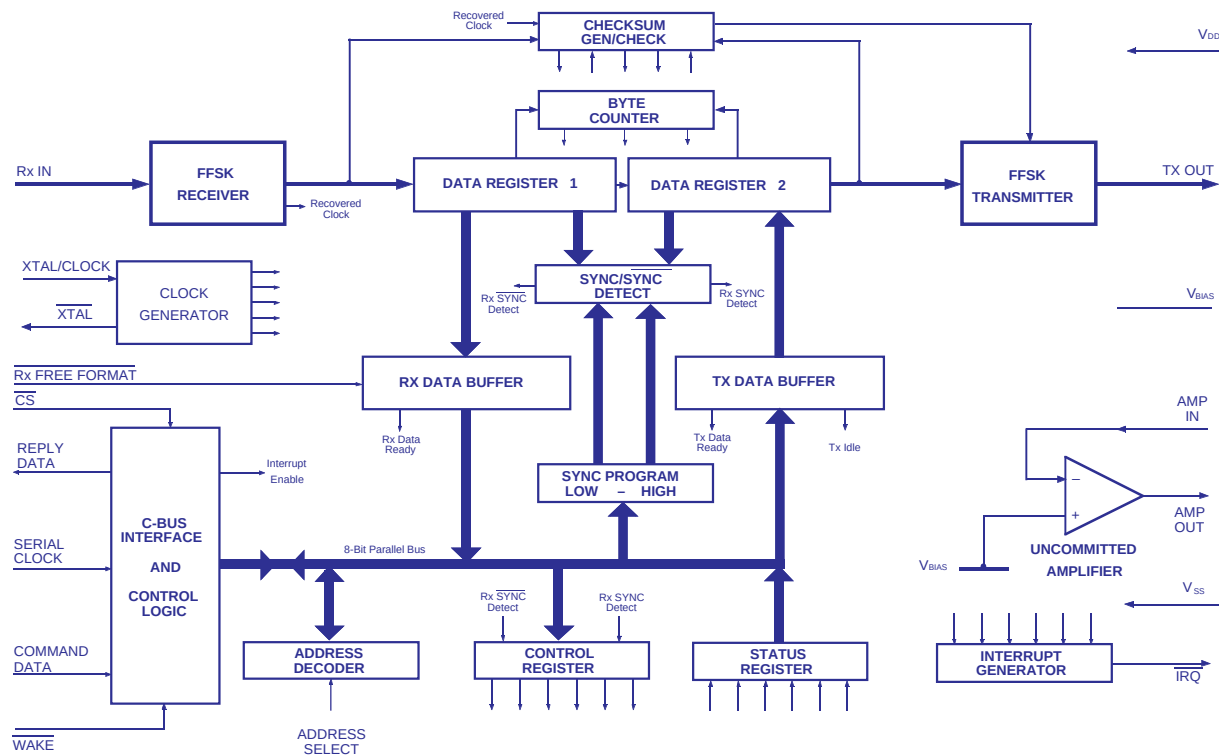


Fig 1. FX809 FFSK Modem

Brief Description

An intelligent, half-duplex, FFSK/MSK modem which operates under "C-BUS" control. In addition this modem provides software selectable checksum generation and error checking, in accordance with MPT1327.

The FX809, using Interrupt and Status Register procedures, performs the functions described below:

In Tx mode the FX809 will:

- (a) Accept from the host and transmit, 8-bit bytes of data as instructed (Preamble, Sync, Address and data).
- (b) internally calculate and insert a 2 byte checksum based upon the preceeding 6 bytes of data, or
- (c) disable the internal checksum generator and continuously transmit the data supplied.
- Transmit 1 hang-bit and go to Tx Idle when all loaded data bytes have been transmitted.

In Rx mode the FX809 will:

- Detect and achieve bit synchronization within 16 bits.
- (a) Search and detect the user-programmed Sync (or its opposite logic sense) Word and achieve frame synchronization. Data will then be output in 8-bit bytes via the Rx Data Buffer.

(b) Use the received checksum to calculate the presence of any errors, setting the Status Register accordingly.

- Make the incoming data directly available, via the Rx Data Buffer (Rx Freeformat), overriding synchronization requirements.

The FX809 achieves Rx input timing by recovering an Rx clock from the incoming data stream. Output tones are timed to the internally generated transmit clock. Filter, register clocks and transmit FFSK tone frequencies are derived internally from the external Xtal or clock pulse input.

For compliance with the MPT 1327 Signalling Specification a 4.032MHz Xtal or clock input will be required.

NOTE: All information contained in this data sheet is specified using a 4.032 MHz Xtal, 1200 bps baud rate, Mark and Space frequencies 1200 Hz and 1800 Hz.

The FX809 is a low-power 5-volt integrated circuit, incorporating "Powersave" modes to further reduce power requirements.

An uncommitted amplifier is provided on chip for general purpose applications within DBS 800.

The FX809 is available in 24-pin cerdip DIL and 24-pin/lead plastic SMD packages.

Controlling Protocol

Control of the functions within the FX809 FFSK Modem is by a group of Address/Commands (A/Cs) and appended data to and from the system μ Controller via "C-BUS." Provision is made to address 2 separate FFSK Modems. The use of these instructions is detailed in the following paragraphs and tables.

Command Assignment	Address/Command (A/C) Byte			Notes
	Hex	MSB	LSB	
General Reset	01	0	0 0 0 0 0 0 0 1	Control Register bits set to logic "0"
Write to Control Register	40	0	1 0 0 0 0 0 0 0 +	1 byte instruction to Control Reg.
Read Status Register	41	0	1 0 0 0 0 0 0 1 +	1 byte reply from Status Reg.
Read Rx Data Buffer	42	0	1 0 0 0 0 0 1 0 +	1 byte of data from Rx Data Buffer
Write to Tx Data Buffer	43	0	1 0 0 0 0 0 1 1 +	1 byte of data to Tx Data Buffer
Write to SYNC Program	44	0	1 0 0 0 0 1 0 0 +	2 bytes of SYNC Word to SYNC Prog. Reg.

Table 1 Modem No. 1 "C-Bus" Address/Commands – (Address Select input at a logic "0")

Address/Commands

Instruction and data transactions to and from the FX809 consist of an Address/Command (A/C) byte followed by either:

- (i) a further instruction or data, or
- (ii) a Status or Rx data Reply.

Control and configuration is by writing instructions from the μ Controller to the Control Register [40_H, (48_H)].

Reporting of FX809 configurations is by reading the Status Register [(41_H, (49_H)]. Instructions and data are transferred, via "C-BUS," in accordance with the timing information given in Figure 4.

Data for transmission as FFSK is sent to the Tx Data Buffer via the Command Data line. Received data is read from the Rx Data Buffer via the Reply Data line.

Instruction and data transactions to and from this device are preceded by the relevant Address/Command (A/C).

"C-BUS" allocations for the FX809 are shown in Tables 1 and 2.

A complete list of DBS 800 "C-BUS" Address/Command allocations is published in the System Support Document, Document 2.

Command Assignment	Address/Command (A/C) Byte			Notes
	Hex	MSB	LSB	
General Reset	01	0	0 0 0 0 0 0 0 1	Control Register bits set to logic "0"
Write to Control Register	48	0	1 0 0 0 1 0 0 0 +	1 byte instruction to Control Reg.
Read Status Register	49	0	1 0 0 0 1 0 0 1 +	1 byte reply from Status Reg.
Read Rx Data Buffer	4A	0	1 0 0 0 1 0 1 0 +	1 byte of data from Rx Data Buffer
Write to Tx Data Buffer	4B	0	1 0 0 0 1 0 1 1 +	1 byte of data to Tx Data Buffer
Write to SYNC Program	4C	0	1 0 0 0 1 1 0 0 +	2 bytes of SYNC Word to SYNC Prog. Reg.

Table 2 Modem No. 2 "C-Bus" Address/Commands – (Address Select input at a logic "1")

Address Select

This input allows, using the correct addressing, 2 FFSK Modems on the same BUS.

When operating in a system employing 2 FFSK Modems, 1 FFSK Modem is designated No.1 and requires its Address Select input to be held at a logic "0", and the second FFSK Modem (No. 2) requires its Address Select input to be held at logic "1."

All "C-BUS" transactions with Modem 1 will use Address/Command allocations 40_H to 44_H (Table 1) and transactions with Modem 2 will use 48_H to 4C_H (Table 2).

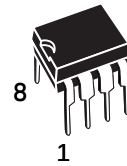
For explanation purposes further descriptions in this publication of FX809 FFSK Modem internal register functions will deal primarily with FFSK Modem No. 1 (Address Select at logic "0").



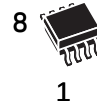
M93C86, M93C76, M93C66 M93C56, M93C46, M93C06

16K/8K/4K/2K/1K/256 (x8/x16) Serial Microwire Bus EEPROM

- INDUSTRY STANDARD MICROWIRE BUS
- 1 MILLION ERASE/WRITE CYCLES, with 40 YEARS DATA RETENTION
- DUAL ORGANIZATION: by WORD (x16) or by BYTE (x8)
- BYTE/WORD and ENTIRE MEMORY PROGRAMMING INSTRUCTIONS
- SELF-TIMED PROGRAMMING CYCLE with AUTO-ERASE
- READY/BUSY SIGNAL DURING PROGRAMMING
- SINGLE SUPPLY VOLTAGE:
 - 4.5V to 5.5V for M93Cx6 version
 - 2.5V to 5.5V for M93Cx6-W version
 - 1.8V to 3.6V for M93Cx6-R version
- SEQUENTIAL READ OPERATION
- 5ms TYPICAL PROGRAMMING TIME
- ENHANCED ESD/LATCH-UP PERFORMANCES



PSDIP8 (BN)
0.25mm Frame



SO8 (MN)
150mil Width



TSSOP8 (DW)
169mil Width

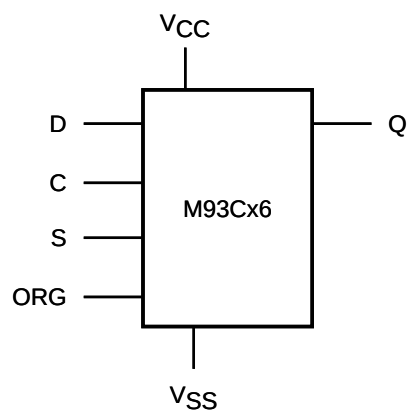
DESCRIPTION

This M93C86/C76/C66/C56/C46/C06 specification covers a range of 16K/8K/4K/2K/1K/256 bit serial EEPROM products respectively. In this text, products are referred to as M93Cx6. The M93Cx6 is an Electrically Erasable Programmable Memory (EEPROM) fabricated with STMicroelectronics's High Endurance Single Polysilicon CMOS technology. The M93Cx6 memory is accessed through a serial input (D) and output (Q) using the MICROWIRE bus protocol.

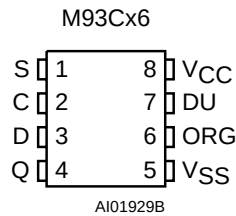
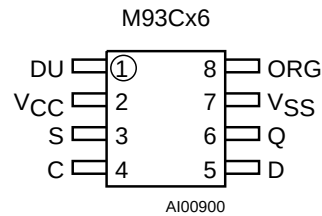
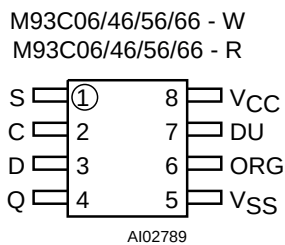
Table 1. Signal Names

S	Chip Select Input
D	Serial Data Input
Q	Serial Data Output
C	Serial Clock
ORG	Organisation Select
V _{CC}	Supply Voltage
V _{SS}	Ground

Figure 1. Logic Diagram



AI01928

M93C86, M93C76, M93C66, M93C56, M93C46, M93C06**Figure 2A. DIP and SO Pin Connections****Warning:** DU = Don't Use**Figure 2B. SO 90° Turn Pin Connections****Warning:** DU = Don't Use**Figure 2C. TSSOP Pin Connections****Warning:** DU = Don't Use**DESCRIPTION (cont'd)**

The M93Cx6 specified at 5V±10%, the M93Cx6-W specified at 2.5V to 5.5V and the M93Cx6-R specified at 1.8V to 3.6V.

The M93Cx6 memory array organization may be divided into either bytes (x8) or words (x16) which may be selected by a signal applied on the ORG input. The M93C86/C76/C66/C56/C46/C06 is divided into either 2048/1024/512/256/128/32 x8 bit bytes or 1024/512/256/128/64/16 x16 bit words respectively. These memory devices are available in both PSDIP8, SO8 and TSSOP8 packages.

The M93Cx6 memory is accessed by a set of instructions which includes Read a Byte/Word, Write a Byte/Word, Erase a Byte/Word, Erase All and Write All. A Read instruction loads the address of the first byte/word to be read into an internal address pointer. The data contained at this address is then clocked out serially. The address pointer is automatically incremented after the data is output and, if the Chip Select input (S) is held High, the M93Cx6 can output a sequential stream of data bytes/words. In this way, the memory can be read

as a data stream from 8 up to 16,384 bits long (for the M93C86 only), or continuously as the address counter automatically rolls over to '00' when the highest address is reached.

Programming is internally self-timed (the external clock signal on C input may be disconnected or left running after the start of a Write cycle) and does not require an erase cycle prior to the Write instruction. The Write instruction writes 8 or 16 bits at one time into one of the byte or word locations of the M93Cx6. After the start of the programming cycle, a Busy/Ready signal is available on the Data output (Q) when Chip Select (S) is driven High.

An internal feature of the M93Cx6 provides Power-on Data Protection by inhibiting any operation when the Supply is too low for reliable operation. The design of the M93Cx6 and the High Endurance CMOS technology used for its fabrication give an Erase/Write cycle Endurance of 1,000,000 cycles and a data retention of 40 years.

The DU (Don't Use) pin does not affect the function of the memory. It is reserved for use by STMicroelectronics during test sequences. The pin may be left unconnected or may be connected to VCC or VSS. Direct connection of DU to VSS is recommended for the lowest standby power consumption.

MEMORY ORGANIZATION

The M93Cx6 is organised in either bytes (x8) or words (x16). If the ORG input is left unconnected (or connected to VCC) the x16 organization is selected; when ORG is connected to Ground (VSS) the x8 organization is selected. When the M93Cx6 is in standby mode, the ORG input should be set to either VSS or VCC in order to achieve minimum power consumption. Any voltage between VSS and VCC applied to the ORG input pin may increase the standby current value.

M93C86, M93C76, M93C66, M93C56, M93C46, M93C06**INSTRUCTIONS**

The M93C86/C76/C66/C56/C46/C06 have seven instructions, as shown in Table 7. Each instruction is preceded by the rising edge of the signal applied on the S input (assuming that the clock C is low). After the device is selected, the internal logic waits for the start bit, which defines the beginning of the instruction bit stream. The start bit is the first '1' read on the D input during the rising edge of the clock C. Following the start bit, the op-codes of the instructions are made up of the 2 following bits. Note that some instructions use only these first two bits, others use also the first two bits of the address to define the op-code. The op-code is then followed by the address of the byte/word to be accessed. For the M93C06 and M93C46, the address is made up of 6 bits for the x16 organization or 7 bits for the x8 organization (see Table 7A). For the M93C56 and M93C66, the address is made up of 8 bits for the x16 organization or 9 bits for the x8 organization (see Table 7B). For the M93C76 and M93C86, the address is made up of 10 bits for the x16 organization or 11 bits for the x8 organization (see Table 7C).

The M93Cx6 is fabricated in CMOS technology and is therefore able to run from 0Hz (static input signals) up to the maximum ratings (specified in Table 6).

Read

The Read instruction (READ) outputs serial data on the Data Output (Q). When a READ instruction is received, the instruction and address are decoded and the data from the memory is transferred into an output shift register. A dummy '0' bit is output first followed by the 8 bit byte or the 16 bit word with the MSB first. Output data changes are triggered by the Low to High transition of the Clock (C). The M93Cx6 will automatically increment the address and will clock out the next byte/word as long as the Chip Select input (S) is held High. In this case the dummy '0' bit is NOT output between bytes/words and a continuous stream of data can be read.

Erase/Write Enable and Disable

The Erase/Write Enable instruction (EWEN) authorizes the following Erase/Write instructions to be executed. The Erase/Write Disable instruction (EWDS) disables the execution of the following Erase/Write instructions and the internal programming cycle cannot run. When power is first applied, the M93Cx6 is in Erase/Write Disable mode and all Erase/Write instructions are inhibited. When the EWEN instruction is executed, Erase/Write instructions remain enabled until an Erase/Write Disable instruction (EWDS) is executed or V_{CC} falls below

the power-on reset Threshold voltage. To protect the memory contents from accidental corruption, it is advisable to issue the EWDS instruction after every write cycle. The READ instruction is not affected by the EWEN or EWDS instructions.

Erase

The Erase instruction (ERASE) programs the addressed memory byte or word bits to '1'. Once the address is correctly decoded, the falling edge of the Chip Select input (S) starts a self-timed erase cycle. If the M93Cx6 is still performing the erase cycle, the Busy signal (Q = 0) will be returned if S is driven high after the t_{SLSH} delay, and the M93Cx6 will ignore any data on the bus. When the erase cycle is completed, the Ready signal (Q = 1) will indicate (if S is driven high) that the M93Cx6 is ready to receive a new instruction.

Write

The Write instruction (WRITE) is composed of the Op-Code followed by the address and the 8 or 16 data bits to be written. Data input is sampled on the Low to High transition of the clock. After the last data bit has been sampled, *Chip Select (S) must be brought Low before the next rising edge of the clock (C) in order to start the self-timed programming cycle.* This is important as, if S is brought low before or after this specific frame window, the addressed location will not be programmed.

If the M93Cx6 is still performing the write cycle, the Busy signal (Q = 0) will be returned if S is driven high after the t_{SLSH} delay, and the M93Cx6 will ignore any data on the bus. When the write cycle is completed, the Ready signal (Q = 1) will indicate (if S is driven high) that the M93Cx6 is ready to receive a new instruction. Programming is internally self-timed (the external clock signal on C input may be disconnected or left running after the start of a Write cycle). The Write instruction includes an automatic Erase cycle before writing the data, it is therefore unnecessary to execute an Erase instruction before a Write instruction execution.

Erase All

The Erase All instruction (ERAL) erases the whole memory (all memory bits are set to '1'). A dummy address is input during the instruction transfer and the erase is made in the same way as the ERASE instruction above. If the M93Cx6 is still performing the erase cycle, the Busy signal (Q = 0) will be returned if S is driven high after the t_{SLSH} delay, and the M93Cx6 will ignore any data on the bus. When the erase cycle is completed, the Ready signal (Q = 1) will indicate (if S is driven high) that the M93Cx6 is ready to receive a new instruction.

M93C86, M93C76, M93C66, M93C56, M93C46, M93C06**Table 7A. Instruction Set for the M93C06 and M93C46**

Instr.	Description	Start bit	Op-Code	x8 Org Address (ORG = 0) ^(1, 2)	Data	Req. Clock Cycles	x16 Org Address (ORG = 1) ^(1, 3)	Data	Req. Clock Cycles
READ	Read Data from Memory	1	10	A6-A0	Q7-Q0		A5-A0	Q15-Q0	
WRITE	Write Data to Memory	1	01	A6-A0	D7-D0	18	A5-A0	D15-D0	25
EWEN	Erase/Write Enable	1	00	11X XXXX		10	11 XXXX		9
EWDS	Erase/Write Disable	1	00	00X XXXX		10	00 XXXX		9
ERASE	Erase Byte or Word	1	11	A6-A0		10	A5-A0		9
ERAL	Erase All Memory	1	00	10X XXXX		10	10 XXXX		9
WRAL	Write All Memory with same Data	1	00	01X XXXX	D7-D0	18	01 XXXX	D15-D0	25

Notes: 1. X = don't care bit.

2. Address bits A6 and A5 are not decoded by the M93C06.

3. Address bits A5 and A4 are not decoded by the M93C06.

Table 7B. Instruction Set for the M93C56 and M93C66

Instr.	Description	Start bit	Op-Code	x8 Org Address (ORG = 0) ^(1, 2)	Data	Req. Clock Cycles	x16 Org Address (ORG = 1) ^(1, 3)	Data	Req. Clock Cycles
READ	Read Data from Memory	1	10	A8-A0	Q7-Q0		A7-A0	Q15-Q0	
WRITE	Write Data to Memory	1	01	A8-A0	D7-D0	20	A7-A0	D15-D0	27
EWEN	Erase/Write Enable	1	00	1 1XXX XXXX		12	11XX XXXX		11
EWDS	Erase/Write Disable	1	00	0 0XXX XXXX		12	00XX XXXX		11
ERASE	Erase Byte or Word	1	11	A8-A0		12	A7-A0		11
ERAL	Erase All Memory	1	00	1 0XXX XXXX		12	10XX XXXX		11
WRAL	Write All Memory with same Data	1	00	0 1XXX XXXX	D7-D0	20	01XX XXXX	D15-D0	27

Notes: 1. X = don't care bit.

2. Address bit A8 is not decoded by the M93C56.

3. Address bit A7 is not decoded by the M93C56.

M93C86, M93C76, M93C66, M93C56, M93C46, M93C06**Table 7C. Instruction Set for the M93C76 and M93C86**

Instr.	Description	Start bit	Op-Code	x8 Org Address (ORG = 0) ^(1, 2)	Data	Req. Clock Cycles	x16 Org Address (ORG = 1) ^(1, 3)	Data	Req. Clock Cycles
READ	Read Data from Memory	1	10	A10-A0	Q7-Q0		A9-A0	Q15-Q0	
WRITE	Write Data to Memory	1	01	A10-A0	D7-D0	22	A9-A0	D15-D0	29
EWEN	Erase/Write Enable	1	00	11X XXXX XXXX		14	11 XXXX XXXX		13
EWDS	Erase/Write Disable	1	00	00X XXXX XXXX		14	00 XXXX XXXX		13
ERASE	Erase Byte or Word	1	11	A10-A0		14	A9-A0		13
ERAL	Erase All Memory	1	00	10X XXXX XXXX		14	10 XXXX XXXX		13
WRAL	Write All Memory with same Data	1	00	01X XXXX XXXX	D7-D0	22	01 XXXX XXXX	D15-D0	29

Notes: 1. X = don't care bit.
 2. Address bit A10 is not decoded by the M93C76.
 3. Address bit A9 is not decoded by the M93C76.

Write All

The Write All instruction (WRAL) writes the Data Input byte or word into all the addresses of the memory device. As for the Erase All instruction, a dummy address is input during the instruction transfer.

If the M93Cx6 is still performing the write cycle, the Busy signal (Q = 0) will be returned if S is driven high after the t_{SLSH} delay, and the M93Cx6 will ignore any data on the bus. When the write cycle is completed, the Ready signal (Q = 1) will indicate (if S is driven high) that the M93Cx6 is ready to receive a new instruction.

READY/BUSY Status

During every programming cycle (after a WRITE, ERASE, WRAL or ERAL instruction) the Data Out-

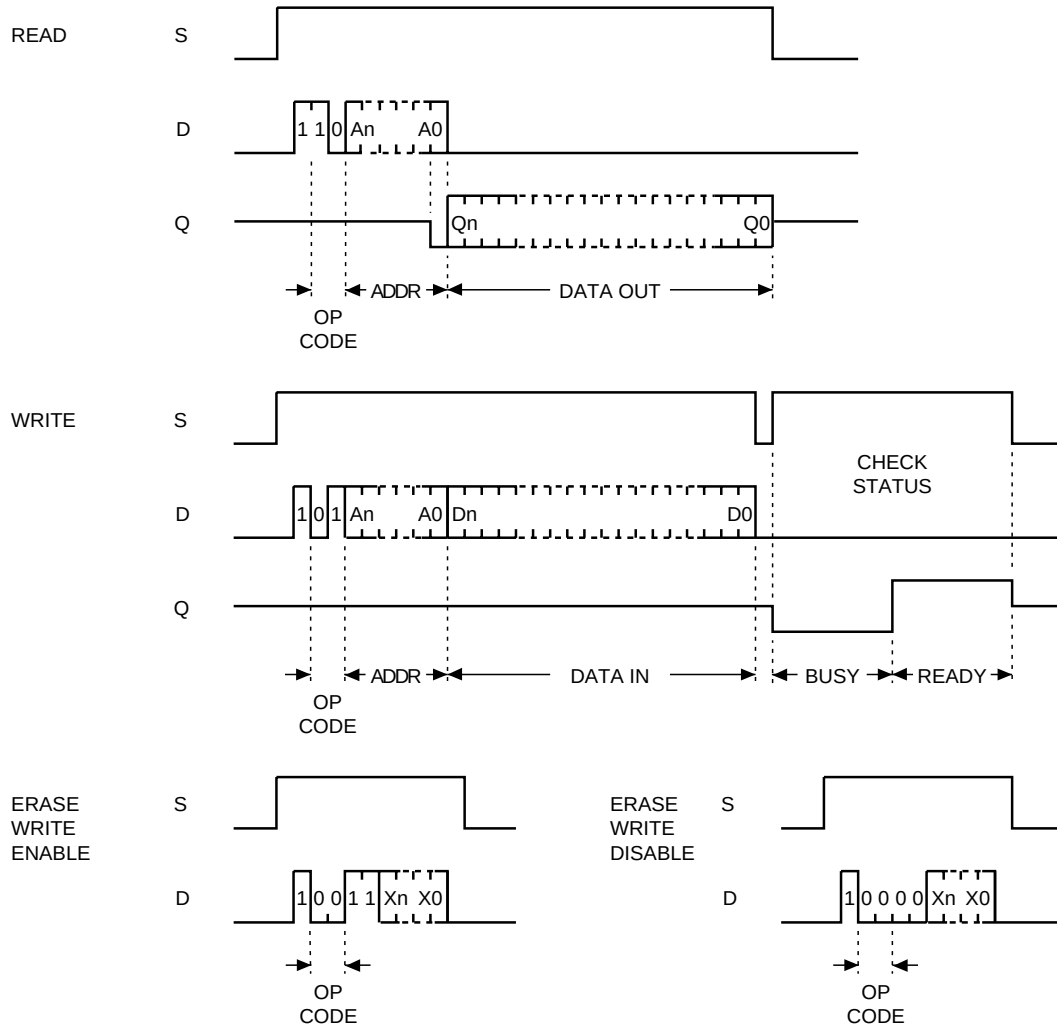
put (Q) indicates the Ready/Busy status of the memory when the Chip Select is driven High. Once the M93Cx6 is Ready, the Data Output is set to '1' until a new start bit is decoded or the Chip Select is brought Low.

COMMON I/O OPERATION

The Data Output (Q) and Data Input (D) signals can be connected together, through a current limiting resistor, to form a common, one wire data bus. Some precautions must be taken when operating the memory with this connection, mostly to prevent a short circuit between the last entered address bit (A0) and the first data bit output by Q. The reader should refer to the STMicroelectronics application note AN394 "MICROWIRE EEPROM Common I/O Operation".

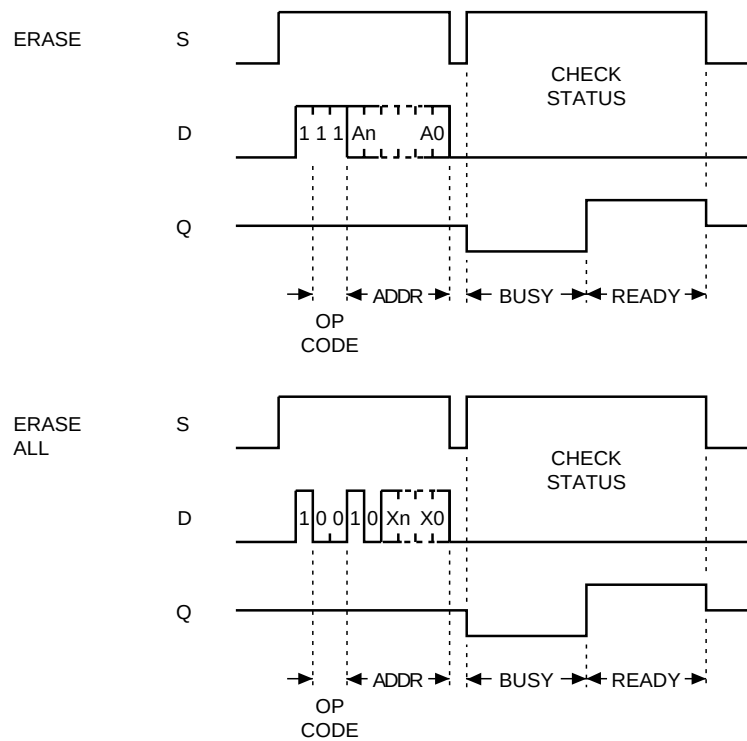
M93C86, M93C76, M93C66, M93C56, M93C46, M93C06

Figure 6. READ, WRITE, EWEN, EWDS Sequences



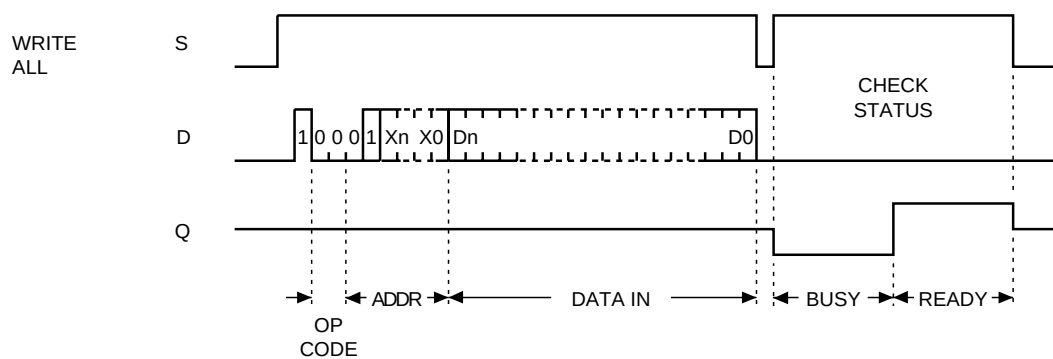
AI00878C

Note: An, Xn, Qn, Dn: Refer to Table 6a for the M93C06 and M93C46; to Table 6b for the M93C56 and M93C66; to Table 6c for the M93C76 and M93C86.

M93C86, M93C76, M93C66, M93C56, M93C46, M93C06**Figure 7. ERASE, ERAL Sequences**

AI00879B

Note: An, Xn: Refer to Table 7a for the M93C06 and M93C46; to Table 7b for the M93C56 and M93C66; to Table 7c for the M93C76 and M93C86.

Figure 8. WRAL Sequence

AI00880C

Note: Xn, Dn: Refer to Table 7a for the M93C06 and M93C46; to Table 7b for the M93C56 and M93C66; to Table 7c for the M93C76 and M93C86.

Document réponse

Q 1.4) Donner la composition de chaque trame échangée entre le relais 5 et le relais voteur (hors bits de synchronisation et de contrôle).

Nom de la trame :						
Champ						
bin						
hex						

Nom de la trame :						
Champ						
bin						
hex						
Champ						
bin						
hex						
Champ						
bin						
hex						
Champ						
bin						
hex						
Champ						
bin						
hex						
Champ						
bin						
hex						

Nom de la trame :						
Champ						
bin						
hex						

Document réponse

Remarque : la description des paramètres formels des fonctions membre est donnée dans ce document par les commentaires d'entête de fonction.

Q 2.1) Déclarer la classe *cTrame*

```
/*
    Classe encapsulant les fonctions de base d'accès aux trames
    Défini le polynôme générateur G(x)
*/

class cTrame
{
protected :
    enum    POLYNOME{ Gx=0xE815 };

public :

protected :

};
```

Q 2.2) Déclarer la classe *cTrameEncode*

```
/*
    cTrameEncode encapsule le codage des trames
    Une trame est construite à l'aide du constructeur
    cTrameEncode( byte bTrame[] ) ou à l'aide de la fonction
    Init( byte bTrame[] )
    L'encodage de la trame est effectué par EncodeMPT1327
    L'opérateur [] permet l'accès direct à la trame en lecture seule
    La fonction membre privée CRC calcule celui ci
    La classe d'exception ErreurIndice déclenche une exception lors
    d'un accès à une trame hors avec un indice non valide
*/
class ...
{
};
```

Q 2.3) Déclarer la classe *cTrameDécode*. On s'aidera de la description des paramètres de fonction donnés dans le document réponse.

```
/*
    cTrameDecode encapsule le décodage des trames
    Une trame à décoder est construite à l'aide du constructeur
    cTrameDecode ( const byte bTrame[] )
    Le décodage de la trame est effectué par DecodeMPT1327
    L'opérateur [] permet l'accès direct à la trame en lecture seule
    en version finale) et en lecture/écriture pour la mise au
    point.
    La fonction membre privée Syndrome calcule celui - ci
    La fonction membre privée wDichoTabCorection effectue une recher-
    che dichotomique dans le tableau de correction en fonction du
    syndrome passé en paramètre
*/
class cTrameDecode ...
{

};
```

Q 2.4) Donner le code des fonctions membres *GetBit* et *SetBit*.

```
/*
    Nom : cTrame::GetBit
```

Document réponse

```
Paramètres 1 : adresse de la trame (const byte*)
           2 : numéro du bit dans la trame (ushort)
V. retour   : valeur du bit dans le bit b0 (ushort)
Description : les bits sont numérotés de façon suivante :
                x7 x6 x3      x0
        bTrame[0] : b1 b2 b3 ... b8
        bTrame[1] : b9 ...      b16
        ...
*/

/*
Nom : cTrame::SetBit
Paramètres 1 : adresse de la trame (byte*)
           2 : numéro du bit dans la trame (ushort)
           2 : valeur du bit (ushort)
V. retour   : néant
Description : les bits sont numérotés de façon suivante :
                x7 x6 x3      x0
        bTrame[0] : b1 b2 b3 ... b8
        bTrame[1] : b9 ...      b16
        ...
*/
```

Q 2.5) Donner le code de la fonction membre Parite.

```
/*
Nom : cTrame::Parite
Paramètres 1 : adresse d'un polynôme (const byte*)
V. retour   : true = parité impaire (bool)
Description : calcule la parité d'une trame encodé
*/
```

Q 2.6) Le constructeur cTrameEncode(const byte bTrame[]) reçoit en paramètre une trame brute qu'il recopie dans Tx aux indices 0..5. Donner le code de ce constructeur. Nota la fonction membre Init réalise le même code.

```
/*
Nom : cTrameEncode::cTrameEncode()
Paramètres 1: adresse source d'une trame brute (const byte*)
Description : initialise T(x) avec une trame brute
*/
```

Q 2.7) Cette classe comporte également un constructeur par défaut. Dans le cas de l'application Réseau d'alerte des pompiers, **exprimer** l'intérêt qu'il y a à déclarer ce type de constructeur. Justifier dans ce cas la fonction membre Init.

Q 2.8) Une fois les trames encodées l'accès aux trames en lecture seule s'effectue l'aide de l'opérateur surchargé []. En cas de débordement d'indice une exception ErreurIndice est levée. Donner le code de cet opérateur.

```
/*
cTrameEncode::opérateur [ ] surchargé
Paramètres 1 : index
Description : autorise l'accès en lecture seule d'un
                élément d'une trame encodée
Appels      : un accès hors indice déclenche une exception
                ErreurIndice
*/
```


Document réponse

*/

Q 2.9) La fonction membre CRC calcule le CRC de la trame. **Donner** le code de cette fonction.

```
/*
    Nom : cTrameEncode::CRC()
    V. retour : valeur du CRC dans les bits x6..x0
    Description : calcule le CRC d'une trame brute
*/

ushort cTrameEncode::CRC()
{

}
```

Q 2.10) La fonction membre EncodeMPT1327 encode la trame Tx au format MPT1327. **Donner** le code de cette fonction.

```
/*
    Nom : cTrameEncode::EncodeMPT1327()
    Description : construit dans Tx une trame au format MPT1327
    Appels : CRC, Parite
*/

void cTrameEncode::EncodeMPT1327()
{

}
```

Q 2.11) Afin de faciliter la mise au point, l'opérateur d'injection de flux << est surchargé pour cette classe. Il permet d'injecter le contenu d'une trame transcodée au format hexadécimal dans le flux passé en paramètre. **Donner** le code de cet opérateur.

Q 2.12) Le constructeur cTrameDecode(const byte bTrame[]) reçoit en paramètre une trame encodée au format MPT1327 qu'il copie dans Rx (indice 0..7). Nota la fonction membre Init réalise le même code. Le syndrome de la trame est calculé par la fonction membre Syndrome suivant l'algorithme donné dans le dossier technique. **Donner** le code de la fonction Syndrome.

```
/*
    Nom : cTrameDecode::Syndrome
    V. retour : x14..x0 == 0 si la trame ne comporte pas
                d'erreur
                x15 == 1 si la trame est paire
    Appels : GetBit
    Description : Calcule la parité et le Syndrome d'une trame
                  encodée.
                  Retourne le bit de parité de la trame dans
                  x15 et la valeur du Syndrome dans x14..x0.
*/
ushort cTrameDecode::Syndrome()
{

}
```

Q 2.13) Un syndrome différent de zéro signifie qu'il y a eu erreur de transmission. La valeur du syndrome permet de déterminer les bits en erreur grâce à la table donnée dans le dossier technique figure 5.4. **Déclarer** une structure STRUCT_ERROR_CORRECTION décrivant un élément du tableau de correction (zone grisée figure 5.4 du dossier technique). **Initiali-**

Document réponse

ser de façon statique un tableau `tab_error_correction` avec les éléments du tableau figure 5.4 (on donnera uniquement les deux premières lignes et la dernière ligne).

```
struct STRUCT_ERROR_CORRECTION
{

};

STRUCT_ERROR_CORRECTION tab_error_correction[] =
{

};
```

Q 2.14) La fonction membre `wDichoTabCorection` effectue une recherche dichotomique dans la table `tab_error_correction` en utilisant un syndrome comme clé. **Donner** le code de cette fonction.

```
/*
    Nom : cTrameDecode::wDichoTabCorection
    Paramètre 1 : valeur du Syndrome d'une trame (word)
    V. Retour : indice dans la table contenant la valeur du
                Syndrome ou -1 si non trouvé (int)
    Description : effectue une recherche dichotomique dans la
                table tab_error_correction en utilisant le
                Syndrome comme clé
*/
```

Q 2.15) La fonction membre `DecodeMT1327` vérifie la validité de la trame reçue et en corrige les éventuelles erreurs. Si une erreur n'a pas pu être corrigée la fonction lève une exception `ErreurTrame`. **Donner** le code de cette fonction.

```
/*
    Nom : cTrameDecode::DecodeMPT1327()
    Description : décode une trame MPT1327 et tente de corriger
                les erreurs simples et doubles.
                Déclenche une exception ErreurTrame en cas de
                trame erronée.
    Appel : Syndrome, wDichoTabCorection, SetBit, GetBit
*/

void cTrameDecode::DecodeMPT1327()
{

}

}
```

Q 2.16) **Proposer** un test unitaire en encodant puis décodant la trame figure 5.1 du dossier technique. **Proposer** un deuxième test permettant de vérifier la capacité de correction d'erreur du protocole MPT1327. Les exceptions seront interceptées et gérées de façon suivante : une erreur de trame irrécupérable provoque un nouveau décodage avec une erreur corrigible.

```
#include "cTrame.h"
#include <iostream.h>
#include <iomanip.h>
#include "cTrame.h"
byte t[6] = { 0x89, 0xAB, 0xCD, 0xEF, 0x12, 0x34 };

int main()
{
```

Document réponse

```
// Instancier un objet trame Txt de classe cTrameEncode en
// utilisant la trame t

// Encoder la trame au format MPT1327

// Afficher la trame

// Instancier un objet trame Rxt de classe cTrameDecode en
// utilisant la trame encodée dans l'objet Txt.

// Générer une erreur récupérable ( erreur simple ou double )

// Décoder la trame en interception l'exception ErreurTrame
// Si l'exception est levée afficher ErreurTrame et corriger la
// trame puis faites une nouvelle tentative

// Afficher la trame

// Générer une erreur non récupérable ( erreur triple )

// Décoder la trame en interceptant l'exception ErreurTrame
// Si l'exception est levée afficher ErreurTrame et corriger la
// trame puis faites une nouvelle tentative

// afficher la trame

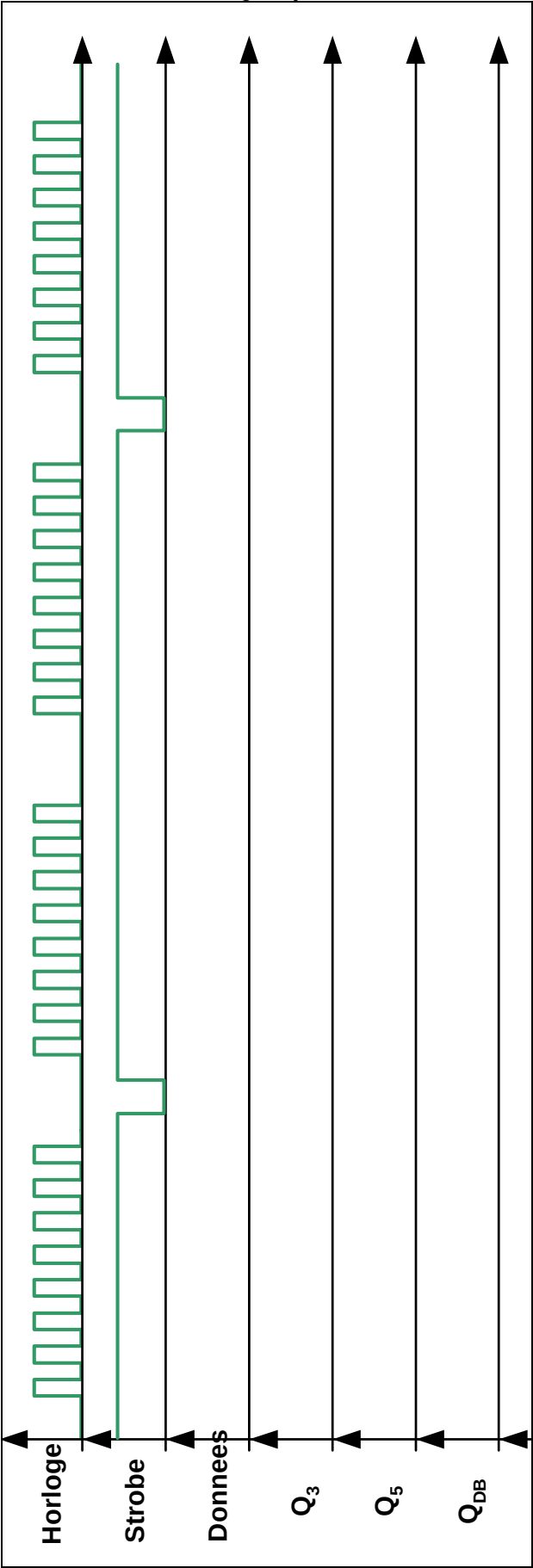
return 0;
}.
```

Document réponse

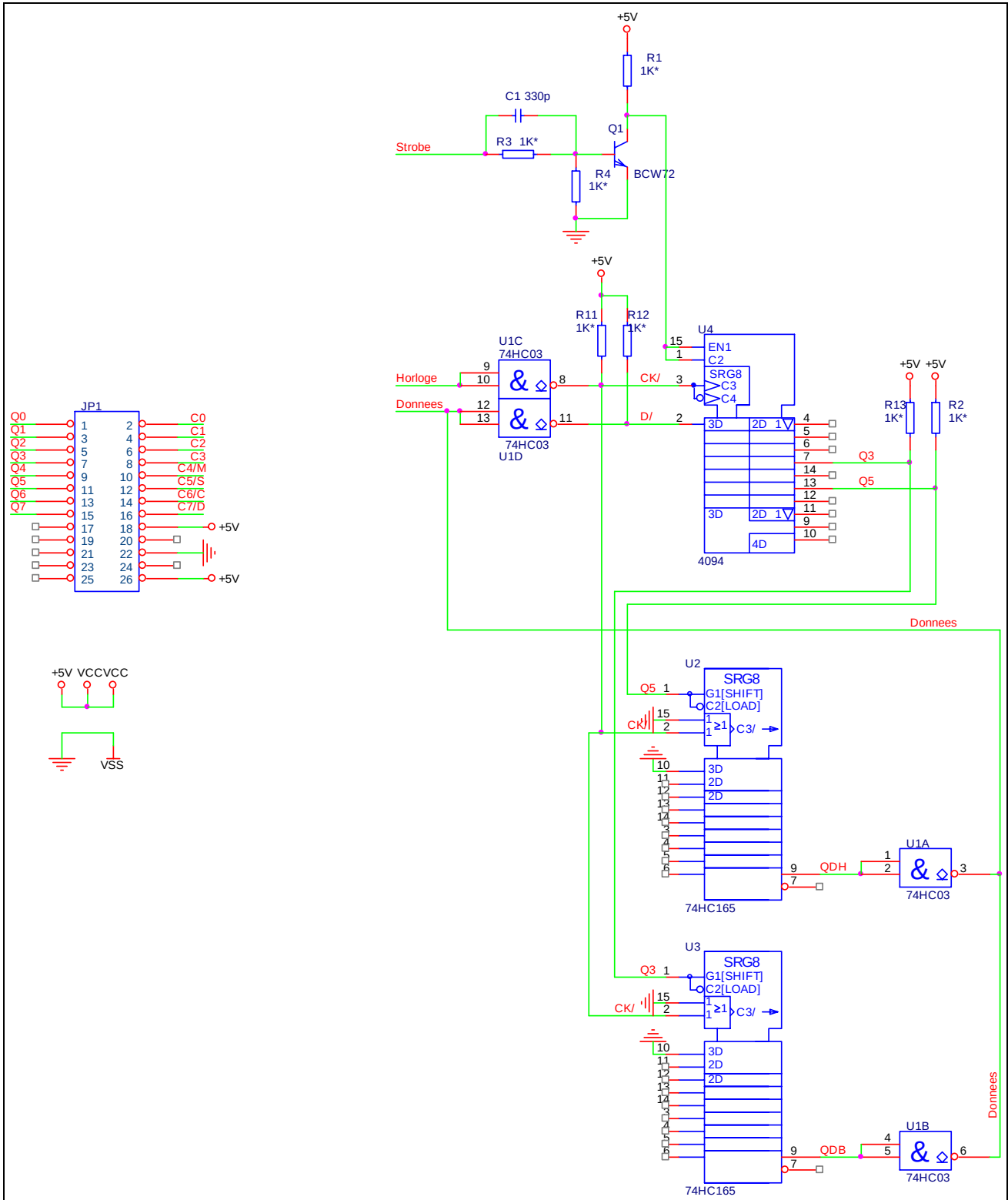
Q 5.1)

A1	A2	F1	A3	A4 CAG	C1	C2	C3

Q 7.6)

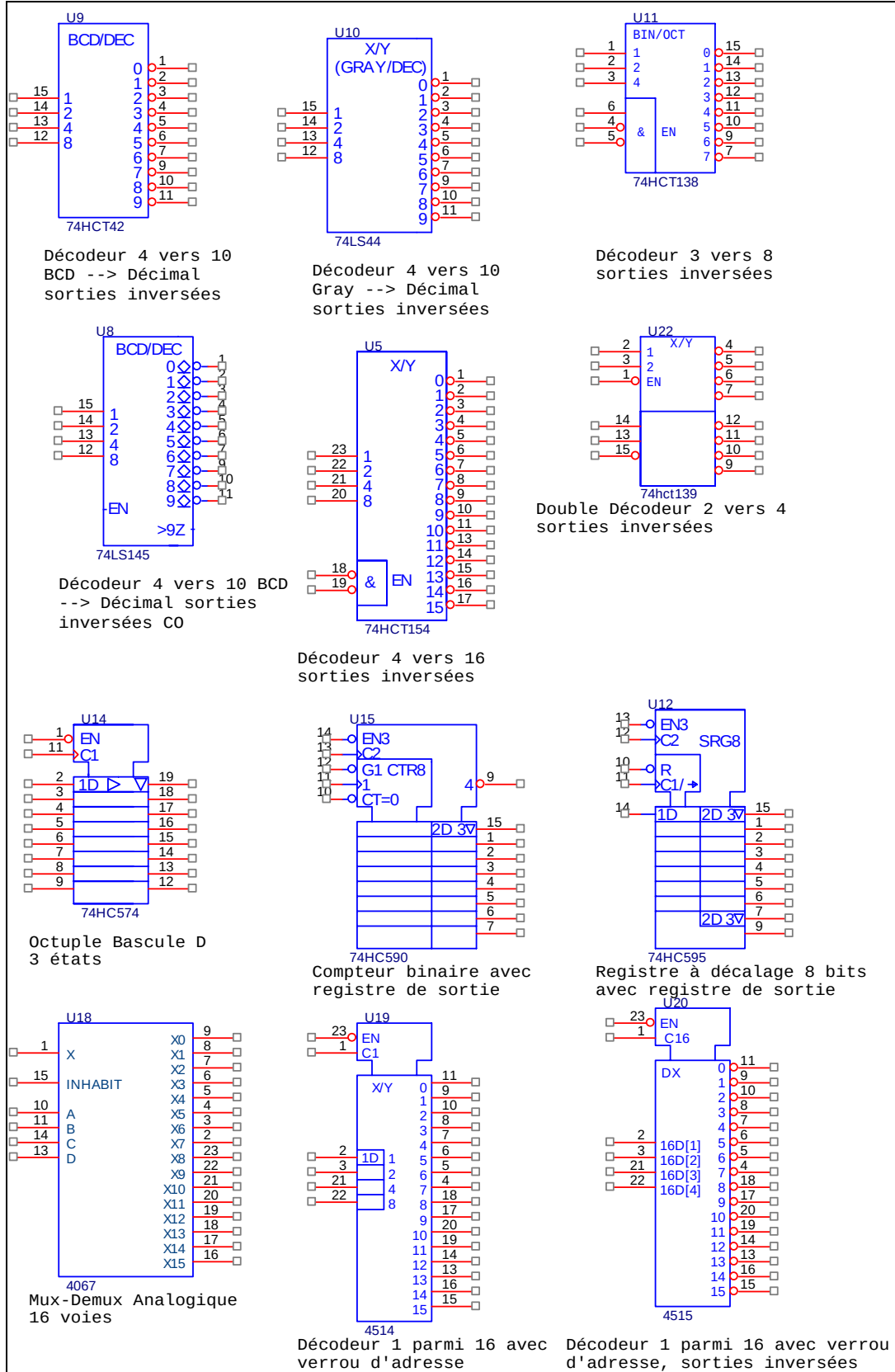


Document réponse

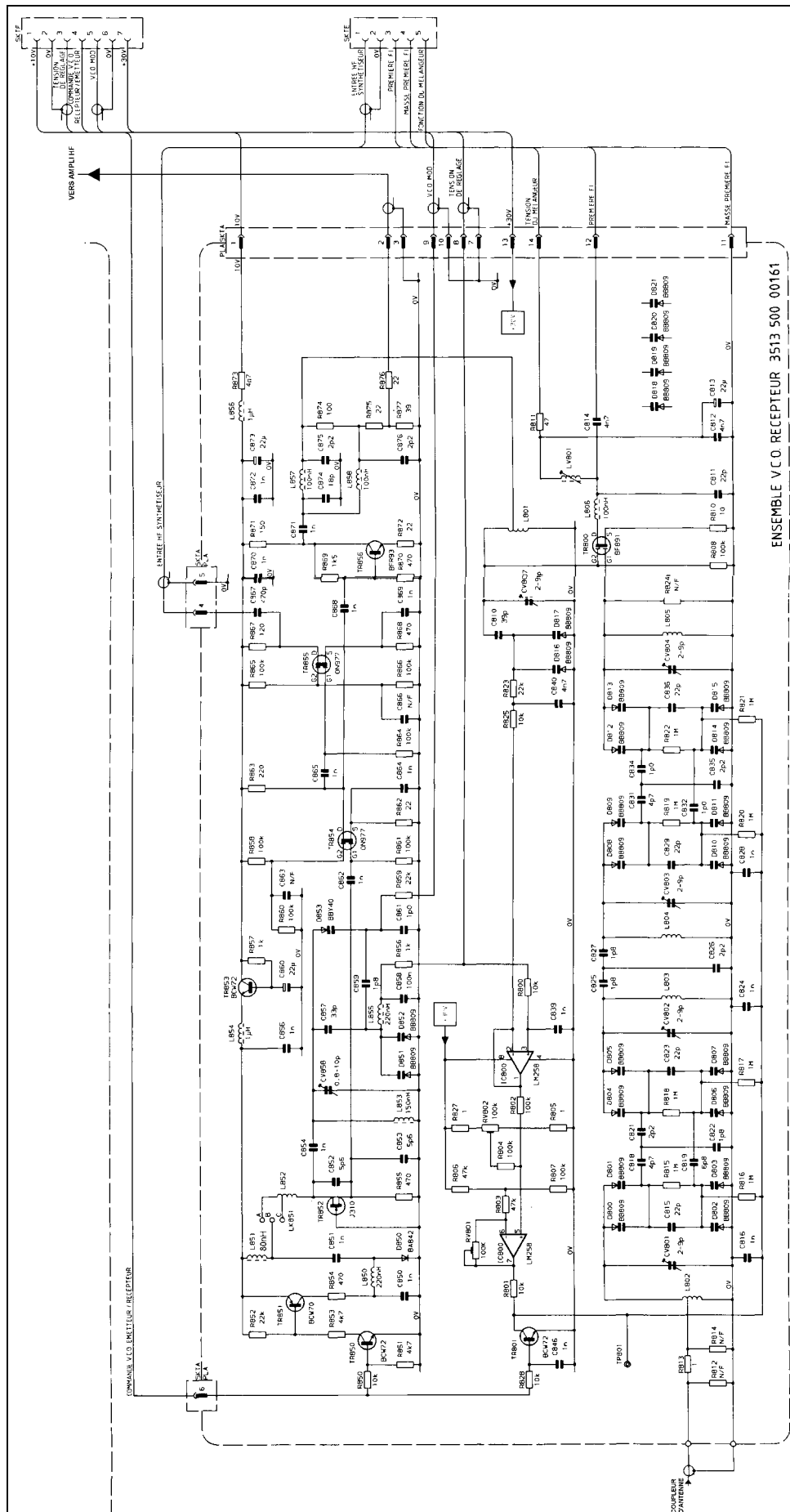


Q 7.7)

Document réponse



Choix de composants pour la question Q 7.7)

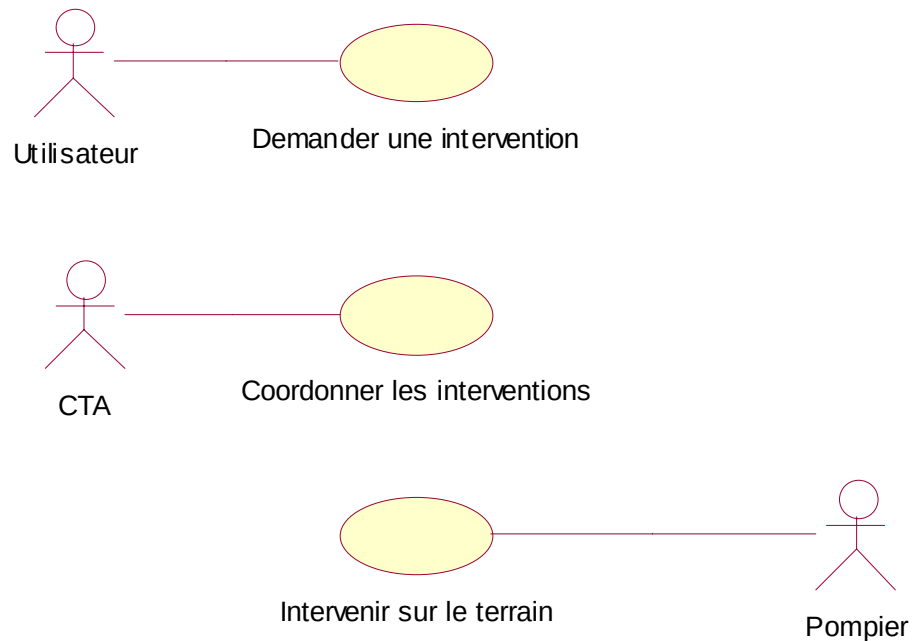


Q 8.13) Localisation des fonctions : filtre accordable, mélangeur et VCO

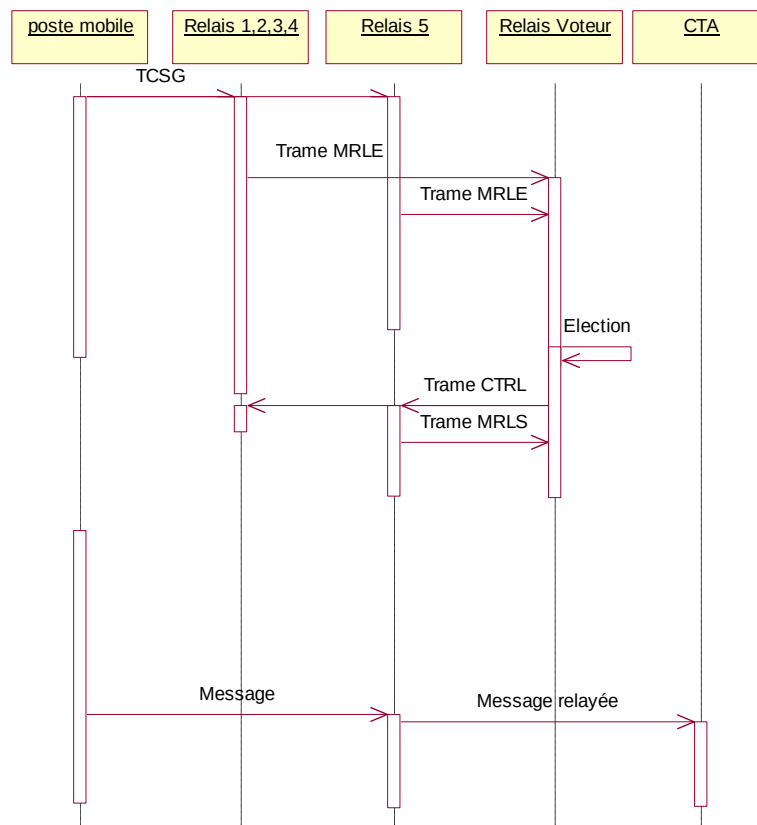
ELEMENTS DE CORRIGE - EPREUVE : Etude d'un système industriel

Option A : ELECTRONIQUE ET INFORMATIQUE INDUSTRIELLE

Q 1.1) Etablir le diagramme de cas d'utilisation préliminaire du réseau d'alerte des pompiers.



Q 1.2) Etablir le diagramme de séquences permettant d'établir une communication entre un poste mobile et le centre technique d'alerte (CTA). Ce diagramme devra mettre en évidence les messages échangés entre les acteurs participant à l'établissement communication.



Q 1.3) Quel est le relais le plus approprié pour établir la communication entre le poste mobile et le Centre Technique d'Alerte (CTA).

C'est le **Relais 5**.

Q 1.4) Donner la composition de chaque trame échangée entre le relais 5 et le relais voteur (hors bits de synchronisation et de contrôle).

Nom de la trame : MRLE et MRLS						
Champ	destination	origine	fonction	réseau	param1	param2
Bin	0001 0001	0010 0011	0000 0010	0010 0101	0001 0100	0000 0101
Hex	11	23	02	25	14	05

Nom de la trame : CTRL						
Champ	destination	origine	relai 1 d1	relai 1 d2	relai 2 d1	relai 1 d2
Bin	0010 0110	0001 0001	1000 0000	0000 0010	1000 0000	0000 0010
Hex	26	11	40	02	40	02
Champ	relai 3 d1	relai 3 d2	relai 4 d1	relai 4 d2	relai 5 d1	relai 5 d2
Bin	1000 0000	0000 0010	1000 0000	0000 0010	1010 0000	0000 0010
Hex	40	02	40	02	C0	02
Champ	relai 6 d1	relai 6 d2	relai 7 d1	relai 7 d2	relai 8 d1	relai 8 d2
Bin	1000 0000	0000 0010	1000 0000	0010 0010	1000 0000	0010 0010
Hex	40	02	40	22	40	22
Champ	relai 9 d1	relai 9 d2	relai 10 d1	relai 10 d2	relai 11 d1	relai 11 d2
Bin	1000 0000	0010 0010	1000 0000	0010 0010	1000 0000	0010 0010
Hex	40	22	40	22	40	22
Champ	relai 12 d1	relai 12 d2	relai 13 d1	relai 13 d2	relai 14 d1	relai 14 d2
Bin	1000 0000	0010 0010	1000 0000	0010 0010	1000 0000	0010 0010
Hex	40	22	40	22	40	22
Champ	relai 15 d1	relai 15 d2	relai 16 d1	relai 16 d2		
Bin	1000 0000	0010 0010	1000 0000	0010 0010		
Hex	40	22	40	22		

Nom de la trame : TCSG						
Champ	destination	origine	fonction	réseau	param1	param2
bin	0001 0001	0010 0101	0000 1011	0010 0101	0001 0100	0000 0101
hex	11	25	0B	25	14	05

Q 1.5) Quel est le composant utilisé pour générer et décoder les signaux FFSK1382.

circuit FX809

Q 1.6) On utilise le polynôme générateur $G(x) = X^{15} + X^{14} + X^{13} + X^{11} + X^4 + X^2 + X^0$ de degré x^r . Calculer le CRC $R(x) = \frac{M(x).x^r}{G(x)}$ pour la trame $M(x)$ ci-dessous.

Hex	11	23	02	25	14	05
-----	----	----	----	----	----	----

2251₍₁₆₎

Q 1.7) Donner la composition (en binaire) de la trame $T(x) = M(x).x^r - R(x)$. On placera à gauche les bits de poids fort.

00010001001000110000000100010010100010100000000101010001001010001

Q 1.8) Calculer $R(x) = \frac{T(x)}{G(x)}$ pour cette trame

0000000000000000₍₂₎

Q 1.10) Donner la composition (en hexadécimal) de la trame $T'(x)$ transmise (rappel : cette trame est au format au format MPT1327).

23 02 25 14 05 44 A1

Q 1.11) Calculer le syndrome pour une trame reçue comportant les bits 7 et 8 erronés. On fournira le résultat en base 16.

0180₍₁₆₎

Q 1.12) Ce syndrome peut-il corriger les erreurs.

Oui deux bits consécutifs erronés (voir tableau 5.4)

Q 2.1) Déclarer la classes *cTrame* (utiliser le dossier réponse). On utilisera la description des paramètres de fonction donnés dans le document réponse.

```

/*
Classe encapsulant les fonctions de base d'accès aux trames
Défini le polynôme générateur G(x)
*/
class cTrame
{
protected :
enum POLYNOME{ Gx=0xE815 };

public :
cTrame() { };
protected :
ushort GetBit( const byte bTrame[], ushort n );
void SetBit( byte bTrame[], ushort n, ushort val );
bool Parite( const byte bTrame[] );
};

```

Q 2.2) Déclarer la classe *cTFrameEncode* (utiliser le dossier réponse). On utilisera la description des paramètres de fonction donnés dans le document réponse.

```
/*
cTFrameEncode encapsule le codage des trames
Une trame est construite à l'aide du constructeur
cTFrameEncode( byte bTrame[] ) ou à l'aide de la fonction
Init( byte bTrame[] )
L'encodage de la trame est effectué par EncodeMPT1327
L'opérateur [] permet l'accès direct à la trame en lecture seule
La fonction membre privée CRC calcule celui ci
La classe d'exception ErreurIndice déclenche une exception lors
d'un accès à une trame hors avec un indice non valide
*/

class cTFrameEncode : public cTFrame
{
private :
byte Tx[8];

public :
class ErreurIndice { };

cTFrameEncode ( );
cTFrameEncode ( const byte bTrame[] );
void Init ( const byte bTrame[] );
void EncodeMPT1327 ( );
const byte& operator[] ( int indice );
friend ostream& operator<< ( ostream& f,
const cTFrameEncode& trame);
private :
ushort CRC ( );
};
```

Q 2.3) Déclarer la classe *cTFrameDécode* (utiliser le dossier réponse). On utilisera la description des paramètres de fonction donnés dans le document réponse.

```
/*
cTFrameDecode encapsule le décodage des trames
Une trame à décoder est construite à l'aide du constructeur
cTFrameDecode ( const byte bTrame[] )
Le décodage de la trame est effectuée par DecodeMPT1327
L'opérateur [] permet l'accès direct à la trame en lecture
seule en version finale) et en lecture/ecriture pour la
mise au point.
La fonction membre privée Syndrome calcule celui - ci
La fonction membre privée wDichoTabCorection effectue une re-
cherche dichotomique dans le tableau de correction en
fonction du syndrome passé en paramètre
*/

class cTFrameDecode : public cTFrame
{
private :
byte Rx [8];

public :
class ErreurIndice { };
class ErreurTrame { };

cTFrameDecode ( );
cTFrameDecode ( const byte bTrame[] );
```

```

void Init ( const byte bTrame[] );
void DecodeMPT1327 ( );
friend ostream& operator<< ( ostream& f,
    const cTrameDecode& trame);
#ifdef _DEBUG
    byte& operator[] ( int indice );
#else
    const byte& operator[] ( int indice );
#endif
private :
    ushort Syndrome ( );
    int wDichoTabCorection ( word wSyndrome );
};

```

Q 2.4) Donner le code des fonctions membres *GetBit* et *SetBit* (utiliser le dossier réponse). Ecrire la fonction membre Ce syndrome peut-il corriger les erreurs.

```

/*
    Nom : cTrame::GetBit
    Paramètres 1 : adresse de la trame
    2 : numéro du bit dans la trame
    V. retour : valeur du bit dans le bit b0
    Description : les bits sont numérotés de façon suivante :
    x7 x6 x3 x0
    bTrame[0] : b1 b2 b3 ... b8
    bTrame[1] : b9 ... b16
    ...
*/
ushort cTrame::GetBit( const byte bTrame[], ushort n )
{
    n-- ;
    return( (0x80 & (bTrame[n/8] << (n%8))) >> 7 ) ;
}
/*
    Nom : cTrame::SetBit
    Paramètres 1 : adresse de la trame
    2 : numéro du bit dans la trame
    2 : valeur du bit
    V. retour : néant
    Description : les bits sont numérotés de façon suivante :
    x7 x6 x3 x0
    bTrame[0] : b1 b2 b3 ... b8
    bTrame[1] : b9 ... b16
    ...
*/

void cTrame::SetBit( byte bTrame[], ushort n, ushort val )
{
    const byte val_bit[] = { 0x80, 0x40, 0x20, 0x10, 0x08,
        0x04, 0x02, 0x01 } ;

    n-- ;
    if ( !val )
        bTrame[n/8] &= ~val_bit[n%8] ;
    else
        bTrame[n/8] |= val_bit[n%8] ;
}

```

Q 2.5) Donner le code des fonctions membres *Parite* (utiliser le dossier réponse).

```
/*
  Nom : cTrame::Parite
  Paramètres 1 : adresse d'un polynôme
  V. retour : true = parité impaire
  Description : calcule la parité d'une trame encodé
*/
bool cTrame::Parite( const byte bTrame[] )
{
    unsigned cpt_parity = 0 ;

    for( int i = 1; i < 64; i++ )
    {
        if( GetBit( bTrame, i ) )
            cpt_parity++ ;
    }
    return( cpt_parity % 2 == 1 ) ;
}
```

Q 2.6) Le constructeur *cTrameEncode(const byte bTrame[])* reçoit en paramètre une trame brute qu'il recopie dans *Tx* aux indices 0..5. Donner le code de ce constructeur. Nota la fonction membre *Init* réalise le même code (utiliser le dossier réponse).

```
/*
  Nom : cTrameEncode::cTrameEncode()
  Paramètres 1 : adresse source d'une trame brute
  Description : initialise T(x) avec une trame brute
*/
cTrameEncode::cTrameEncode( const byte bTrame[] )
{
    for ( int i=0; i < 6; i++ )
        Tx[i] = bTrame[i];
}
```

Q 2.7) Cette classe comporte également un constructeur par défaut. Dans le cas de l'application *Réseau d'alerte des pompiers*, quel intérêt y a t'il de déclarer ce type de constructeur. Justifier dans ce cas la fonction membre *Init* (utiliser le dossier réponse).

Le constructeur par défaut permettra d'instancier un tableau de trame cas de la trame CTRL envoyé par le CTX aux relais.
Init permet de charger les trames brutes dans le tableau.

Q 2.8) Une fois les trames encodées l'accès aux trames en lecture seule s'effectue l'aide de l'opérateur surchargé *[]*. En cas de débordement d'indice (indice < 0 ou indice > 7) une exception *ErreurIndice* est levée. Donner le code de cette opérateur (utiliser le dossier réponse).

```
/*
  cTrameEncode::opérateur [ ] surchargé
  Paramètres 1 : index
  Description : autorise l'accès en lecture seule d'un
                  élément d'une trame encodée
  Appels : un accès hors indice déclenche une exception
  ErreurIndice
*/

const byte& cTrameEncode::operator[]( int i )
{
```

```

    if ( i < 0 || i > 7 )
        throw ErreurIndice();
    return Tx[i];
}

```

Q 2.9) La fonction membre **CRC** calcule le CRC de la trame suivant §5.2 du document technique. Donner le code de cette fonction (utiliser le dossier réponse).

```

/*
    Nom : cTrameEncode::CRC()
    V. retour : valeur du CRC dans les bits x6..x0
    Description : calcule le CRC d'une trame brute
*/

ushort cTrameEncode::CRC()
{
    ushort bit ;
    ushort ckbits = 0;

    for( int i = 1; i<=48; i++ )
    {
        bit = GetBit( Tx, i ) ;
        if( bit^(ckbits>>15) )
            ckbits ^= 0x ;
        ckbits <<= 1 ;
    }
    return ( ckbits >> 1 );
}

```

Q 2.10) La fonction membre **EncodeMPT1327** encode la trame *Tx* au format MPT1327. Donner le code de cette fonction (utiliser le dossier réponse).

```

/*
    Nom : cTrameEncode::EncodeMPT1327()
    Description : construit dans Tx une trame au format MPT1327
    Appels : CRC, Parite
*/

void cTrameEncode::EncodeMPT1327()
{
    ushort ck ;

    ck = ( CRC() ^ 1 ) << 1;
    Tx[6] = (byte)((ck & 0xFF00)/256);
    Tx[7] = (byte)( ck & 0x00FF);
    if( Parite( Tx ) )
        Tx[7] |= 1;
}

```

Q 2.11) Afin de faciliter la mise au point, l'opérateur d'injection de flux << est surchargé pour cette classe. Il permet d'injecter le contenu d'une trame transcodée au format hexadécimal dans le flux passé en paramètre. Donner le code de cet opérateur (utiliser le dossier réponse).

```

ostream& operator<< ( ostream& f, const cTrameEncode& trame)
{
    for ( int i = 0; i < 8; i++ )
        f << setw(2) << setiosflags( ios::hex )
            << (ushort)trame.Tx[i] << ' ';
    cout << endl;
    return f;
}

```

Q 2.12) Le constructeur `cTrameDecode(const byte bTrame[])` reçoit en paramètre une trame encodée au format *MPT1327* qu'il copie dans `Rx` (indice 0..7). Nota la fonction membre *Init* réalise le même code. Le syndrome de la trame est calculée par la fonction membre *Syndrome* suivant l'algorithme donné dans le dossier technique §5.3. Donner le code de la fonction *Syndrome* (utiliser le dossier réponse).

```
/*
  Nom : cTrameDecode::Syndrome
  V. retour : x14..x0 == 0 si la trame ne comporte pas
  d'erreur
  x15 == 1 si la trame est paire
  Appels : GetBit
  Description : Calcule la parité et le Syndrome d'une trame
  encodée.
  Retourne le bit de parité de la trame dans
  x15 et la valeur du Syndrome dans x14..x0.
*/

ushort cTrameDecode::Syndrome()
{
    ushort bit ;
    ushort parity = 0 ;
    ushort syndrome = 0 ;

    for( int i = 1 ; i<=64 ; i++ )
    {
        bit = GetBit( Rx, i ) ;
        parity ^= bit ;
        if( i==63 )
            bit ^= 1 ;
        if( i<64 )
        {
            syndrome <= 1 ;
            if( bit ^(syndrome >> 15) )
                syndrome ^= 6x ;
        }
    }
    return( parity? (syndrome | 0x8000) : (syndrome & 0x7FFF) );
}
```

Q 2.13) Le syndrome, s'il est différent de zéro signifie qu'il y a eut erreur de transmission. La valeur du syndrome permet de déterminer les bits en erreur grâce à la table donné dans le dossier technique figure 5.4. Déclarer une structure *STRUCT_ERROR_CORRECTION* décrivant un élément du tableau de correction (zone grisé figure 5.4 du dossier technique). Initialiser de façon statique un tableau *tab_error_correction* avec les éléments du tableau figure 5.4 (on donnera uniquement les deux premières lignes et la dernière ligne) (utiliser le dossier réponse).

```
struct STRUCT_ERROR_CORRECTION
{
    ushort syndrome ;
    byte bit1, bit2 ;
};

STRUCT_ERROR_CORRECTION tab_error_correction[] =
{
    /* Syndrome, n° Bits Error 1, n° Bits Error 2 */
```

```

0x0003, 14, 15, 0x0006, 13, 14, 0x000C, 12, 13, 0x0018, 11,
    12,
    ...
0xF40A, 16, 0, 0xF91F, 27, 0, 0xFC69, 53, 0
};

```

Q 2.14) La fonction membre *wDichoTabCorection* effectue une recherche dichotomique dans la table *tab_error_correction* en utilisant un syndrome comme clé. Donner le code de cette fonction (utiliser le dossier réponse).

```

/*
Nom : cTrameDecode::wDichoTabCorection
Parametre 1 : valeur du Syndrome d'une trame
V. Retour : indice dans la table contenant la valeur du
Syndrome ou -1 si non trouvé
Description : effectue une recherche dichotomique dans la
table tab_error_correction en utilisant le
Syndrome comme clé
*/

int cTrameDecode::wDichoTabCorection( word wSyndrome )
{
    int Haut, Bas, Milieu ;
    word *pw ;

    Bas = 0 ;
    Haut = (sizeof(tab_error_correction)/
            sizeof(STRUCT_ERROR_CORRECTION))-1;

    pw =
        (word*)&tab_error_correction[Milieu=(Bas+Haut)/2].syndrom
        e;

    while( (Bas<=Haut) && (*pw!=wSyndrome) )
    {
        if( *pw<wSyndrome )
        {
            Bas = Milieu+1 ;
        }
        else
        {
            Haut = Milieu-1 ;
        }
        pw =
            (word*)&tab_error_correction[Milieu=(Bas+Haut)/2].syndrome;
    }
    return( (*pw==wSyndrome) ? Milieu : -1 ) ;
}

```


Q 2.15) La fonction membre *DecodeMT1327* vérifie la validité de la trame reçue et en corrige les éventuelles erreurs. Si une erreur n'a pas pu être corrigée la fonction lève une exception *ErreurTrame*. Donner le code de cette fonction (utiliser le dossier réponse).

```

/*
  Nom : cTrameDecode::DecodeMPT1327()
  Description : décode une trame MPT1327 et tente de corriger
               les
               erreurs simples et doubles.
  Déclenche une exception ErreurTrame en cas de
  trame erronée.
  Appel : Syndrome, wDichoTabCorection, SetBit, GetBit
*/

void cTrameDecode::DecodeMPT1327()
{
    byte pos_bit ;
    word iw ;
    word syndrome = Syndrome();
    if ( syndrome == 0 )
        return;
    if( iw = wDichoTabCorection( syndrome ) != -1)
    {
        /* Inversion du premier bit faux */
        pos_bit = tab_error_correction[iw].bit1 ;
        SetBit( Rx, pos_bit, !GetBit( Rx, pos_bit ) ) ;

        /* Inversion du 2ème bit faux contiguë (si spécifié) */
        if( pos_bit = tab_error_correction[iw].bit2 )
        {
            SetBit( Rx, pos_bit, !GetBit( Rx, pos_bit ) ) ;
        }
        return;
    }
    throw ErreurTrame();
}

```

Q 2.16) Proposer un test unitaire en encodant puis décodant la trame figure 5.1 du dossier technique. Proposer un deuxième test permettant de vérifier la capacité de correction d'erreur du protocole MPT1327. Les exceptions seront interceptées et gérées de façon suivante : une erreur de trame irrécupérable provoque un nouveau décodage avec une erreur corrigible. (utiliser le dossier réponse).

```

#include "cTrame.h"
#include <iostream.h>
#include <iomanip.h>
#include "cTrame.h"

byte t[6] = { 0x89, 0xAB, 0xCD, 0xEF, 0x12, 0x34 };

int main()
{
    cTrameEncode Txt(t);
    Txt.EncodeMPT1327();
}

```

```

cout << Txt;
cTrameDecode Rxt(&Txt[0]);

// Générer une erreur récupérable ( erreur simple ou double )
Rxt[0] = 0x12;

try { Rxt.DecodeMPT1327(); }
catch ( cTrameDecode::ErreurTrame )
{
cout << "ErreurTrame" << endl;
Rxt[0] = 0x11;
Rxt.DecodeMPT1327();
}

cout << Rxt;

// Générer une erreur non récupérable (triple) et corriger par une
// deuxième lecture.
Rxt[0] = 0x35;
for (;;) {
try {
Rxt.DecodeMPT1327();
break;
}
catch ( cTrameDecode::ErreurTrame )
{
cout << "ErreurTrame" << endl;
Rxt[0] = 0x11;
}
}

cout << Rxt;

return 0;
}

```

TROISIEME PARTIE : « CONCEPTION D'UNE SEQUENCE PEDAGOGIQUE »

3.1 QUESTIONS PRELIMINAIRES AU TRAVAIL PEDAGOGIQUE

Q C1)

- RS232 : liaison bipoint sur courte distance < 15m.
- RS422 : liaison bipoint différentielle à haute vitesse.
- RS485 : liaison multipoint différentielle avec un maximum de 64 nœuds.

Q C2) Quel type de connexion faut-il établir afin de mettre en réseau les cartes VTXCOM.

- La liaison RS485 est la solution la plus simple, la liaison RS422 nécessiterait un chaînage entre station.

Q C3) Quelles sont les couches du modèle OSI sollicitées lors de l'élection d'un relais. Préciser les éléments sollicitant ces couches.

- Les trois couches basses : ces couches assurent la transmission et l'acheminement à travers le réseau.
 - Couche physique (couche 1) : réalise la transmission des éléments constitutifs de la trame sur le support suivant des caractéristiques physiques, électriques et mécaniques définies par la norme RS485.
 - Couche liaison (couche 2) : assure un service de transport de trames sur la ligne et dispose des moyens de détection d'erreur.
 - Couche réseau (couche 3) : assure l'acheminement des données groupées en paquets au travers du réseau.
- Les couches 4 et 5 : elles gèrent la communication et les ressources nécessaires à l'échange des messages entre équipements.
 - Couche transport (couche 4) : réalise le découpage des messages en paquets ou le réassemblage des paquets en messages pour la couche supérieure.
 - Couche session (couche 5) : assure l'ouverture et la fermeture des sessions avec les applications et définit les règles d'organisation et de synchronisation du dialogue entre abonnés.

3.2 ELABORATION D'UN SEQUENCE PEDAGOGIQUE

Q C4) A partir du support « Réseau d'Alerte des Pompiers », élaborer l'organisation d'une séquence d'enseignement destinée à des étudiants de BTS électronique ou d'informatique industrielle.

Public visé : BTS IRIS

On se propose de mettre en œuvre le mécanisme d'élection d'un relais tel qu'il est décrit dans le sujet.

Matériel mis en œuvre :

Les cartes de gestion de communications VTXCOM n'étant pas disponibles, on simulera le réseau de stations radio à l'aide d'un réseau comportant un minimum de 5 stations. Ces stations seront composées :

- soit de PC équipés de cartes de communication RS485,
- soit de micros systèmes équipés d'interfaces de communication RS485.
- soit indifféremment des deux types de systèmes précédents.
- le média HF sera remplacé par un média filaire (réseau RS485).

Logiciel et outils de développement

- Le langage disponible sur les cibles devra être obligatoirement un langage Objet (C++, C#, Java).
- La description et l'analyse fonctionnelle fournies aux étudiants seront de type UML.

Eléments mis à disposition :

- Caractéristiques électriques et mécaniques des équipements de communication.
- Normes des équipements de communication.
- Description du CRC16 et table de correction des erreurs en fonction du syndrome.
- Descriptions des bibliothèques objet utilisées par l'environnement de développement. On utilisera de préférence une documentation de type électronique afin de permettre une recherche rapide.

Description succincte des séquences d'enseignement réalisables à partir de ce support.

A. Implémentation des couches basses et moyennes du modèle OSI.

1. Câblage des stations

Durée 1 H 30

Groupe de deux étudiants au maximum.

- Travail demandé
 - Etablissement du plan de câblage.
 - Mise en place des connexions.
 - Définition d'un protocole de tests.
 - Tests.
- Evaluation
 - Protocole de tests permettant la mise en évidence de dysfonctionnements.
 - Vérification de la conformité matérielle (exactitude, respect des normes, ...).

2. Réalisation d'un objet métier permettant l'accès au média. Il s'agit d'implémenter les méthodes de classes d'un composant de communication (dans le cas d'un système embarqué), ou d'une API de communication (dans le cas d'un système d'exploitation).

Cet objet métier devra comporter des méthodes de haut niveau permettant de faire abstraction du composant de communication ou de l'API système sous jacente.

Durée 8 H

Travail individuel

- Travail demandé :
 - A partir d'un diagramme de classe statique fourni, implémenter les méthodes présentes.
 - Définition d'un protocole de test permettant de valider l'objet métier.
 - Validation de l'objet à l'aide du test proposé.
- Connaissances mises en œuvre :
 - Notions avancées de programmation objet (fonction statiques, fonctions de rappel, classes statiques, ...).
 - Gestion des périphériques par scrutation et par interruption (pour les systèmes embarqués).
 - Appels systèmes synchrones et asynchrones (pour les systèmes opérant sous le contrôle d'un SE)

- **Evaluation**
 - Respect des diagrammes de classes.
 - Pertinence des algorithmes utilisés.
 - Validation de l'objet à l'aide du test unitaire exhaustif.

3. Encapsulation des trames.

Il s'agit d'encapsuler les trames de communications (se reporter aux question Q1.6 à Q2.16).

Durée 8 H.

Travail en groupe de 2 étudiants au maximum.

- **Travail demandé**
 - Se reporter aux questions Q1.6 à Q2.16.
 - Définition d'un protocole de tests permettant de valider les objets réalisés.
 - Validation de l'objet à l'aide du test proposé.
- **Connaissances mises en oeuvre**
 - Notions avancées de programmation objet.
 - Codes correcteurs.
- **Evaluation**
 - Respect du diagramme de classe
 - Pertinence des algorithmes utilisés
 - Validation de l'objet à l'aide du test unitaire exhaustif

4. Procédure d'élection d'un relais (Description : se reporter aux question Q1.2 à Q1.4).

Durée 8 H

Travail en groupe de 2 étudiants au maximum.

- **Travail demandé**
 - Mettre en place le protocole d'élection décrit en Q1.2 et Q1.4 (le niveau de réception sera remplacé par une valeur générée de façon aléatoire).
 - Définition d'un protocole de test permettant de valider les objets réalisés.
 - Validation de l'objet à l'aide du test proposé.
- **Connaissances mises en œuvre**
 - Algorithmique.
 - Codes correcteurs.
- **Evaluation**
 - Pertinence des algorithmes utilisés.
 - Validation de l'objet à l'aide du test unitaire exhaustif.

5. Synthèse des travaux précédents.

Durée 1 H

Travail individuel.

- **Travail demandé**
 - Situer les couches OSI dans les éléments mis en oeuvre au TP 4.
- **Connaissances mises en œuvre**
 - Modèle OSI.
 - Codes correcteurs.
- **Evaluation**
 - Pertinence des réponses.

4 QUATRIEME PARTIE GESTION (FP 1)

4.1 DECODAGE D'ADRESSE (FS 1.3)

Travail demandé

Q 4.1) Donner la capacité mémoire de Z_{13} et Z_{18}

Ils ont tous deux une capacité de 2^{17} octets soit 128 ko.

Q 4.2) Identifier les composants qui constituent FS 1.3.

Seuls Z_{16} et Z_{17} participent au décodage d'adresse.

Q 4.3) Identifier les signaux d'entrée et de sortie en précisant leur rôle.

En entrée : A_{15} , A_{18} , A_{19} ,

$\overline{MREQ}$: initie un cycle de lecture / écriture mémoire,

R/W , =1 lecture, = 0 écriture

$\overline{IOSTB}$: indique qu'il s'agit d'un accès I/O

En sortie:

$\overline{CS}$: validation RAM

$\overline{CE}$: validation EPROM

$\overline{IO}$: validation du port de sortie

$\overline{MWR}$: validation d'écriture mémoire

$\overline{MRD}$: validation de lecture mémoire

$\overline{WD}$: validation du watchdog.

Q 4.4) Donner les équations des différents signaux de sortie.

Les HCT 139 sont des doubles décodeurs de 2 vers 4 avec validation active à l'état bas et sorties inversées.

$$\overline{CS} = \overline{A_{18}} \cdot \overline{A_{19}} \cdot \overline{MREQ} \quad \overline{CE} = A_{18} \cdot A_{19} \cdot \overline{MREQ} \quad \overline{MWR} = \overline{R/W} \cdot \overline{MREQ}$$

$$\overline{MWR} = \overline{R/W} \cdot \overline{MREQ} \quad \overline{IO} = \overline{IO} = \overline{\overline{R/W} \cdot A_{15} \cdot \overline{IOSTB}} = \overline{R/W} \cdot A_{15} \cdot \overline{IOSTB}$$

$$\overline{WD} = \overline{\overline{R/W} \cdot A_{15} \cdot \overline{IOSTB}}$$

Q 4.5) En déduire la répartition d'adresses mémoire et I/O (donner un tableau de synthèse).

Sur le μC V25+, la gestion de l'espace adressable est séparé : une partie mémoire, une partie entrée/sortie; ce sont les bits $\overline{IOSTB}$, $\overline{MREQ}$ et $\overline{MSTB}$ (qui n'est pas utilisé ici dans le décodage) qui permet de séparer les 2 espaces.

Mémoire	
RAM	\$00000 à \$1FFFF
Plage image de la RAM	\$20000 à \$3FFFF
Libre	\$40000 à \$BFFFF
EPROM	\$E0000 à \$FFFFFF
Plage image de l'EPROM	\$C0000 à \$DFFFF

Entrée/ Sortie	
Port de sortie	Toutes les adresses en écriture seule où $A_{15} = 0$ entre autres \$00000
Watch Dog	Toutes les adresses en écriture seule où $A_{15} = 1$ entre autres \$FFFFFF, \$08000

4.2 FS 1.6, SAUVEGARDE DES PARAMETRES

Q 4.6) Par quel composant est assurée cette fonction ?

De quel type de mémoire s'agit-il ?

Quelle est sa capacité ?

Cette fonction est assurée par Z_{15} . Il s'agit d'une EEPROM. Sa capacité est de 2 048 bits.

Q 4.7) Que savez-vous de cette technologie ? (4 lignes maxima)

Les EEPROM sont des mémoires non volatiles programmables et effaçables électriquement. Elles sont basées sur des transistors à grille flottante où les charges sont piégées par application dans d'un potentiel élevé et in-

versement pour les évacuer. La technologie utilisée dans le circuit utilisé permet plus d'un million de cycles et l'écriture ne nécessite pas un effacement préalable.

Q 4.8) Quel est son mode d'accès ?

L'accès se fait via un bus série microwire à 4 fils (horloge, D_{in} , D_{out} , sélection)

Q 4.9) Quel type d'organisation est utilisé ici ?

La borne "ORG" étant à la masse, l'organisation est en mot de 8 bits, la capacité en octets est donc de 256.

Q 4.10) Donner l'algorithme de lecture d'un octet à une adresse donnée;

On prendra le prototype suivant: **char read_eeprom(char adr);** où **adr** est l'adresse de la case mémoire à lire. On nomme **C** l'horloge, **S** la broche de sélection, **D** la broche de donnée entrante, **Q** la broche de donnée sortante. Dans le texte on nommera *PortD* le port sur lequel est connecté l'EPROM.

Q	S	C	D
PD ₃	PD ₂	PD ₁	PD ₀

Analyse :

On met $S \leftarrow 1$ puis on doit générer 19 périodes d'horloge sur C; sur les 11 premiers cycles, on envoie les 11 bits de poids forts de W_{instr} (D doit être stable pendant les fronts montants de C) et sur les 8 derniers on maintient $D \leftarrow 0$ et on vient lire **après** chaque front descendant sur C la valeur du bit sur Q que l'on vient "**empiler**" dans **resultat**. Ensuite on met $S \leftarrow 0$.

Algorithme :

compt et **resultat** sont des octets (char)

instr est un mot (word)

Début

resultat $\leftarrow 0$

instr $\leftarrow$ Décaler (0000 0110 0000 0000 | **adr**) 5 fois à gauche
 // ce qui permet d'avoir dans W_{instr} : $1\ 1\ 0\ A_7\ A_6\ A_5\ A_4\ A_3\ A_2\ A_1\ A_0\ 0\ 0\ 0\ 0\ 0$

PortO $\leftarrow$ (**PortO** | 0x04) // (S $\leftarrow 1$)

Pour **compt** $\leftarrow 0$ à 19

Faire

PortO $\leftarrow$ **PortO** & 0xFD // (C $\leftarrow 0$)

Si **compt** < 11

Alors

Si (bit15 de **instr**) == 0

Alors **PortO** $\leftarrow$ (**PortO** & 0xFE) // (D $\leftarrow 0$)

Sinon **PortO** $\leftarrow$ (**PortO** | 0x01) // (D $\leftarrow 1$)

Décaler **instr** 1 fois à gauche

Sinon

Si **compt** == 11 Alors **PortO** $\leftarrow$ (**PortO** & 0xFE) // (D $\leftarrow 0$)

Sinon Décaler **resultat** 1 fois à gauche

Si (**PortO** & 0x01) == 0 // si Q == 0

Alors **resultat** $\leftarrow$ (**resultat** & 0xFE)

Sinon **resultat** $\leftarrow$ (**resultat** | 0x01)

// (C $\leftarrow 1$)

PortO $\leftarrow$ (**PortO** | 0x02)

Fin Faire

PortO $\leftarrow$ (**PortO** & 0xFD) // (C $\leftarrow 0$)

PortO $\leftarrow$ (**PortO** & 0xFB) // (S $\leftarrow 0$)

Renvoyer **resultat**

Fin

Remarque: en fonction de la fréquence du quartz du microcontrôleur on devra peut-être ajouter des temporisations pour répondre aux spécifications temporelles de l'EEPROM.

Q 4.11) Pourquoi n'a-t-on pas utilisé le "C" bus du microcontrôleur pour dialoguer avec l'EEPROM ?

Le "C" bus du V25+ est conçu pour dialoguer sur port série synchrone avec des mots de 8 bits. Or cette EEPROM nécessite des trames dont le nombre de bits n'est pas un multiple de 8. De plus il ne doit pas y avoir de "trous" dans les trames d'instructions (11 bits consécutifs).

5 CINQUIEME PARTIE PROCESS AUDIO (FP 2)

5.1 CHAINE RECEPTION (FS 2.1)

Le constructeur donne un synoptique de la chaîne de réception. (Figure 5.1 ci-dessous).

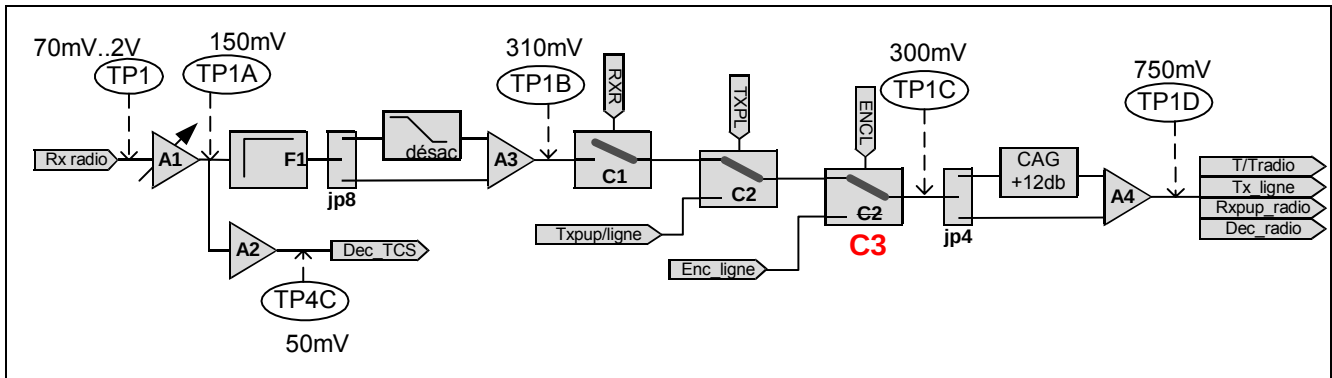


Figure 5.1

Travail demandé

Q 5.1) Identifier les composants qui composent les différents éléments de ce synoptique. (Voir les schémas structurels des figures 3, 4 et 5 1, 2, 3 et 4 du dossier « schémas »). Compléter le tableau dans le dossier réponse.

A1	A2	F1	A3	A4 CAG	C1	C2	C3
Z11A, C38, R48, RV4, R40	Z11C, R49, R45, R47, C10	Filtre intégré dans Z25 entre la broche 10 et 11	Z11D, R42, R41, R44, C39, R46	Z9B et tous les composants associés entre TP1C et TP1D (voir structurel)	Z3C	Z3B	Z3A

Q 5.2) Donner l'expression de V_{TP1A} en fonction de V_{TP1} et V_{Ref} .

$$V_{TP1A} = V_{Ref} \left(1 + \frac{R_b C_{38p}}{(1 + R_a C_{38p})} \right) - V_{TP1} \frac{R_b C_{38p}}{(1 + R_a C_{38p})}$$

$$V_{TP1A} = V_{Ref} + (V_{Ref} - V_{TP1}) \frac{R_b C_{38p}}{(1 + R_a C_{38p})}$$

Avec $R_a = R_{48} + RV_{4a}$ et $R_b = R_{40} + RV_{4b}$ et $RV_{4a} + RV_{4b} = RV_4$.

Q 5.3) En déduire la ou les fréquences caractéristiques et conclure sur le rôle de C_{38} .

Il s'agit d'un filtre passe-haut soustracteur, mais V_{Ref} est une constante (il est découplé par C_{35} , C_{34} et C_{33}) et V_{TP1} est le signal issu de la radio et est donc un signal dont la bande passante est 300 – 3 kHz.

La fréquence de coupure de ce filtre est $f_0 = \frac{1}{2\pi R_a C_{38}}$ suivant le réglage de RV_4 , on aura $f_{0max} = 33$ Hz et

$f_{0min} = 10$ Hz.

Donc quelque soit le réglage de RV_4 , le signal utile n'est pas atténué, le rôle de C_{38} est de découpler la composante continue de V_{TP1} et d'aligner celle de V_{TP1A} sur V_{Ref} .

Q 5.4) Donner alors une expression simplifiée de v_{TP1A} en fonction v_{TP1} dans la bande utile du signal.

$$v_{TP1A} = -v_{TP1} \frac{R_b}{R_a}$$

Q 5.5) Justifier la valeur de RV_4 en tenant compte des valeurs en TP1 et TP1A préconisées par le constructeur.

L'amplification minimale est $A_{min} = 0,068$ et maximale : $A_{max} = 2,34$.

Le niveau max en TP1A doit être de 250 mV. $65 \text{ mV} < V_{TP1} < 2 \text{ V} \rightarrow 4,4 \text{ mV} < V_{TP1A} < 136 \text{ mV}$ pour A_{min} et

$152 \text{ mV} < V_{TP1A} < 4,68 \text{ V}$ (saturation de l'AOP) pour A_{max}

On peut donc conclure que RV_4 permet un réglage correct sur toute l'étendue de V_{TP1} .

Q 5.6) Quel est le rôle de V_{REF} ?

V_{Ref} a pour rôle de polariser les LM324 à 2 V parce qu'ils sont alimentés en tension simple. Le choix de la valeur 1,4 V se justifie pour placer le point de repos au milieu de la plage utile de la tension de sortie des LM324.

Le signal destiné au décodeur TCS ne subit pas de filtrage par F1, mais est simplement amplifié par A2.

Q 5.7) Justifier l'absence de condensateur de couplage entre A1 et A2.

Comme il a été montré à la question Q 5.2) $V_{TP1A} = V_{Ref} \left(1 + \frac{(R_b C_{38} p)}{(1 + R_a C_{38} p)}\right) - V_{TP1} \frac{(R_b C_{38} p)}{(1 + R_a C_{38} p)}$

en continu cela donne $V_{TP1A} = V_{Ref}$.

L'amplification de Z11C a pour expression $V_{R47} = V_{Ref} + V_{Ref} \frac{R_{45}}{R_{49}} - V_{TP1A} \frac{R_{45}}{R_{49}}$

donc en continu $V_{R47} = V_{Ref} + V_{Ref} \frac{R_{45}}{R_{49}} - V_{TP1A} \frac{R_{45}}{R_{49}} = V_{Ref}$ ce qui est bien la composante continue recherchée, un condensateur de couplage est donc inutile.

Q 5.8) Justifier la valeur de C_{10} .

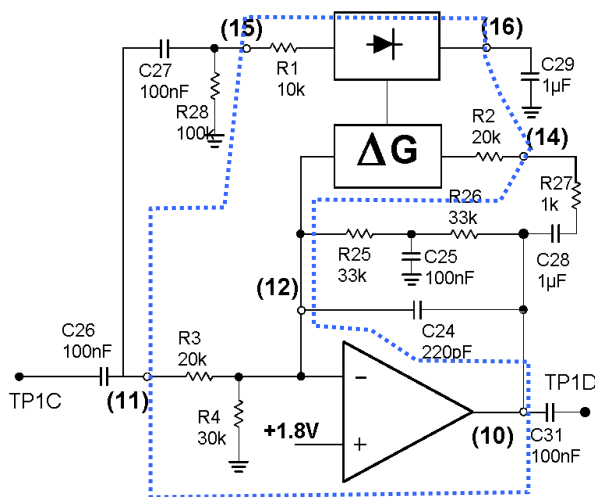
Le signal en sortie Z11C a une composante continue de 2 V. La documentation du décodeur TCS précise: "This input is internally biased to $V_{DD}/2$ and requires to be a.c. coupled or biased." Sur l'application type, le condensateur de liaison a une valeur de 1,5 μF or ici C_{10} a une valeur de 100 nF. La résistance d'entrée à la borne 16 est de 350 k Ω min.

$$f_0 = \frac{1}{2\pi R_{in} C_{10}} = 4,5 \text{ Hz max donc la valeur de 100 nF convient quand même.}$$

5.2 CONTROLE AUTOMATIQUE DE GAIN.

On supposera dans les questions qui suivent que le cavalier JP_4 est en position 1.

Q 5.9) Redessiner le schéma en faisant apparaître le diagramme interne du composant.



Le signal d'entrée, découplé par C_{26} et C_{27} attaque le redresseur qui pilote la cellule de contrôle de gain. Le pointillé bleu délimite les frontières du composant.

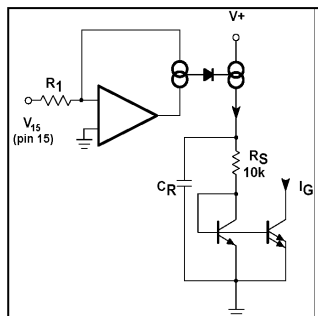
Q 5.10) Quel est le type de fonctionnement utilisé pour ce CI (compresseur ou expandeur) ?

Le câblage utilisé est plus proche du compresseur que de l'expandeur.

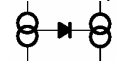
La cellule de gain (ΔG) est placée dans la chaîne de contre-réaction de l'AOP interne, par contre, le redresseur pilote la cellule de gain par le biais de la tension d'entrée. On est bien dans une configuration CAG.

Extraction de l'amplitude (redresseur/moyenneur)

Le constructeur donne pour le redresseur/moyenneur le schéma de principe simplifié suivant:



La documentation précise que le potentiel de la borne non inverseuse de l'AOP est en réalité reliée à $V_{REF} = 1.8V$, il s'agit d'un schéma pour les variations de V_{15} , puisqu'on aura pris soin de mettre une capacité de liaison pour aligner le potentiel continu de V_{15} à V_{REF} .



Symbolise un miroir de courant avec redressement double alternance.

Travail demandé

Q 5.11) Donner l'expression du courant dans R_S ($I_{RS}(p)$)

$$I_{RS}(p) = I_{rect}(p) \times \frac{1}{1 + R_S C_R p} \text{ et } i_{rect}(t) = \frac{|V_{15}(t)|}{R_1} \text{ donc } I_{RS}(p) = \frac{I_p(|V_{15}|)}{R_1} \times \frac{1}{1 + R_S C_R p}$$

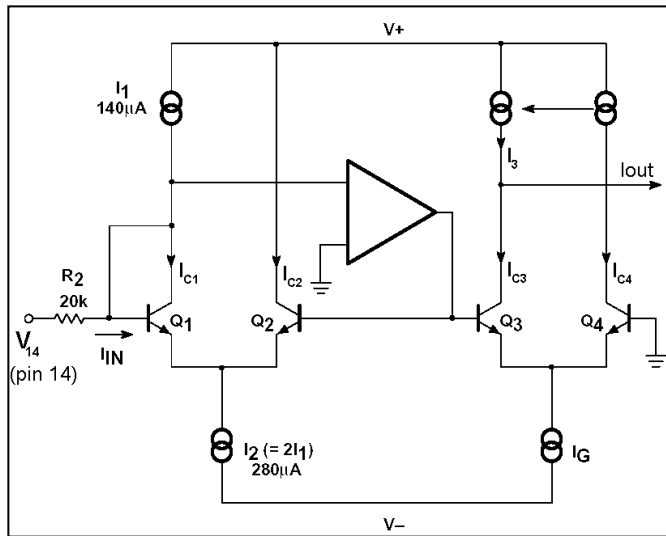
Q 5.12) En déduire que pour une constante de temps $R_S C_R$ correctement calculée que $I_{RS} = \frac{|V_{15}|_{mov}}{R_1}$, en déduire l'expression de I_G .

$|V_{15}|$ peut se décomposer en une composante continue égale à sa valeur moyenne $|V_{15}|_{mov}$ et des composantes alternatives à $2 \times f_{V15}$, $4 \times f_{V15}$, $6 \times f_{V15}$... Si la constante de temps $R_S C_R$ est suffisante la composante alternative est fortement atténuée et $I_{RS} = \frac{|V_{15}|_{mov}}{R_1}$.

Le 2^{ème} transistor du miroir de courant de sortie a 2 émetteurs donc $I_G = 2 \times I_{RS} = 2 \times \frac{|V_{15}|_{mov}}{R_1}$.

Cellule à gain variable

La cellule à gain variable est commandée par le courant I_G calculé ci-dessus. Le constructeur donne un schéma de principe simplifié de cette cellule :



Même remarque que précédemment concernant le potentiel de référence ($\frac{1}{2} \leftrightarrow V_{REF}$)

L'AOP permet de forcer une variation linéaire de courant entre Q_1 et Q_2 .

Travail demandé

Q 5.13) Montrer que $I_{OUT} = \frac{V_{14} I_G}{R_2 I_1}$.

$I_{C1} = I_1 + I_{IN}$; on a $I_{C1} + I_{C2} = I_2$; donc $I_{C2} = I_2 - I_1 - I_{IN}$ or $I_2 = 2 \times I_1$ donc $I_{C2} = I_1 - I_{IN}$

En supposant que les 4 transistors soient appairés, Q_3 étant piloté par le même potentiel base que Q_2 , on peut écrire :

$$\frac{I_{C1}}{I_{C2}} = \frac{I_{C3}}{I_{C4}} = \frac{I_1 + I_{IN}}{I_1 - I_{IN}}$$

On a aussi $I_{C3} + I_{C4} = I_G$ et $I_{C3} = I_{C4} - I_{OUT}$ donc $I_{C4} = \frac{I_G + I_{OUT}}{2}$ et $I_{C3} = \frac{I_G - I_{OUT}}{2}$

Ce qui conduit à $\frac{I_G + I_{OUT}}{I_G - I_{OUT}} = \frac{I_1 + I_{IN}}{I_1 - I_{IN}}$

d'où : $(I_G + I_{OUT})(I_1 - I_{IN}) = (I_G - I_{OUT})(I_1 + I_{IN})$

$\rightarrow I_G I_1 - I_G I_{IN} + I_{OUT} I_1 - I_{OUT} I_{IN} = I_G I_1 + I_G I_{IN} - I_{OUT} I_1 - I_{OUT} I_{IN} \rightarrow I_{OUT} I_1 = I_G I_{IN}$

$\rightarrow I_{OUT} = \frac{I_G I_{IN}}{I_1}$ mais $I_{IN} = \frac{V_{14}}{R_2}$ donc $I_{OUT} = \frac{V_{14} I_G}{R_2 I_1}$

Q 5.14) De quelle façon R_{27} modifie l'expression de I_{OUT} ?

R_{27} est en série avec R_2 , cela revient à avoir $R_2 = 21 \text{ k}\Omega$ au lieu de $R_2 = 20 \text{ k}\Omega$

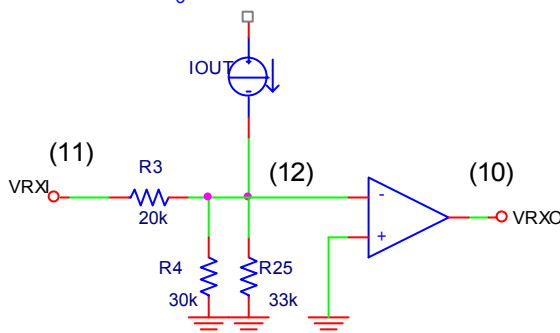
Q 5.15) En supposant que la résistance R_{28} n'est pas connectée, montrer que le gain de l'ensemble est :

$$G = \frac{V_{RXO}}{V_{RXI}} = \frac{V_{RXO \text{ eff}}}{V_{RXI \text{ eff}}} = \frac{1}{R_3} \times \frac{R_2 R_1 I_1}{2(|V_{RXI}|_{\text{moy}})}$$

En déduire que pour un signal V_{RXI} sinusoïdal la valeur efficace de V_{RXO} est constante.

Donner sa valeur numérique.

L'AOP entre les bornes (12) et (10) est considéré comme parfait et en contre réaction donc $V_{(12)} = 0$. Donc on peut écrire : $\frac{V_{RXI}}{R_3} + I_{OUT} = 0$



$$\frac{V_{RXI}}{R_3} + \frac{V_{14} I_G}{R_2 I_1} = 0 \text{ avec } V_{14} = V_{RXO} \text{ et } I_G = 2 \times \frac{|V_{15}|_{\text{moy}}}{R_1}$$

$$\text{et } |V_{15}|_{\text{moy}} = |V_{RXI}|_{\text{moy}} \rightarrow \frac{V_{RXI}}{R_3} = - \frac{V_{RXO} I_G}{R_2 I_1} \rightarrow V_{RXO}/V_{RXI} = -$$

$$\frac{R_2 I_1}{R_3 I_G}$$

$$\frac{V_{RXO}}{V_{RXI}} = - \frac{R_2}{R_3} \frac{R_1 I_1}{2 |V_{RXI}|_{\text{moy}}} \text{ d'où } \frac{V_{RXO \text{ eff}}}{V_{RXI \text{ eff}}} = \frac{R_2}{R_3} \frac{R_1 I_1}{2 |V_{RXI}|_{\text{moy}}}$$

$$V_{RXO \text{ eff}} = \frac{V_{RXI \text{ eff}}}{|V_{RXI}|_{\text{moy}}} \times \frac{R_1 R_2 I_1}{2 R_3} \text{ or si } V_{RXI} \text{ est sinusoïdal, le rapport } \frac{V_{RXI \text{ eff}}}{|V_{RXI}|_{\text{moy}}} \text{ est constant et égal à } \frac{\pi}{2\sqrt{2}}$$

$$\text{Si } V_{RXI} \text{ est sinusoïdal alors } V_{RXO \text{ eff}} = \frac{\pi}{2\sqrt{2}} \times \frac{R_1 R_2 I_1}{2 R_3} = 0,77 V_{\text{eff}}$$

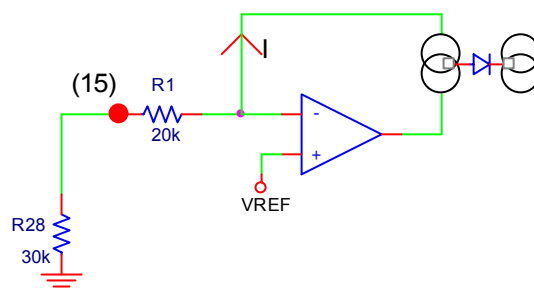
Dans le schéma, on a introduit entre la borne 15 et la masse une résistance R_{28} .

Q 5.16) Montrer que cette résistance introduit un offset sur le courant I_{R1} égal à

$$-\frac{V_{REF}}{R_1 + R_{28}}$$

En continu, on peut considérer C_{27} ouvert :

Donc il vient immédiatement que $I = -\frac{V_{REF}}{R_1 + R_{28}}$



Q 5.17) En déduire l'influence sur I_G puis sur l'ensemble du dispositif CAG. Quel est donc le rôle de R_{28} ?

I_G devient: $2 \times \left(\frac{|V_{15}|_{moy}}{R_1} + \frac{V_{REF}}{R_1 + R_{28}} \right)$. A la question QE15) nous avons $\frac{V_{RXO}}{V_{RXI}} = -\frac{R_2}{R_3} \frac{I_1}{I_G}$

$\frac{V_{RXO}}{V_{RXI}} = -\frac{R_2}{R_3} \frac{R_1 I_1}{2(|V_{RXI}|_{moy} + \frac{R_1}{R_1 + R_{28}} V_{REF})}$ Donc pour des petites valeurs de V_{RXI} le gain ne tendra pas vers l'infini et

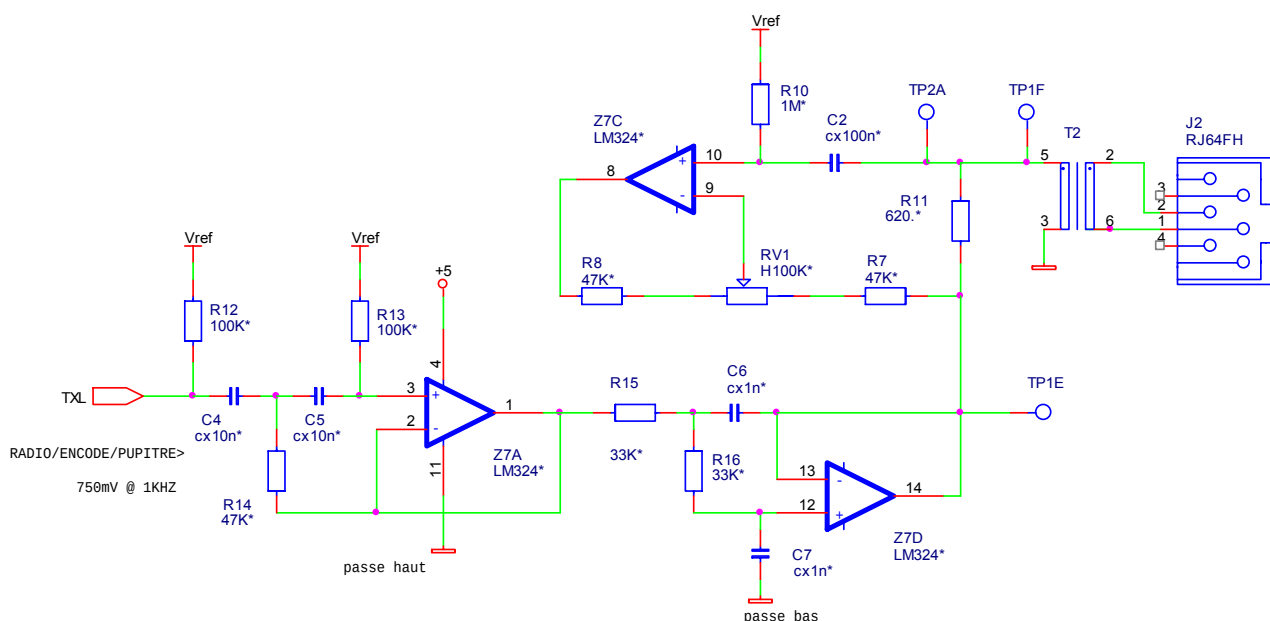
sera plafonné à $\frac{R_2}{R_3} \frac{(R_1 + R_{28})}{V_{REF}} I_1 \approx 8,6$ soit 18,6 dB. Le rôle de R_{28} est donc de plafonner le gain du CAG.

5.3 FS 2.3 INTERFACE LIGNE

On se placera dans le cas d'une utilisation **simplex**, mode TX **direct** et interface ligne **interne**.

Travail demandé

Q 5.18) Donner un schéma équivalent simplifié entre TP1E et TXL.



Q 5.19) Donner l'expression littérale du gain $\frac{V_{TP1E}}{V_{TXL}}$.

Les structures autour de Z7A et Z7D sont des filtres de type Sallen-Key; Z7A constitue un filtre passe haut et Z7D constitue un filtre passe bas.

La fonction de transfert de Z7A est :

$$H_{Z7A}(p) = \frac{R_{14} C_4 R_{13} C_5 p^2}{1 + R_{14} (C_4 + C_5) p + R_{14} C_4 R_{13} C_6 p^2}$$

On a $C_4 = C_5 = C = 10 \text{ nF}$

$$H_{Z7A}(p) = \frac{2R_{14}R_{13}C^2.p^2}{1 + 2.R_{14}C.p + R_{14}R_{13}C^2.p^2}$$

La pulsation de coupure sera $\omega_0 = \frac{1}{C\sqrt{R_{14}R_{13}}}$ et $f_0 = \frac{1}{2\pi C\sqrt{R_{14}R_{13}}}$

$$\text{Le facteur de qualité } Q = \frac{1}{2} \sqrt{\frac{R_{13}}{R_{14}}}$$

La fonction de transfert de Z_{7D} est :

$$H_{Z7D}(p) = \frac{1}{1 + (R_{15} + R_{16})C_7.p + R_{15}C_6R_{16}C_7.p^2} \text{ On a } R_{15} = R_{16} = R' = 33 \text{ k}\Omega \text{ et } C_6 = C_7 = C' = 1 \text{ nF}$$

$$H_{Z7D}(p) \approx \frac{1}{1 + 2R'C'.p + R'^2C'^2.p^2}$$

La pulsation de coupure sera $\omega'_0 = \frac{1}{R'C'}$ et $f'_0 = \frac{1}{2\pi R'C'}$

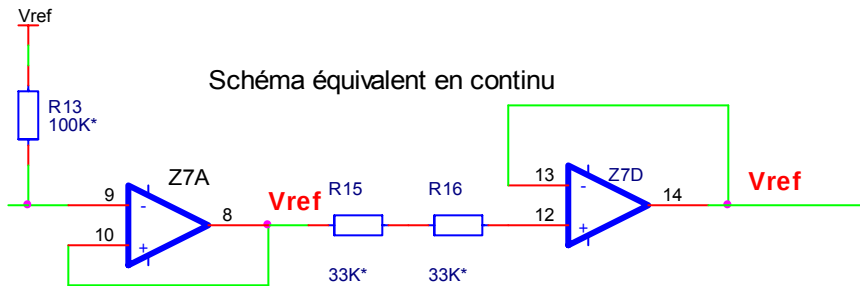
$$\text{Le facteur de qualité } Q' = \frac{1}{2}$$

$$\frac{V_{TP1E}}{V_{TXL}}(p) = H_{Z7A}(p) \times H_{Z7D}(p)$$

Q 5.20) De quel type de filtre s'agit-il ? Donner les fréquences caractéristiques.

L'ensemble constitue un filtre passe bande $f_0 = 232 \text{ Hz}$ et $f'_0 = 4 \text{ 822 Hz}$

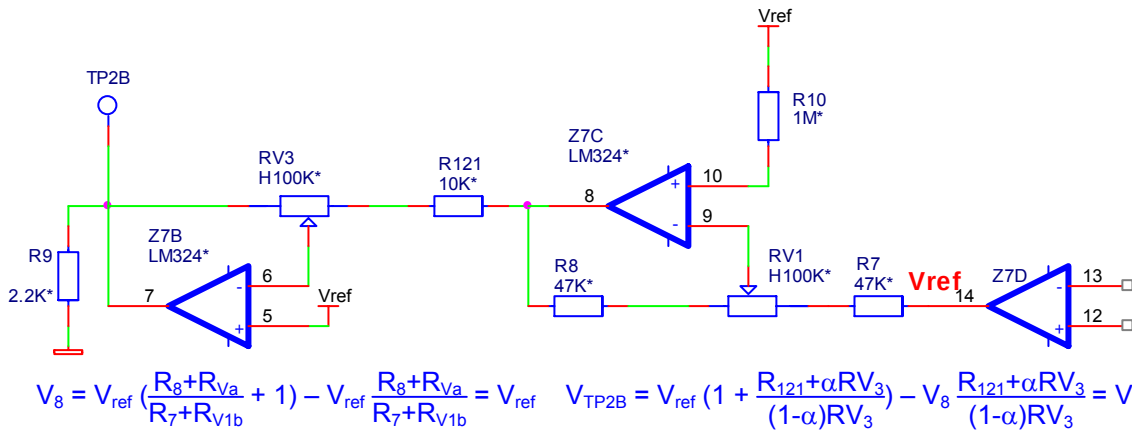
Q 5.21) Quelles sont les valeurs des potentiels continus en sortie de Z_{7A} et Z_{7D} ?



En continu, en sortie de Z_{7A} , on aura V_{REF} ainsi qu'en sortie de Z_{7D} .

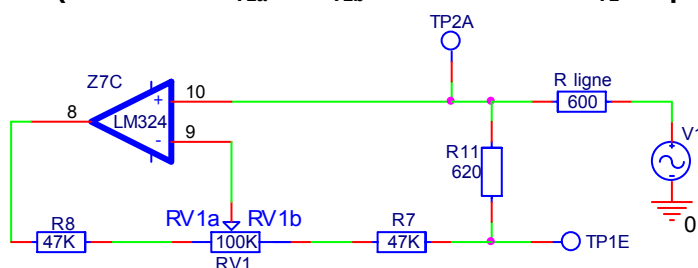
On supposera l'impédance de ligne égale à 600Ω et les transformateurs de ligne parfaits.

Q 5.22) Analyser la structure autour de Z_{7C} en continu et donner la valeur du potentiel continu en S_2 . **TP2B**



Donc, quelque soit le réglage de R_{V1} , la composante continue de TP2B ne change pas.

Q 5.23) Donner l'expression littérale de v_{S1} la sortie de Z_{7C} en fonction de v_{TP1E} et v_{ligne} (V_{TP2A}) (On notera R_{V1a} et R_{V1b} les valeurs de R_{V1} de part et d'autre du curseur).



$$V_{S1} = V_{TP2A} \left(1 + \frac{R_8 + R_{V1a}}{R_7 + R_{V1b}}\right) + V_{TP1E} \left(\frac{R_{\text{ligne}}}{R_{\text{ligne}} + R_{11}} \left(1 + \frac{R_8 + R_{V1a}}{R_7 + R_{V1b}}\right) - \frac{R_8 + R_{V1a}}{R_7 + R_{V1b}}\right)$$

$$V_{S1} = V_{TP2A} \left(1 + \frac{R_8 + R_{V1a}}{R_7 + R_{V1b}}\right) + V_{TP1E} \cdot \frac{1}{2} \cdot \left(1 - \frac{R_8 + R_{V1a}}{R_7 + R_{V1b}}\right)$$

On notera $R_{V1a} = \alpha R_{V1}$ et $R_{V1b} = (1 - \alpha) R_{V1}$; comme $R_7 = R_8$ on les notera R

$$V_{S1} = V_{TP2A} \left(1 + \frac{R + \alpha R_{V1}}{R + (1 - \alpha) R_{V1}}\right) + V_{TP1E} \cdot \frac{1}{2} \cdot \left(1 - \frac{R + \alpha R_{V1}}{R + (1 - \alpha) R_{V1}}\right)$$

La documentation de SYSTEL indique que « le rapport entre le signal Rx_{ligne} et le retour doit être au moins de 20 dB ».

Q 5.24) Quel doit être le réglage de R_{V1} pour respecter cette consigne dans les conditions énoncées ci-dessus ?

La partie de V_{TP1E} réinjectée doit être atténuée de 20 dB $\rightarrow 20 \log \left(\left| \frac{1}{2} \cdot \left(1 - \frac{R + \alpha R_{V1}}{R + (1 - \alpha) R_{V1}}\right) \right| \right) \leq -20$ dB

$$\rightarrow \left| 1 - \frac{R + \alpha R_{V1}}{R + (1 - \alpha) R_{V1}} \right| \leq 2 \cdot 10^{-1}$$

$\rightarrow 0,39 \leq \alpha \leq 0,59$ en dehors de cette plage, l'atténuation par rapport V_{TP1E} sera inférieure à 20 dB

Q 5.25) Quelle est l'influence des caractéristiques du transformateur ?

L'impédance ramenée en V_{TP2A} sera modifiée, il faudra procéder à un réglage de R_{V1} .

6 SIXIEME PARTIE FP3 ENCODAGE/ DECODAGE

La fonction FP3 assure les codages et décodage de 3 types: numérique FFSK, TCS et 5 Tons.

Ces 3 codages sont assurés par des circuits de la même famille: le FX803 (5 tons), le FX805 (TCS) et le FX809 (FFSK). Ils sont connectés à FP1 via le "C" bus, par 3 fils d'interruption et une validation commune aux 3 circuits. Les entrées et sorties BF transitent par FP2 à la réception comme à l'émission. On s'intéressera plus particulièrement au FX805.

6.1 CABLAGE

Travail demandé

6.1.1 ADRESSAGE:

Les 3 C.I. FX utilisent le même signal de validation CE/1.

Q 6.1) Qu'est-ce qui permet de différencier les 3 circuits ?

Ces circuits sont prévus pour fonctionner avec le "chip enable", c'est dans le protocole de dialogue que la différence se fait : lors d'un dialogue avec un de ces composants, le μP envoie d'abord un mot d'adresse / commande. L'adresse est contenue dans les 4 bits de poids fort :

	AC_7	AC_7	AC_7	AC_7
FX803	0	0	1	1
FX805	0	1	1	1
FX809	0	1	0	0

6.1.2 FILTRAGE ET MISE EN FORME

Le signal issu de FP2 (DEC_TCS) subit un filtrage passe-bas par un filtre intégré au composant (entre 16 et 17) puis est mis en forme par cette structure :

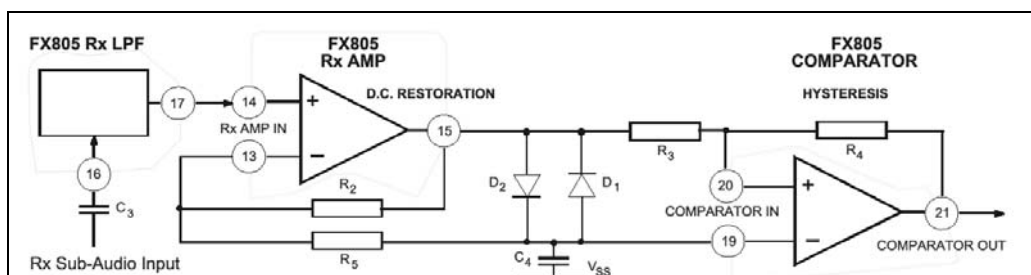


Figure 6.1

Les diodes (CR7A et CR7B) sont des diodes signal classiques. V_{14} a une composante continue d'environ $\frac{V_{CC}}{2}$ et une valeur efficace alternative de 250 mV.

Q 6.2) Remplacer les références ci-dessus par celle du schéma (voir dossier schéma Figure 2). Etudier le schéma en 2 phases (composante alternative nulle, puis $\neq 0$). En déduire le rôle de cette structure et donner la valeur de l'hystérésis.

$R_2 \leftrightarrow R_{103} = 360 \text{ k}\Omega$; $R_5 \leftrightarrow R_{102} = 100 \text{ k}\Omega$; $R_3 \leftrightarrow R_{104} = 10 \text{ k}\Omega$; $R_4 \leftrightarrow R_{106} = 150 \text{ k}\Omega$; $C_4 \leftrightarrow C_{52} = 15 \text{ }\mu\text{F}$; $D_1 \leftrightarrow \text{CR}_{7B}$; $D_2 \leftrightarrow \text{CR}_{7A}$.

Composante alternative nulle ($V_{14} = \text{cte}$) :

$$V_{15} = V_{14} \left(1 + \frac{R_2}{R_5}\right) - V_{C4} \frac{R_2}{R_5}$$

Si $V_{15} \neq V_{C4}$ une des 2 diodes conduit; il y a équilibre lorsque $V_{15} = V_{C4}$ d'où $V_{15} = V_{14}$ et bien sûr $V_{C4} = V_{14}$. V_{C4} se "cale" donc sur la composante continue de V_{14} . **Cela permet au comparateur à hystérésis d'être toujours référencé par rapport à la composante continue du signal, quelque soit la valeur de celle-ci.**

Composante alternative: $V_{15} = V_{14} \left(1 + \frac{R_2}{R_5}\right) = 4,6 \times V_{14}$ (à condition que l'amplitude soit inférieure au seuil de conduction des diodes sinon le signal est écrêté).

Calcul de l'hystérésis :

$$V_+ = (V_{15} + V_{15}) \frac{R_4}{R_3 + R_4} + V_{21} \frac{R_3}{R_3 + R_4} \quad V_- = V_{15}$$

Le comparateur bascule pour $V_+ = V_-$ donc lorsque $V_{15} = V_{15} \frac{R_3}{R_4} - V_{21} \frac{R_3}{R_4}$ Normalement $V_{15} \approx \frac{V_{CC}}{2} = 2,5 \text{ V}$

Les deux seuils sont donc : $V_{15 \text{ Seuil } 0 \rightarrow 1} = 0,16 \text{ V}$ $V_{15 \text{ Seuil } 1 \rightarrow 0} = -0,16 \text{ V}$ ce qui donne une largeur d'hystérésis $\approx 0,32 \text{ V}$

6.2 PROGRAMMATION

Le circuit est configuré pour déclencher une interruption toutes les 122,64 ms, FP1 doit venir lire le code TCS décodé par le circuit. On veut écrire une fonction qui permette de lire et décoder la fréquence reçue. Le prototype de cette fonction sera :

int read_TCS(void); elle renverra le n° de la fréquence TCS conformément au tableau dans le dossier schémas **figure 7 bis**.

On supposera que les fonctions *write_Cbus_fx(char byte)* (envoi d'une donnée par le "C" bus) et *char read_Cbus_fx(void)* (lecture d'une donnée sur le "C" bus) existent.

Travail demandé

Q 6.3) Donner l'algorithme de la fonction *read_TCS* en vous appuyant sur la documentation du FX805.

int read_TCS(void)

début

initialiser Tab_Ftcs[38] avec les 38 valeurs de la figure 7 bis

write_Cbus_fx(72_{hex}) // dans la documentation l'envoi de 72_{hex} permet d'adresser le FX805 avec
// l'ordre d'envoyer la valeur du TCS lue sur les deux octets lus juste après.

$N \leftarrow \text{read_Cbus_fx}()$

$R \leftarrow \text{read_Cbus_fx}()$

$F_{TCS} \leftarrow \frac{N \times f_{XTAL}}{1920 \times (511 - R)}$ // équation donnée page 35/47 du dossier doc constructeur

Pour $i \leftarrow 0$ à 37

si $(\text{Tab_Ftcs}[i] - \Delta \leq F_{TCS} \leq \text{Tab_Ftcs}[i] + \Delta)$

alors $\text{Num_TCS} \leftarrow i + 1$

Suivant i

renvoyer Num_TCS

fin

Au lieu de faire un test d'égalité pour rechercher la fréquence TCS dans le tableau, il faut faire un encadrement car le résultat du calcul F_{TCS} ne tombera jamais juste malgré un quartz calculé au plus juste. Δ sera à choisir en fonction du plus grand écart admissible par rapport aux fréquences références.

7 SEPTIEME PARTIE: INTERFACE CLAVIER

Un boîtier Boxer ou Racer utilise des ensembles émetteur/récepteur Philips de type FM1000. Ces radios sont à priori conçues pour fonctionner seules; la société SYSTEL apporte quelques petites modifications pour pouvoir les intégrer avec la carte VTXXCOM (en particulier, sortie des signaux en des points non prévus, modification du harnais de connexion).

Les radios FM1000 disposent normalement d'un clavier à 12 touches pour entrer les numéros de canaux. Dans les boîtiers Racer et Boxer, l'attribution des canaux se fait par programmation ou à la volée par télécommande. Il est donc prévu une option qui permet à la carte VTXXCOM de piloter les canaux en émulant le clavier.

On se propose donc d'étudier la structure originale du clavier du FM1000 et de concevoir une solution d'émulation *qui respecte le protocole de lecture* des touches par le FM1000.

Le schéma partiel de l'ensemble microphone clavier à touches est donné figure 10 du dossier schéma (la partie microphone et interrupteurs n'est pas représentée.)

La partie clavier dispose de 3 signaux :

- o **Horloge** (unidirectionnelle en provenance du FM1000) qui cadence la lecture ou l'envoi de données.
- o **Strobe** (unidirectionnelle en provenance du FM1000) qui valide les données transmises.
- o **Donnees** (bidirectionnelle) qui transmet les données en série soit du FM1000 soit vers le FM1000.

7.1 ETUDE DU SCHEMA EXISTANT :

(Voir schéma initial Figure 10 extrait de l'interface clavier, dossier « Schémas »)

Travail demandé

Q 7.1) Que constitue l'ensemble U_{1A} et U_{1B} ?

L'ensemble U_{1A} et U_{1B} constitue une porte NOR câblée.

Q 7.2) Quel doit être l'état de repos de la ligne « Donnees » ? Strobe ?

Un niveau logique 0 étant prioritaire sur la ligne "Donnees", son état de repos doit être un niveau logique 1 (drain ouvert).

L'entrée Strobe est inversée par Q_1 et appliquée en EN1 et C2; EN1 valide les sorties de U_4 sur un 1 et C2 transfère les données du registre à décalage vers les sorties sur un 1 également; donc au repos ces deux entrées doivent être à 0 donc Strobe doit être à 1.

Q 7.3) A quoi sert l'entrée SH/LD (borne 1) du 74HC165 ?

SH/LD = 0 chargement parallèle, SH/LD = 1 fonctionnement en registre à décalage.

Q 7.4) Quelles sont les conditions pour valider le chargement parallèle de U_2 ? de U_3 ? (Utiliser les noms des labels de signaux).

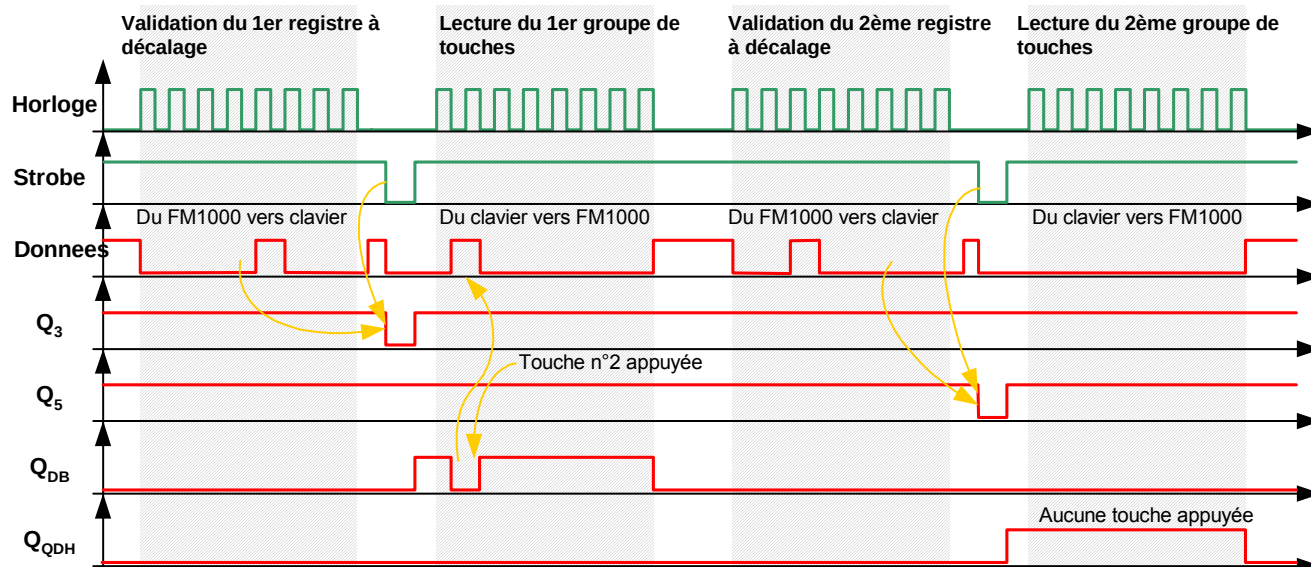
Le chargement parallèle de U_2 a lieu lorsque Strobe = 0 et que la valeur de Q_5 ait été préalablement chargé à 0 lors du transfert du mot de commande.

Idem pour U_3 , mais c'est Q_3 qui doit être à 0.

Q 7.5) Quel est le rôle des signaux portant les labels Q_3 et Q_5 ? Peuvent-ils être actifs pendant la même phase ?

C'est donc Q_5 et Q_3 qui valident la lecture respectivement de la partie haute et basse du clavier. Les 2 registres (U_2 et U_3) ne doivent pas être chargés en même temps sans quoi il y pourrait y avoir conflit.

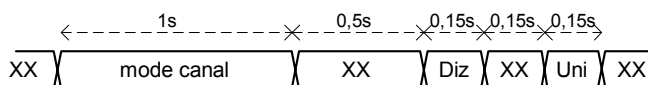
Q 7.6) Compléter le chronogramme (DR 1) relatif à la lecture d'une touche (préciser pour chaque phase le sens du signal « Données », on supposera que la touche 2 est appuyée).



Emulation

On veut remplacer les touches du clavier par un port I/O de la carte VTXCOM. Pour cela, SYSTEL a choisi d'utiliser les 4 bits de poids faible de FS 5.4. Pour cette application, SYSTEL n'a besoin que des touches 0 à 9 et d'une commande tout ou rien « Mode Canal ».

La carte VTXCOM doit successivement envoyer sur $D_3..D_0$:



Diz: code correspondant à la touche des dizaines

Uni: code correspondant à la touche des unités

Les codes de touche sont \$0 à \$9 pour les touches au numéro correspondant.

Mode Canal: code (\$F) correspondant au mode canal; ce code est choisi pour être différent d'un code touche

XX: Codes ne correspondant à aucune touche ni au mode canal (ni \$0 à \$9 ni \$F)

On se propose de trouver une solution permettant de remplacer le clavier.

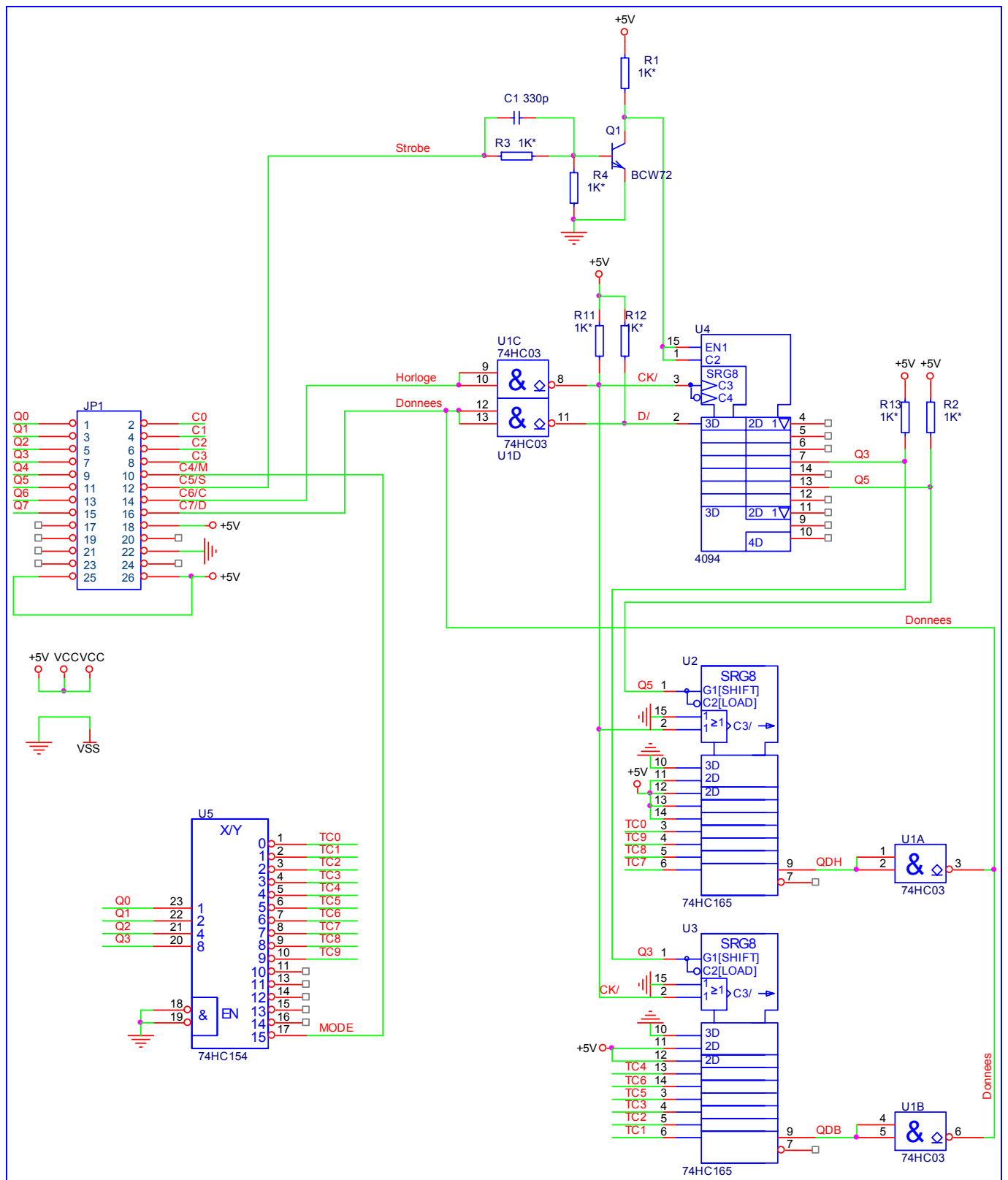
Cette solution sera une carte qui prendra place sur le connecteur J_5 *OPTION CNX* (voir structurel figure 3 du dossier « schémas »).

Sur la radio les signaux C_0 , C_1 , C_2 , C_3 ne sont pas utilisés; les signaux C_4/M , C_5/S , C_6/C et C_7/D correspondent respectivement aux signaux « Mode Canal », « Strobe », « Horloge » et « Données » de la radio FM1000. Le fait d'enficher la carte sur le connecteur J_5 doit signaler au μC de VTXCOM qu'elle est présente par le signal CNX.

Travail demandé

Q 7.7) Compléter et expliquer le schéma page 14 du dossier documents réponses. Une liste de composants vous est donnée avec leur symbole (page 15 du dossier documents réponses). Choisir celui ou ceux qui conviennent en justifiant votre choix.

Le composant le plus approprié sera un décodeur/ démultiplexeur de 4 vers 16 sorties inversées puisqu'on a besoin de décoder au moins 12 codes (10 touches, mode canal, et un code différent); de plus le cahier des charge impose un code canal égal à \$F soit $1111_{(2)}$ et inversées parce que l'appui d'une touche correspond à une mise à 0. Le choix peut se porter sur un 74xx154 ou un CD4515.



Q 7.8) Pensez-vous qu'il soit judicieux de remplacer l'émulateur en circuits discrets par un PLD ou un CPLD ? Justifier votre réponse.

Il faudrait un CPLD vu le nombre de bascules nécessaires. Une telle solution présente un intérêt de réduction d'encombrement et une meilleure fiabilité, mais certainement pas de réduction de coût. La solution à composants discrets ne dépassera pas quelques euros alors qu'une solution CPLD dépassera la dizaine d'euros. Par contre une solution à microcontrôleur faible coût (< 2 €) pourrait être envisagée.

8 HUITIEME PARTIE : EMETTEUR RECEPTEUR FM1000

L'émetteur récepteur FM1000 de la marque Philips équipe les boîtiers BOXER ou RACER. Nous allons étudier la partie purement radio du FM1000, et en particulier le commutateur E/R et le récepteur.

8.1 ETUDE DU COMMUTATEUR D'ANTENNE (schémas Figures 11 et 12 (TETE HF et $Tx_POWER_CONTROL$) du Dossier Technique schémas)

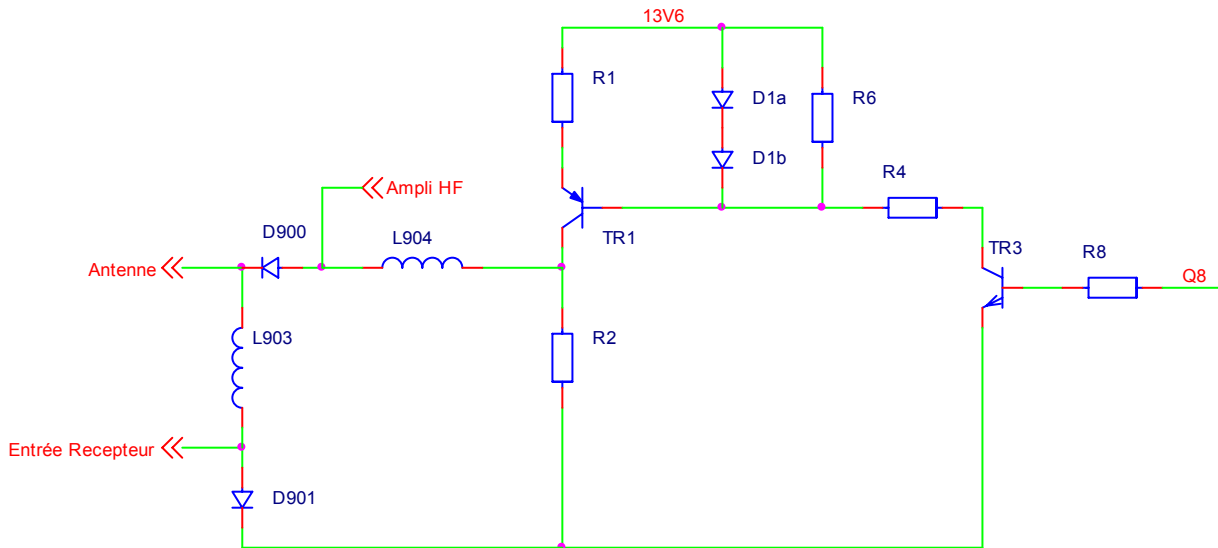
Le constructeur donne un schéma synoptique Figure 9 (synoptique tête HF).

La commutation E/R est effectuée directement sur la tête HF par l'intermédiaire du registre à décalage IC₂, des transistors TR1, TR3 et TR4 (schéma figure 12); un niveau haut en Q₈ de IC₂ commute la tête HF en émission, un niveau bas en réception.

Travail demandé

Q 8.1) Donner le schéma simplifié en continu entre la sortie Q8 de IC2 et la cathode de D900.

Après mise sous tension, La capacité C₁₇ est chargée à 10 V donc T_{R4} est bloqué. TR2 permet de générer "tension 10 V commutée". La partie commutation d'antenne (en BF) :



Q 8.2) Expliquer le fonctionnement du commutateur.

Q₈ = 0 alors TR3 est bloqué ainsi que TR1, l'anode de D900 est ramenée à la masse par L904 et R2, D900 est donc bloquée. Le signal en provenance de l'ampli HF ne sera donc pas acheminé vers l'antenne. Le niveau continu (≈0) sur l'anode de D901 ne permet pas de la rendre passante, le signal en provenance de l'antenne sera donc acheminé vers l'entrée du récepteur.

Q₈ = 1 alors TR3 est saturé faisant conduire D1a et D1b, la structure autour de TR1 fonctionnera en générateur de courant et rendra D900 et D901 passantes. De ce fait, le signal en provenance de l'ampli HF sera acheminé vers l'antenne et D901 "court-circuite" l'entrée récepteur.

Q 8.3) Calculer la valeur moyenne de la résistance des diodes D900 et D901 (schéma figure 11) lorsqu'elles seront passantes.

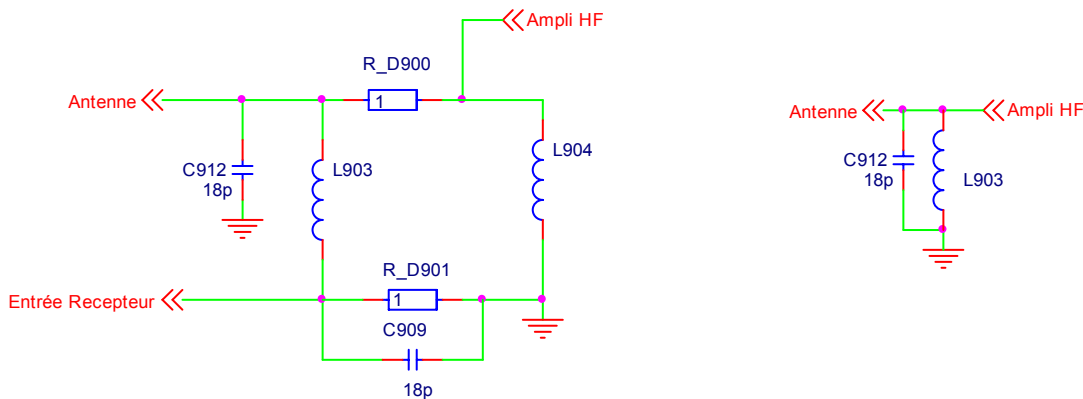
Les diodes D1a et D1b sont traversées par un courant de l'ordre de 5 mA lorsqu'elles sont passantes, la tension à leur borne sera d'environ 0,6V. TR1 est un NPN classique, sa tension V_{BE} sera d'environ 0,7V.

Donc $I_{E\ TR1} \approx \frac{0.5}{R1} \approx 30\text{ mA}$; ce courant presque intégralement dans les diodes D900 et D901.

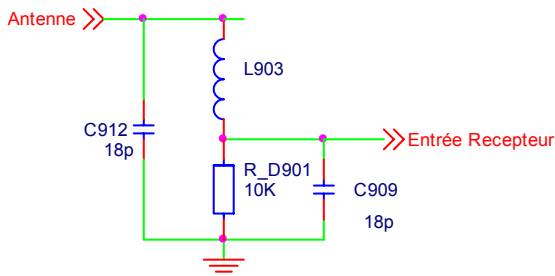
D'après l'abaque des diodes UM9401 (page 20/47), la résistance des diodes lorsqu'elles sont passantes sera d'environ 1 Ω

Q 8.4) Donner un schéma équivalent en HF du commutateur d'antenne lorsqu'il commute en émission.

L'impédance de C₉₀₉ est grande devant R_{D901}, L904 est une self de choc: le schéma équivalent devient:



Q 8.5) Donner un schéma équivalent en HF du commutateur lorsqu'il commute en réception. Quelle valeur doit on donner à L903 ?



La fréquence de résonance du filtre constitué est :

$$\frac{1}{2\pi\sqrt{L903 \cdot C909}}$$
 Cette fréquence doit être égale à la fréquence centrale de la bande de réception (132 - 156 MHz) soit : 144 MHz.

Donc L903 = 68 nH

Q 8.6) Quel est le rôle du transistor TR4 ?

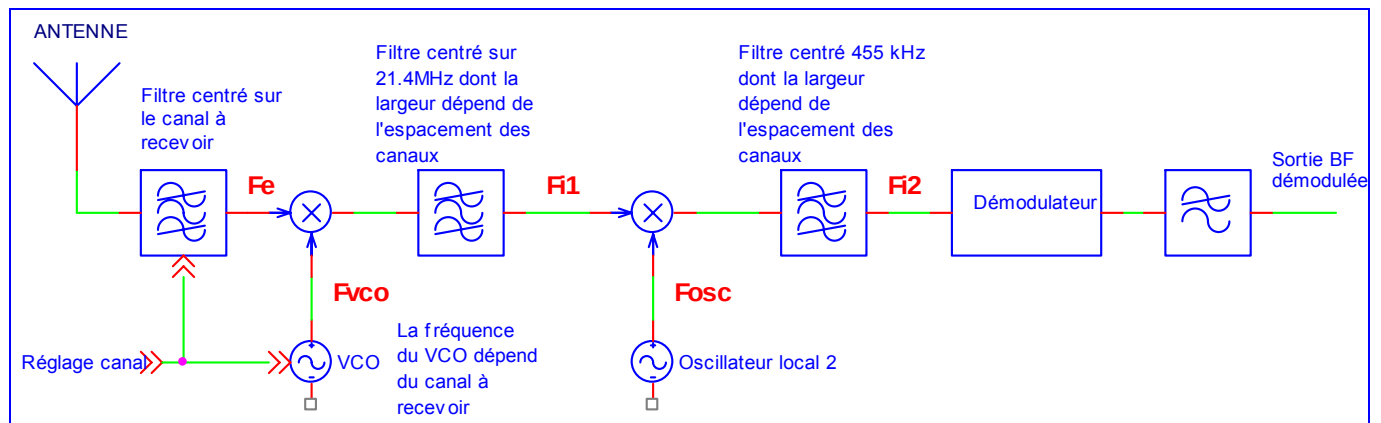
TR4 permet de maintenir le commutateur en réception pendant la phase de mise sous tension.

8.2 ETUDE DU RECEPTEUR. (Schémas Figure 13 et 14)

Le récepteur du FM1000 est à double changement de fréquence avec une première FI à 21,4 MHz et une deuxième FI à 455 kHz.

Q 8.7) Comment appelle-t-on ce type récepteur ? Donner un schéma bloc simplifié d'un tel récepteur en faisant figurer l'expression des fréquences.

Il s'agit d'un récepteur super hétérodyne à double changement de fréquence.



$Fi1 = Fe - Fvco$ $Fi2 = Fi1 - Fosc$ avec $Fi1 = 21,4 \text{ MHz}$ et $Fi2 = 455 \text{ kHz}$. Sur le schéma on remarquera que le 2^{ème} oscillateur local est bien à une fréquence $Fosc = Fi1 - Fi2 = 20,945 \text{ MHz}$.

On supposera que l'on est sur le 1^{er} canal à 132,0000 MHz

Q 8.8) A quelle fréquence doit être réglé le VCO ?

$Fvco = Fe - Fi1 = 132 \text{ MHz} - 21,4 \text{ MHz} = 110,6 \text{ MHz}$

8.2.1 TETE HF

Le synoptique du constructeur fait apparaître un filtre passe-bande accordable, un VCO et ses amplificateurs associés et un premier mélangeur pour obtenir une FI à 21,4 MHz. Le schéma structurel est donné dans la bande B0 (VHF).

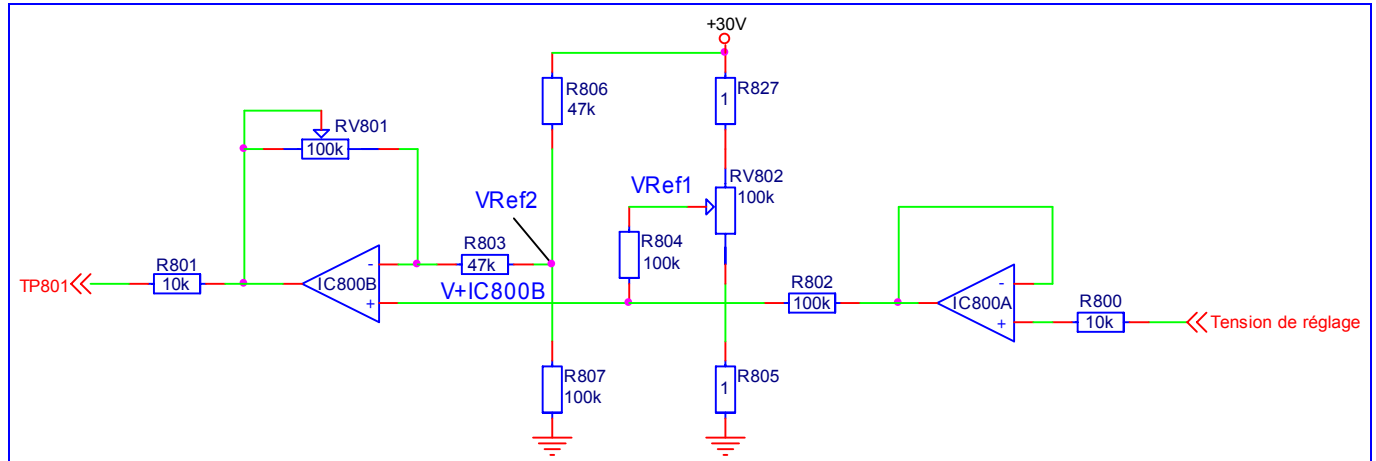
Le **filtre de tête**, accordable électroniquement, est commandé par la « TENSION DE REGLAGE ».

!!! A la mise en page, il y a eu déplacement de la question Q 8.13) qui aurait dû se trouver avant la question Q 8.9) !!!

Q 8.9) Montrer que l'expression de la tension en TP801 est de la forme :

$$K1 \times V_{\text{TENSION DE REGLAGE}} + K2 \times 30 \text{ V}$$

En déduire le rôle de RV801 et RV802.



IC_{800A} effectue une adaptation d'impédance, R₈₀₄ et R₈₀₂ effectuent une "addition" de "Tension de réglage" et de V_{Ref1} et enfin IC_{800B} effectue une "soustraction" entre V_{+IC800B} et V_{Ref2}.

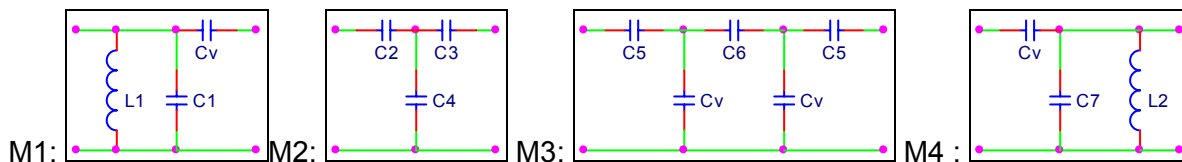
Sans entrer dans les détails de calculs on aura bien une relation de la forme :

$$V_{TP801} = K1 \times V_{\text{TENSION DE REGLAGE}} + K2 \times 30 \text{ V}$$

K1 ne dépend presque que de RV₈₀₁, par contre K2 dépend à la fois de RV₈₀₁ et de RV₈₀₂.

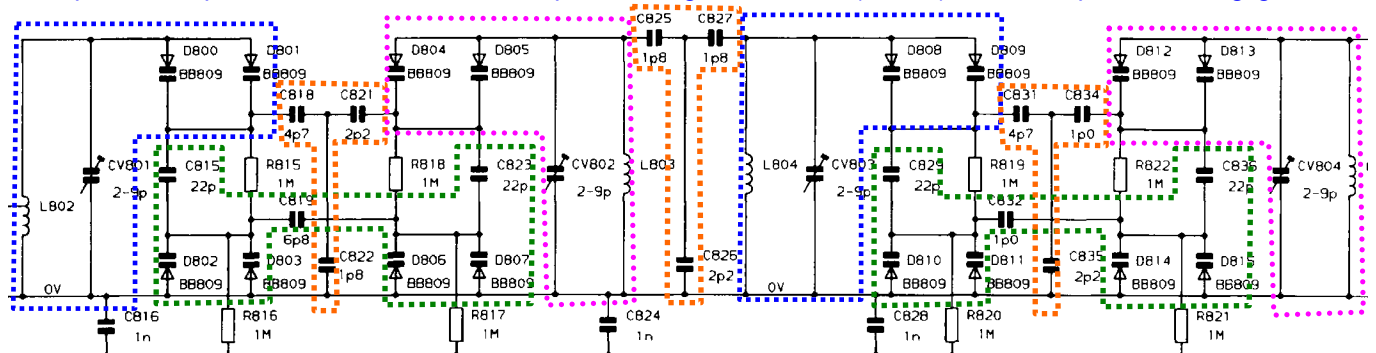
En simplifiant, on peut dire RV₈₀₂ règle la pré polarisation des varicaps et RV₈₀₁ ajuste le gain par rapport à V_{TENSION DE REGLAGE}.

Q 8.10) Montrer que le filtre accordable peut se mettre sous la forme d'associations de quadripôles élémentaires ci-dessous :



Où Cv représente la capacité équivalente des varicaps.

Les varicaps sont toujours câblées par paires en parallèle. Les résistances de 1 MΩ servent à polariser les varicaps et n'ont pas d'influence en HF. Les capacités de grande valeur (≥ 1 nF) ont des impédances négligeables



Les cellules en bleu sont de type M1, en orange de type M2, en vert de type M3 et en violet de type M4.

Bien qu'il y ait une certaine symétrie topologique, certaines valeurs numériques ne sont pas symétriques d'où une certaine difficulté dans la résolution des filtres.

Q 8.11) Donner l'expression des matrices impédances, admittances et de transfert de chacun des quadripôles ci-dessus.

On notera les matrices impédances : $\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}$, les matrices admittances: $\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix}$

et les matrices de transfert : $\begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix}$ On sait d'autre part que, pour des quadripôles passifs, convention générateur en sortie, $Z_{12} = -Z_{21}$ et $Y_{12} = -Y_{21}$

Les relations permettant de passer de la matrice impédance à la matrice admittance sont :

$$Y_{11} = \frac{Z_{22}}{Z_{11}Z_{22} - Z_{12}Z_{21}} \quad Y_{12} = -\frac{Z_{12}}{Z_{11}Z_{22} - Z_{12}Z_{21}} \quad Y_{21} = -\frac{Z_{21}}{Z_{11}Z_{22} - Z_{12}Z_{21}} \quad Y_{22} = \frac{Z_{11}}{Z_{11}Z_{22} - Z_{12}Z_{21}}$$

Les relations permettant de passer de la matrice impédance à la matrice de transfert sont :

$$T_{11} = \frac{Z_{11}}{Z_{21}} \quad T_{12} = \frac{Z_{12}Z_{21} - Z_{11}Z_{22}}{Z_{21}} = \frac{1}{Y_{21}}$$

$$T_{21} = \frac{1}{Z_{21}} \quad T_{22} = -\frac{Z_{22}}{Z_{21}}$$

M1 :

$$\begin{aligned} \text{Matrice impédance : } Z_{11} &= \frac{L_1 p}{1 + L_1 C_1 p^2} & Z_{12} &= -\frac{L_1 p}{1 + L_1 C_1 p^2} = -Z_{11} \\ & & Z_{22} &= -\left(\frac{L_1 p}{1 + L_1 C_1 p^2} + \frac{1}{C_v p}\right) = -(Z_{11} + \frac{1}{C_v p}) \\ & Z_{21} = -Z_{12} = Z_{11} & & \\ \text{Matrice admittance : } Y_{11} &= \frac{1 + L_1(C_1 + C_v)p^2}{L_1 p} & Y_{12} &= -C_v p \\ & & Y_{22} &= -C_v p \\ & Y_{21} = C_v p & & \\ \text{Matrice de transfert : } T_{11} &= 1 & T_{12} &= \frac{1}{C_v p} \\ & & T_{22} &= 1 + \frac{1 + L_1 C_1 p^2}{C_v L_1 p^2} \\ & T_{21} = \frac{1 + L_1 C_1 p^2}{L_1 p} & & \end{aligned}$$

M2 :

$$\begin{aligned} \text{Matrice impédance : } Z_{11} &= \frac{1}{C_2 p} + \frac{1}{C_4 p} & Z_{12} &= \frac{1}{C_4 p} \\ & & Z_{22} &= -\left(\frac{1}{C_3 p} + \frac{1}{C_4 p}\right) \\ & Z_{21} = -Z_{12} = \frac{1}{C_4 p} & & \\ \text{Matrice admittance : } Y_{11} &= \frac{C_2 C_4 + C_2 C_3}{C_2 + C_3 + C_4} p & Y_{12} &= -\frac{C_2 C_3}{C_2 + C_3 + C_4} p \\ & & Y_{22} &= -\frac{C_2 C_3 + C_3 C_4}{C_2 + C_3 + C_4} p \\ & Y_{21} = \frac{C_2 C_3}{C_2 + C_3 + C_4} p & & \\ \text{Matrice de transfert : } T_{11} &= 1 + \frac{C_4}{C_2} & T_{12} &= \frac{1}{p} \frac{C_2 + C_3 + C_4}{C_2 C_3} \\ & & T_{22} &= -\frac{C_4 C_2 + C_2 C_3}{C_2 C_3 + C_3 C_4} \\ & T_{21} = C_4 p & & \end{aligned}$$

M3 :

Il s'agit d'un quadripôle passif symétrique donc $Z_{22} = -Z_{11}$; $Y_{22} = -Y_{11}$ et $T_{22} = T_{11}$:

$$\begin{aligned} \text{Matrice impédance : } Z_{11} &= \frac{1}{C_5 p} + \frac{1}{C_v p} \frac{C_v + C_6}{C_v + 2C_6} & Z_{12} &= -\frac{1}{C_v p} \frac{C_6}{C_v + C_6} \\ & & Z_{22} &= -Z_{11} = -\left(\frac{1}{C_5 p} + \frac{1}{C_v p} \frac{C_v + C_6}{C_v + 2C_6}\right) \\ & Z_{21} = -Z_{12} = \frac{1}{C_v p} \frac{C_6}{C_v + C_6} & & \\ \text{Matrice admittance : } Y_{11} &= \frac{C_5}{C_5 + C_v} \frac{C_6 C_5 + C_5 C_v + 2C_6 C_v + C_v^2}{C_5 + C_v + 2C_6} p & Y_{12} &= -\frac{C_5}{C_5 + C_v} \frac{C_5 C_6}{C_5 + C_v + 2C_6} p \\ & & & \end{aligned}$$

$$Y_{21} = \frac{C_5}{C_5 + C_v} \frac{C_5 C_6}{C_5 + C_v + 2C_6} p$$

$$Y_{22} = -\frac{C_5}{C_5 + C_v} \frac{C_6 C_5 + C_5 C_v + 2C_6 C_v + C_v^2}{C_5 + C_v + 2C_6} p$$

Matrice de transfert : $T_{11} = \frac{Z_{11}}{Z_{21}} = \frac{C_v}{C_5} \frac{C_v + C_6}{C_6} + \frac{(C_v + C_6)^2}{(C_v + 2C_6)C_6}$

$$T_{12} = 1/Y_{21} = \frac{1}{\frac{C_5}{C_5 + C_v} \frac{C_5 C_6}{C_5 + C_v + 2C_6} p}$$

$$T_{21} = \frac{1}{Z_{21}} = C_v p \frac{C_v + C_6}{C_6}$$

$$T_{22} = T_{11}$$

M4 :

Ce quadripôle est le symétrique de M1.

Matrice impédance : $Z_{11} = \left(\frac{L_2 p}{1 + L_2 C_7 p^2} + \frac{1}{C_v p} \right)$

$$Z_{12} = -\frac{L_2 p}{1 + L_2 C_7 p^2} = -Z_{22}$$

$$Z_{21} = -Z_{12} = Z_{22}$$

$$Z_{22} = -\frac{L_2 p}{1 + L_2 C_7 p^2}$$

Matrice admittance : $Y_{11} = C_v p$

$$Y_{12} = -C_v p$$

$$Y_{21} = C_v p$$

$$Y_{22} = -\frac{1 + L_2(C_7 + C_v)p^2}{L_2 p}$$

Matrice de transfert : $T_{11} = -\left(1 + \frac{1 + L_2 C_7 p^2}{C_v L_2 p^2} \right)$

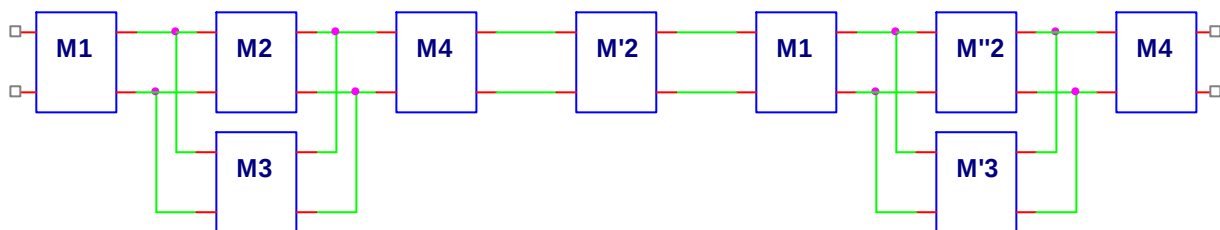
$$T_{12} = \frac{1}{C_v p}$$

$$T_{21} = -\frac{1 + L_2 C_7 p^2}{L_2 p}$$

$$T_{22} = 1$$

Q 8.12) Donner une méthode pour résoudre ce filtre.

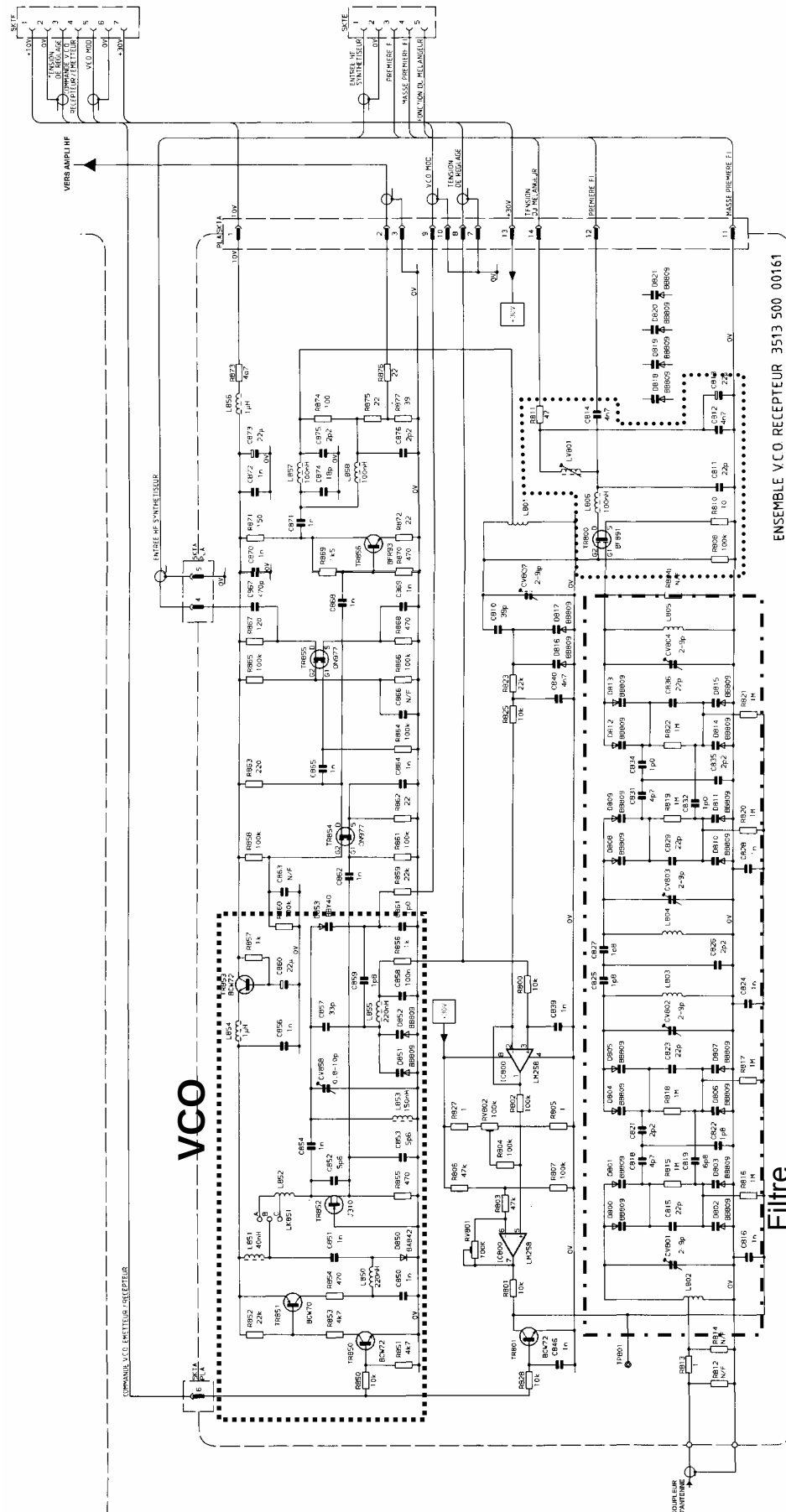
L'association est donc :



Lorsque deux quadripôles sont en cascade, on obtient la matrice de transfert du quadripôle équivalent en multipliant les matrices de transfert.

Lorsque deux quadripôles sont en parallèle, on obtient la matrice admittance du quadripôle équivalent en additionnant les matrices admittances. On transformera la matrice obtenue en matrice de transfert et le filtre ne sera plus qu'une succession de matrices de transfert dont on fera le produit.

Q 8.13) Localiser sur le schéma le filtre accordable, le mélangeur et le VCO. Par quel(s) élément(s) est assuré la couverture en fréquence du VCO ?

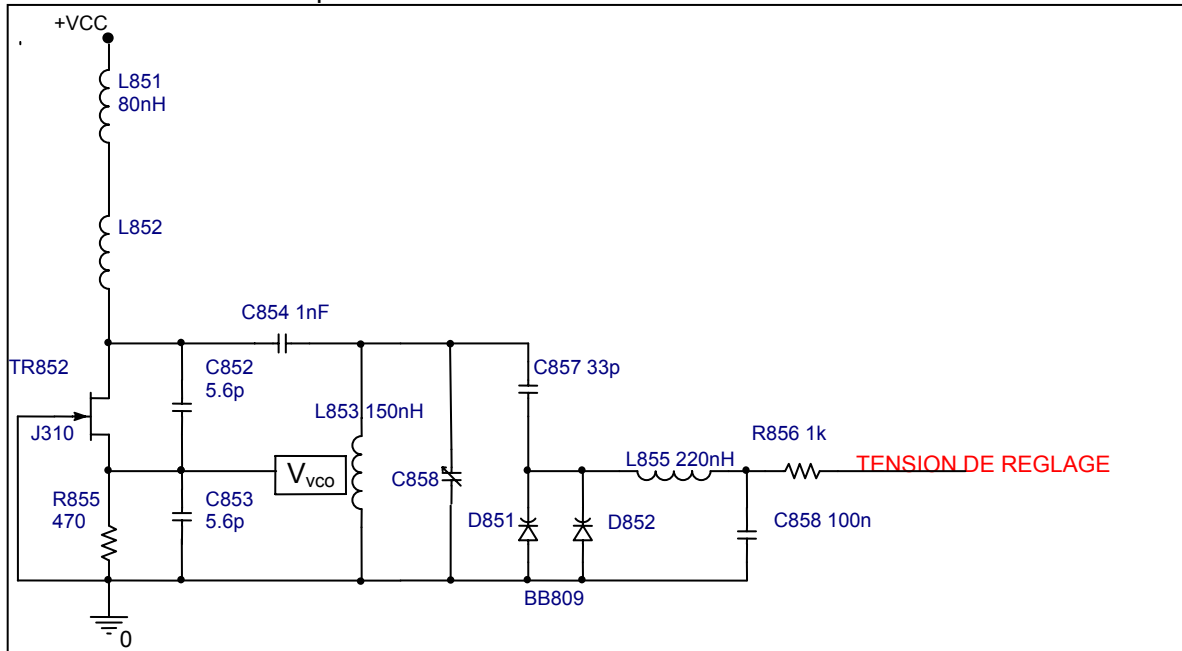


La couverture en fréquence du VCO est assurée par les varicaps D₈₅₁ et D₈₅₂

Mélangeur

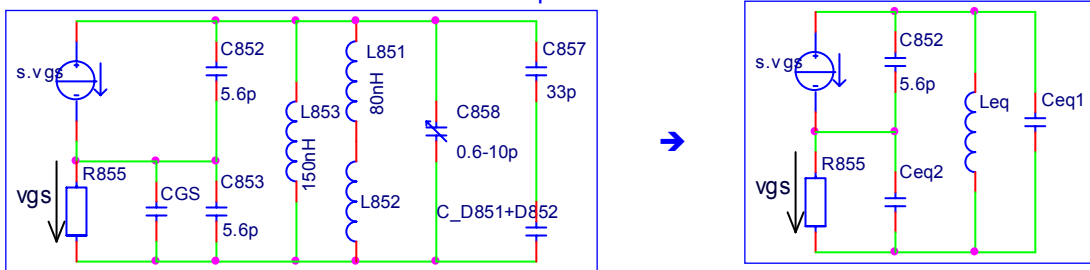
Filtre
accordable

On donne un schéma simplifié du VCO :



Q 8.14) Donner le schéma équivalent aux variations.

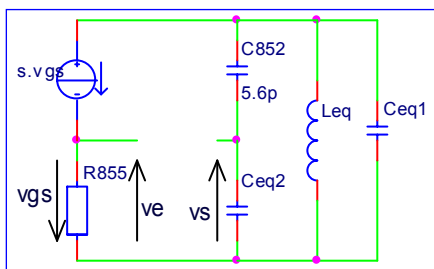
Bien que cela ne soit pas exact, on considérera pour les calculs $Z_{L855} \gg Z_{D851/D852}$.
L855 sert à isoler la commande des varicaps en HF.



Q 8.15) Faire apparaître la boucle directe et donner la condition d'oscillation.

Donner l'expression de la fréquence d'oscillation.

On supposera que la tension de réglage pour le canal sélectionné est de 6 V, et que CV858 est réglé à 5 pF. En déduire la valeur à donner à L852.



La boucle directe donne :

$$\frac{v_s}{v_e} = \frac{C_{852}}{C_{852} + C_{eq2}} \frac{L_{eq} p}{1 + L_{eq} C_{eq1} p^2} s$$

3,55pF

avec $L_{eq} = L_{853} \parallel (L_{851} + L_{852})$ et $C_{eq} = C_{eq1} + (C_{852} \text{ en série avec } C_{eq2})$

$C_{eq2} = C_{853} + C_{GS}$, $C_{eq1} = C_{858} + (C_{857} \text{ en série avec } (C_{D851} + C_{D852}))$

La condition d'oscillation est donnée par $1 + L_{eq} C_{eq1} p^2 = 0$

$$\omega_0^2 = \frac{1}{L_{eq} C_{eq1}} \quad f_0 = \frac{1}{2\pi \sqrt{L_{eq} C_{eq1}}} \quad L_{eq} = \frac{1}{4\pi^2 f_0^2 C_{eq1}}$$

Si la tension de réglage des varicaps est de 6 V, la capacité équivalente des varicaps est de 20 pF (fig 2 de la doc des BB809). La capacité équivalente des deux diodes en // sera de 40 pF. $C_{GS} = 4,1$ pF.

$$\text{Donc } C_{eq1} = C_{858} + \left(\frac{1}{\frac{1}{C_{857}} + \frac{1}{2 \cdot C_{varicap}}} \right) = 23,08 \text{ pF}$$

$$C_{eq2} = 9,7 \text{ pF}$$

$$C_{eq} = C_{eq1} + \left(\frac{1}{\frac{1}{C_{856}} + \frac{1}{C_{eq2}}} \right) = 26,6 \text{ pF} \rightarrow \text{La fréquence du VCO doit être 21,4 MHz en dessous de la porteuse à}$$

$$\text{recevoir, donc } f_{VCO} = 132 - 21,4 = 110,6 \text{ MHz}$$

$$\text{d'où } L_{eq} = 77,8 \text{ nH}$$

$$L_{852} + L_{851} = \frac{1}{\frac{1}{L_{eq}} - \frac{1}{L_{853}}} \quad L_{852} = \frac{1}{\frac{1}{L_{eq}} - \frac{1}{L_{853}}} - L_{851} = 161,8 \text{ nH} - L_{851} \approx 82 \text{ nH}$$

Q 8.16) Quelle tension de réglage devra-t-on appliquer pour avoir le canal le plus haut ?

Le canal le plus haut est à 156 MHz donc $f_{VCO} = 156 - 21,4 = 134,6 \text{ MHz}$

$$C_{eq} = \frac{1}{4\pi^2 f_0^2 L_{eq}} \rightarrow C_{eq} = 17,96 \text{ pF} \rightarrow C_{eq1} = 14,41 \text{ pF} \quad \text{avec } C_{eq1} = C_{858} + \left(\frac{1}{\frac{1}{C_{857}} + \frac{1}{2 \cdot C_{varicap}}} \right)$$

$$\text{donc } 2 \cdot C_{varicap} = \frac{1}{\frac{1}{C_{eq1} - C_{858}} - \frac{1}{C_{857}}} = 13,2 \text{ pF} \rightarrow C_{varicap} = 6,6 \text{ pF} \quad \text{donc la tension de réglage devra}$$

être de environ 20 V

L'entrée « COMMANDE VCO EMETTEUR/RECEPTEUR » (issue d'un registre à décalage CMOS alimenté sous 10 V de la carte « analogique ») permet de désaccorder le filtre d'entrée du récepteur et modifie le VCO.

Q 8.17) Analyser ce qui se passe quand cette entrée est à l'état bas et à l'état haut. En déduire pour quel niveau de cette entrée l'ensemble est en mode récepteur et en mode émetteur ? Justifier clairement votre réponse.

Quand cette entrée est à l'état bas, TR850 est bloqué ainsi que TR851 et donc que la diode D850. Donc de ce fait, la self L_{852} est en série avec L_{851} .

Quand cette entrée est à l'état haut, TR850 est passant ainsi que TR851; la diode D850 est alors polarisée via la self de choc L_{850} . Donc de ce fait, en HF, le point B est ramené à la masse et la self L_{852} est la seule à participer à l'oscillateur.

De plus quand l'entrée « COMMANDE VCO EMETTEUR/RECEPTEUR » est à l'état haut, TR801 est passant et désaccorde le filtre de tête.

Donc : « COMMANDE VCO EMETTEUR/RECEPTEUR » = 0 → Réception

« COMMANDE VCO EMETTEUR/RECEPTEUR » = 1 → Emission

Q 8.18) La commande passe en mode émetteur, calculer la nouvelle fréquence du VCO (dans les conditions du canal le plus bas). Conclure.

$$L_{eq} = L_{853} // L_{852} = 53 \text{ nH} \rightarrow f_{VCO} \approx 134,2 \text{ MHz}$$

Normalement à l'émission, la fréquence du VCO devrait être celle d'émission, l'écart constaté peut venir des simplifications dans le schéma équivalent.

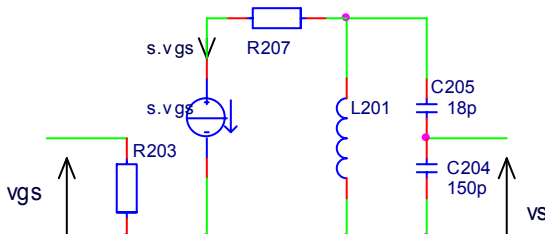
8.2.2 FREQUENCE INTERMEDIAIRE ET DEMODULATION

(Schéma figure 14 du dossier technique: schémas, documentation des composants: BF991, SL6652)

La structure autour de TR 201 constitue un préamplificateur accordé. Le gain est piloté par la tension continue sur la grille G2.

Travail demandé

Q 8.19) Donner le schéma équivalent en HF de ce préamplificateur. Calculer la valeur de L201.



L201.

$$\text{L'accord est obtenu pour } f_0 = \frac{1}{2\pi\sqrt{L_{201}C}} \text{ avec}$$

$$C = C_{205} \text{ en série avec } C_{204} = 16 \text{ pF.}$$

$$\text{L'ampli doit être accordé pour } 21,4 \text{ MHz, soit } L_{201} = 3,45 \mu\text{H}$$

La sortie audiofréquence du démodulateur (broche 4 de IC201) attaque IC202B.

On notera R_s , l'impédance de sortie de IC201.

Q 8.20) Donner la fonction de transfert de IC202B. Tracer sa courbe de gain. En déduire le rôle de ce filtre.

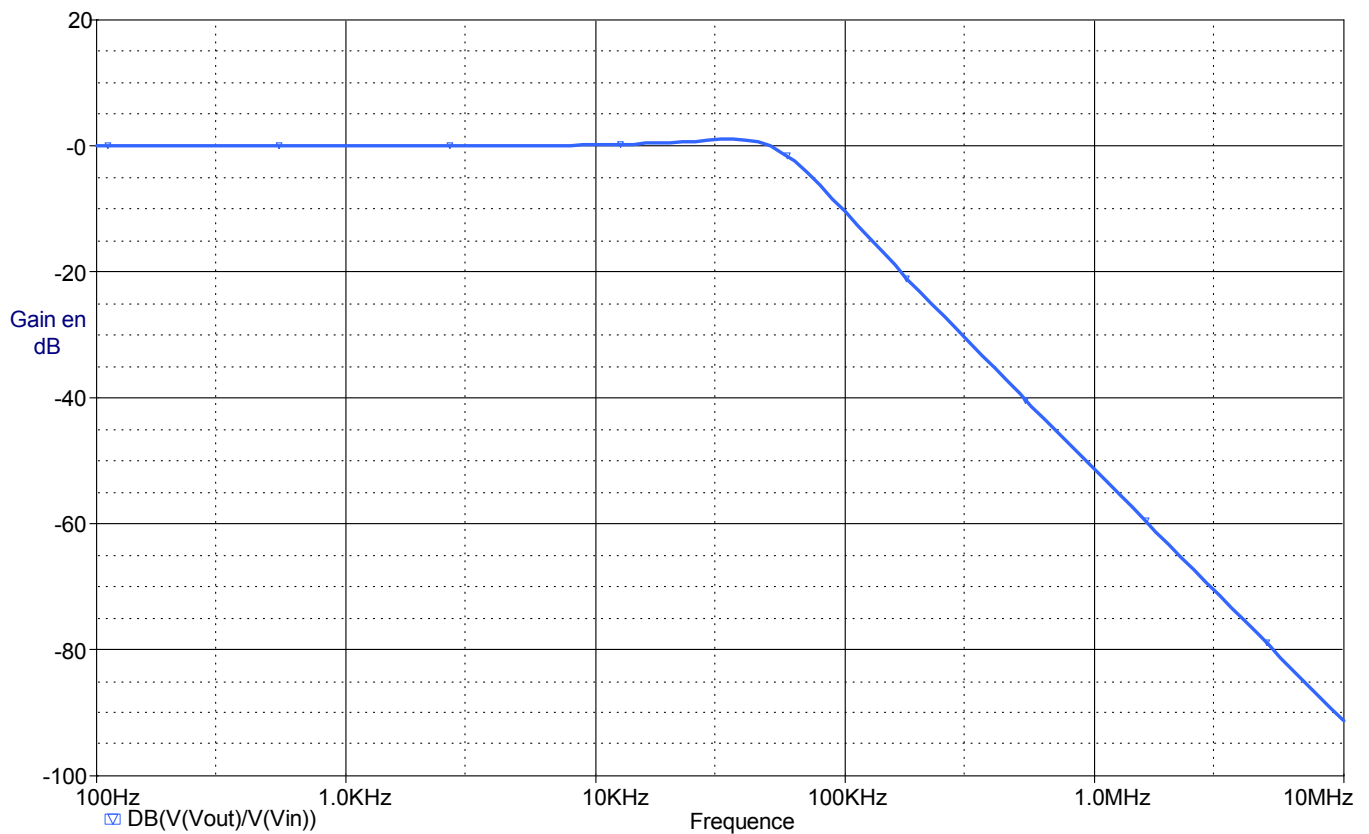
On retrouve une structure de filtre passe bas type Sallen-Key; la fonction de transfert est :

$$H_{Z7D}(p) = \frac{1}{1 + (R_S + R_{221})C_{221} \cdot p + R_S C_{220} R_{221} C_{221} \cdot p^2}$$

On a $R_S = 40 \text{ k}\Omega$ et $R_{221} = 39 \text{ k}\Omega$ on peut considérer que $R_{221} \approx R_S = R = 40 \text{ k}\Omega$

$$\omega_0 = \frac{1}{R\sqrt{C_{220}C_{221}}} \rightarrow f_0 = \frac{1}{2\pi R\sqrt{C_{220}C_{221}}} = 52 \text{ kHz}$$

$Q \approx 1$



Le filtre sert à éliminer efficacement toute composante à 455 kHz ainsi que les harmoniques.