

AGREGATION DE GENIE ELECTRIQUE SESSION 2004

Option A : Electronique et informatique industrielle

Epreuve d'électronique comportant un avant-projet

AVERTISSEMENT

L'épreuve se compose de 7 parties indépendantes repérées A, B, C, D, E, F et G

À l'intérieur de chaque partie les questions sont également indépendantes. Les candidats sont invités à prendre connaissance de la totalité du sujet avant de commencer à composer.

Le sujet comprend un jeu de documents réponse à compléter. **Les candidats devront :**

- Impérativement utiliser le document réponse à chaque fois que cela sera précisé dans la question ;
- Impérativement utiliser les notations indiquées dans le texte ou sur les figures ;
- Rédiger sur des feuilles séparées les réponses à chaque partie et numéroté chaque page de leur copie ;
- Présenter les calculs clairement, dégager et encadrer tout résultat littéral ou numérique ;
- Expliquer le raisonnement utilisé entre deux étapes de calcul.

Note importante :

Une partie du barème , lors de la correction, sera affectée :

- à la présentation générale de la copie ;
- à la concision des explications et à la précision du vocabulaire utilisé ;
- à la lisibilité et à la présentation des calculs mathématiques ;
- au respect de la numérotation des questions que l'on doit retrouver devant les réponses.

Conseil aux candidats :

Si le texte du sujet, de ses questions ou de ses annexes, vous conduit à formuler une ou plusieurs hypothèses, il vous est demandé de la (ou les) mentionner explicitement dans votre copie.

Ce sujet comporte :

- un dossier présentation ;
- un dossier schémas constructeurs ;
- un dossier documentations ressource ;
- un dossier questionnement ;
- 10 pages document réponse.

SYSTEME DE PALPAGE A TRANSMISSION RADIO

ETUDE DU RECEPTEUR (MI16)

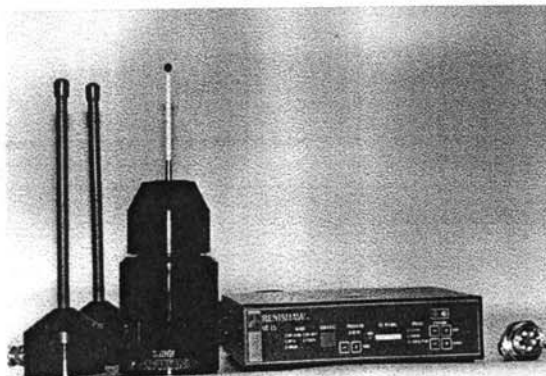
DOSSIER DE PRESENTATION

Contenu du dossier :

1.	<i>PRESENTATION DU SYSTEME DE PALPAGE A TRANSMISSION RADIO.</i>	<i>1</i>
1.1.	DESCRIPTION DU FABRICANT.	1
1.2.	DIAGRAMME SAGITTAL.	2
2.	<i>ANALYSE FONCTIONNELLE DE OT1 MODULE EMETTEUR RADIO.</i>	<i>3</i>
2.1.	SCHEMA FONCTIONNEL DE DEGRE 1.	3
2.2.	SCHEMA FONCTIONNEL DE DEGRE 2 DE FP2.	4
2.3.	SCHEMA FONCTIONNEL DE DEGRE 2 DE FP5.	5
3.	<i>ANALYSE FONCTIONNELLE DE OT4 MODULE RECEPTEUR RADIO.</i>	<i>6</i>
3.1.	SCHEMA FONCTIONNEL DE DEGRE 1.	6
3.2.	SCHEMA FONCTIONNEL DE DEGRE 2 DE FP5.	8

1. PRESENTATION DU SYSTEME DE PALPAGE A TRANSMISSION RADIO.

1.1. DESCRIPTION DU FABRICANT.



MP16

Système de palpage à transmission radio pour centres d'usinage et tours de grandes dimensions

Description du système

Le MP16 comprend un palpeur Renishaw MP3 associé à un système de transmission des signaux par radio. L'intégration de l'ensemble de palpage est rapide et aisée puisqu'il n'y a plus de câblage à réaliser.

Le montage en brêche du palpeur s'effectue grâce à un cône sur lequel est fixé le module émetteur RMP2, le palpeur MP3 et son stylet.

Le système MP16 utilise un des 69 canaux alloués dans la bande UHF des 433 Mhz. L'utilisateur peut lui même programmer les canaux ainsi que le mode de mise en marche désiré grâce à un dialogue optique entre le palpeur et l'interface MI 16.

L'interface MI 16 intègre 2 récepteurs radio distincts, raccordés chacun à une antenne. Ce dispositif permet de minimiser les phénomènes d'échos lors des déplacements du MP16.

La mise en route du palpeur radio MP16 peut être effectuée selon plusieurs modes :

- Interrupteur dans le cône.
- M / A par rotation.
- Commande optique (code M)

Le système est opérationnel jusque à une distance d'environ 15m entre l'émetteur RMP2 du palpeur MP 16 et les antennes RMM2.

Description des éléments

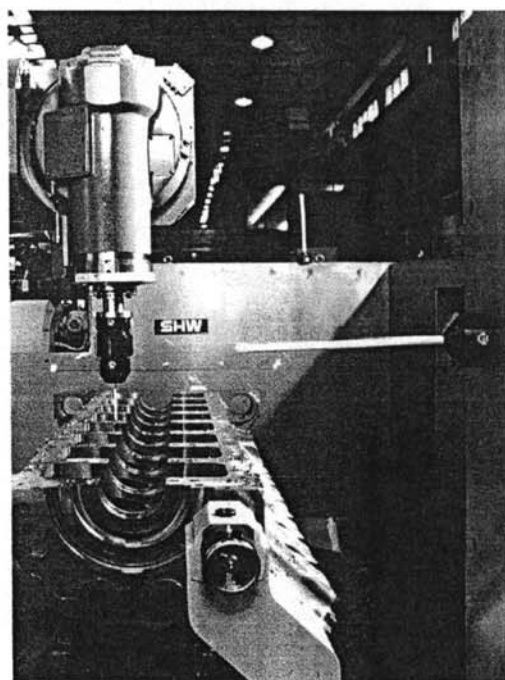
MP3 Palpeur à déclenchement $\pm X, \pm Y, \pm Z$.

RMP2 Module émetteur radio.

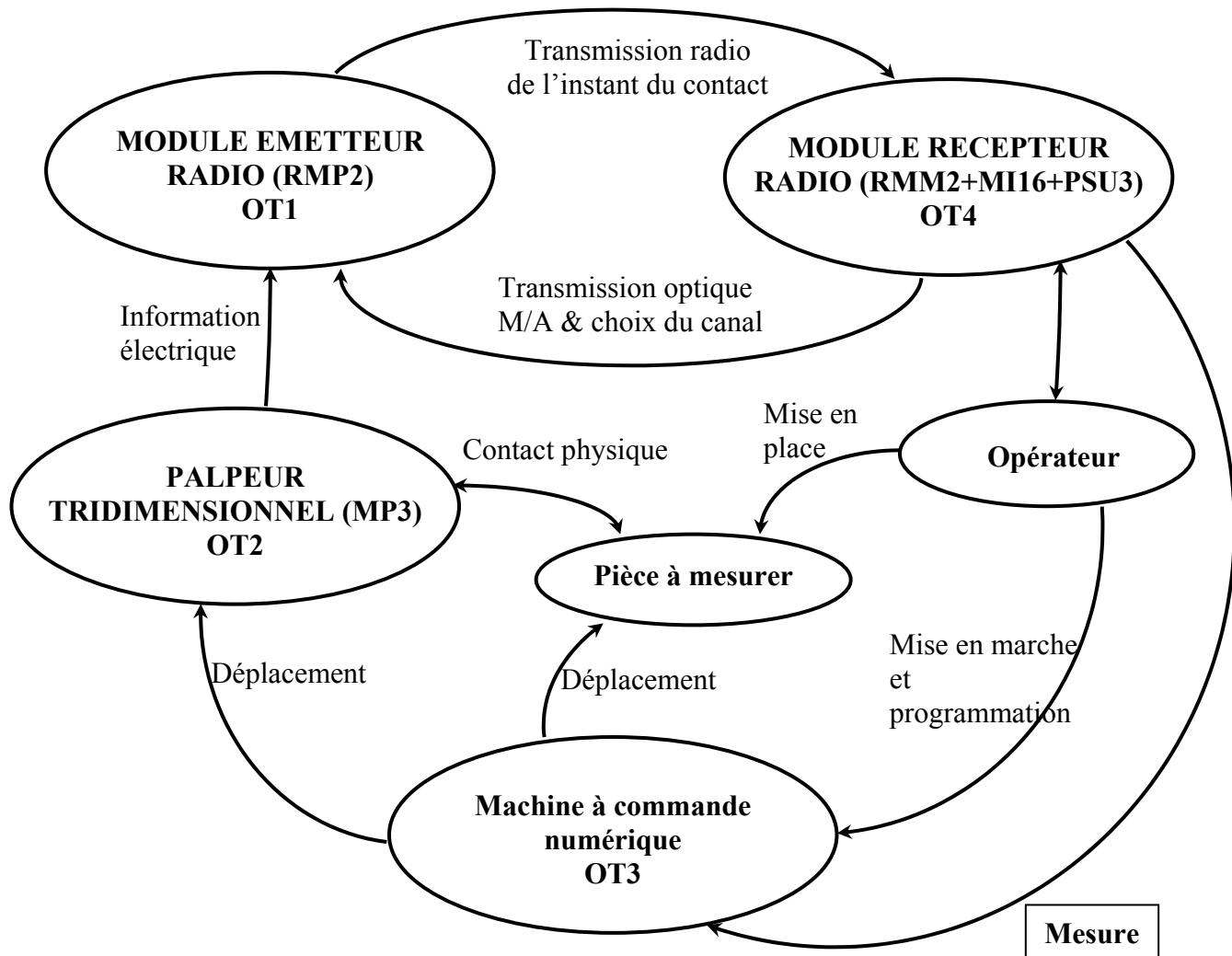
RMM2 Antennes de réception signal radio.

MI16 Récepteur radio et interface CN.

PSU3 Alimentation 24v (Optionnelle).



1.2. DIAGRAMME SAGITTAL.

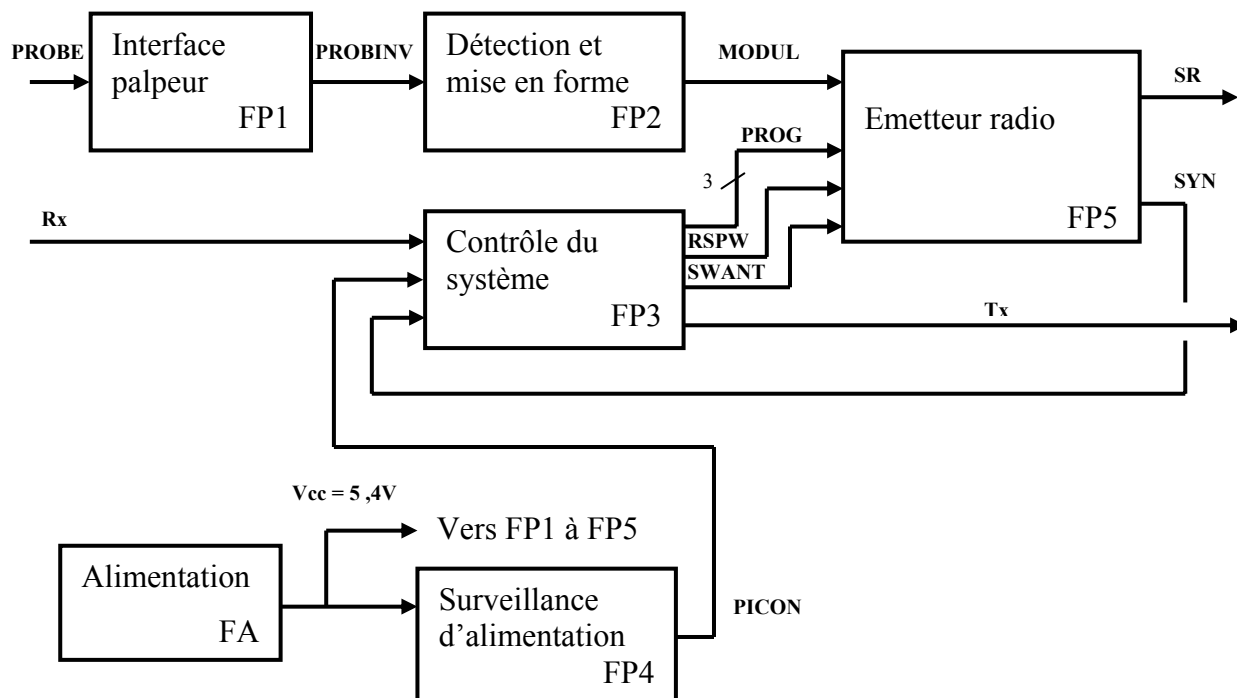


Fonction d'usage :

Le système technique doit pouvoir faire des mesures sur des pièces mécaniques (hauteur, largeur, diamètre, ...) avec une précision allant jusqu'au micromètre. Les mesures seront entièrement automatiques et reproductibles.

2. ANALYSE FONCTIONNELLE DE OT1 MODULE EMETTEUR RADIO.

2.1. SCHEMA FONCTIONNEL DE DEGRE 1.



Description des fonctions :

♦ FP1 : Interface palpeur.

Cette fonction permet de remettre en forme le signal issu du contact du palpeur.

- **Entrée** : PROBE, signal binaire (0 ; 5,4V) représentant l'état du palpeur (0V correspondant au palpeur en contact avec la pièce).
- **Sortie** : PROBINV, signal binaire (0 ; 5,4V) inversé par rapport à PROBE (5,4V correspondant au palpeur en contact avec la pièce).

♦ FP2 : Détection et mise en forme.

Cette fonction permet de fournir l'instant précis où le palpeur est entré en contact.

- **Entrée** : PROBINV, issu de FP1.
- **Sortie** : MODUL, signal analogique (0 ; 5V) comportant trois composantes fréquentielles. Un premier signal à 1kHz et modulé en phase (PSK) contenant à la fois une information de palpeur en contact, mais aussi l'instant précis où a eu lieu le contact. Cette information est transmise en série. Un second signal à 500Hz permet de récupérer l'horloge d'émission à 1kHz. Pour finir un signal à 100Hz indique le bon état des piles.

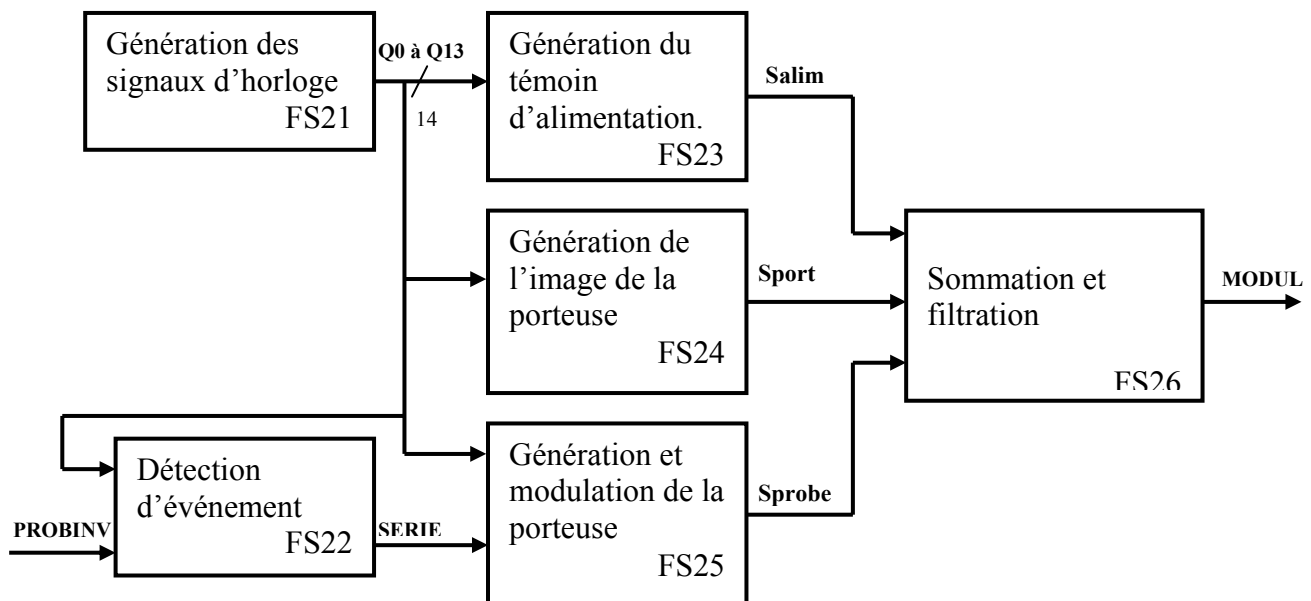
♦ FP3 : Contrôle du système.

Cette fonction permet de dialoguer par liaison série optique avec OT4 pour obtenir l'ordre de mise en marche et d'arrêt ainsi que le numéro de canal de transmission choisi. Elle contrôle le bon fonctionnement du système.

- **Entrées** :
 - ✓ Rx, signal optique de réception série.
 - ✓ PICON, signal logique issu de FP4 indiquant le bon état des piles.
 - ✓ SYN, signal logique issu de FP5 indiquant le bon fonctionnement de l'émetteur.
- **Sorties** :
 - ✓ RSPW, signal logique commandant l'alimentation de l'émetteur (1 logique pour mise en marche).
 - ✓ SWANT signal logique commandant la connexion de l'antenne à la sortie de l'émetteur.

- ✓ PROG, liaison série synchrone comportant trois fils (ENABLE, DATA et CLOCK) pour l'initialisation de l'émetteur (entre autre la fréquence d'émission).
- ♦ **FP4 : Surveillance d'alimentation.**
Cette fonction permet de détecter l'usure des piles d'alimentation de l'émetteur radio.
 - **Entrée** : tension des piles (5,4V).
 - **Sortie** : PICON, signal binaire indiquant un bon état des piles.
- ♦ **FP5 : Emetteur radio.**
Cette fonction permet de transmettre par liaison radio l'information issue de FP2.
 - **Entrées** :
 - ✓ MODUL, signal analogique issu de FP2 représentant principalement la mesure faite.
 - ✓ RSPW, signal logique commandant l'alimentation de l'émetteur (1 logique pour mise en marche).
 - ✓ SWANT signal logique commandant la connexion de l'antenne à la sortie de l'émetteur.
 - ✓ PROG, liaison série synchrone comportant trois fils (ENABLE, DATA et CLOCK) pour l'initialisation de l'émetteur (entre autre la fréquence d'émission).
 - **Sorties** :
 - ✓ SR, signal radio à 433MHz sur un des 69 canaux.
 - ✓ SYN, signal logique indiquant le bon fonctionnement de l'émetteur.

2.2. SCHEMA FONCTIONNEL DE DEGRE 2 DE FP2.



Description des fonctions :

- ♦ **FS21 : Génération des signaux d'horloge.**
Cette fonction permet de générer tous les signaux d'horloge utile au fonctionnement de FP2. Les différentes horloges sont issues d'un quartz à 4MHz.
 - **Sorties** : Q0 à Q13, signaux binaires de rapport cyclique 1/2, de fréquence moitié l'un par rapport à l'autre. Q0 à 1MHz, Q1 à 500kHz, ..., Q13 à 122Hz.
- ♦ **FS22 : Détection d'événement.**
Cette fonction permet de détecter le moment précis où le palpeur est entré en contact.
 - **Entrées** :
 - ✓ Q0 à Q13, signaux d'horloge.
 - ✓ PROBINV, issu de FP1.
 - **Sortie** : SERIE, signal binaire représentant une émission en série au rythme du 976Hz (~1kHz). Sont envoyés les 8 bits (Q3 à Q10) capturés à l'événement sur PROBINV, poids faible en tête, ainsi qu'un bit de parité et enfin un bit représentant l'état du palpeur (lorsque le palpeur est en appui ce bit est à 1). En fin de transmission le signal SERIE garde l'état du dernier bit reçu (c'est à dire : état du palpeur).

♦ **FS23 : Génération du témoin d'alimentation.**

Cette fonction permet de générer un signal sinusoïdal de fréquence 122Hz témoin du bon état des piles.

- **Entrée** : Q0 à Q13, signaux d'horloge.
- **Sortie** : Salim, signal quasi sinus de fréquence 122Hz et d'amplitude 0 à 5V.

♦ **FS24 : Génération de l'image de la porteuse.**

Cette fonction permet de générer un signal sinusoïdal de fréquence 488Hz image (divisée par 2) de l'horloge d'émission du signal SERIE.

- **Entrée** : Q0 à Q13, signaux d'horloge.
- **Sortie** : Sport, signal quasi sinus de fréquence 488Hz et d'amplitude 0 à 5V.

♦ **FS25 : Génération et modulation de la porteuse.**

Cette fonction permet de faire une modulation à saut de phase (PSK) pour transmettre le signal série issu de FS22.

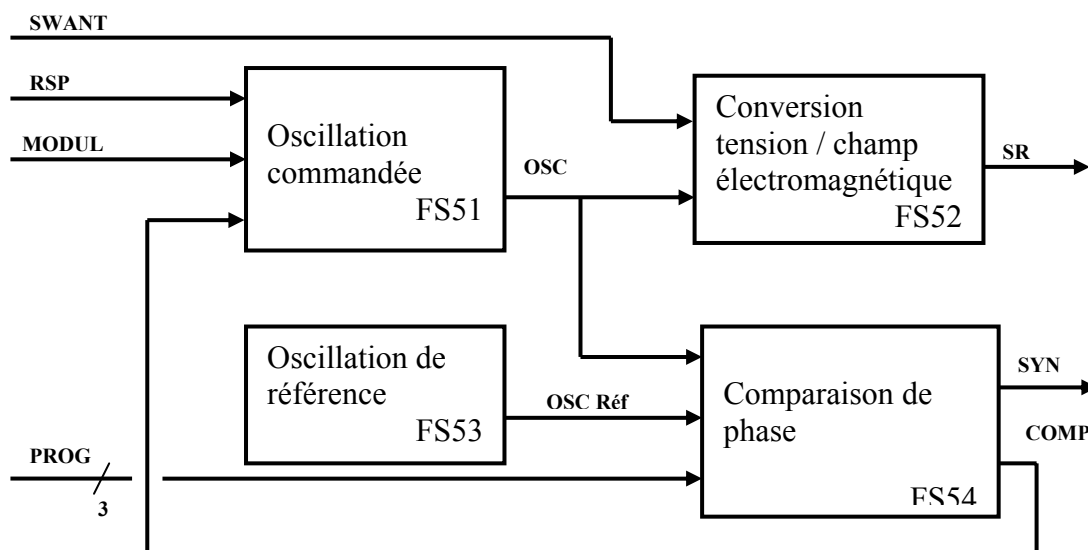
- **Entrées** :
 - ✓ Q0 à Q13, signaux d'horloge.
 - ✓ SERIE, issu de FS22.
- **Sortie** : Sprobe, signal quasi sinus de fréquence 976Hz, d'amplitude 0 à 5V et modulé en phase (en phase ou en opposition de phase).

♦ **FS26 : Sommation et filtration.**

Cette fonction permet de faire la somme pondérée des trois signaux à transmettre ainsi que le filtrage des harmoniques.

- **Entrées** :
 - ✓ Salim, issu de FS23.
 - ✓ Sport, issu de FS24.
 - ✓ Sprobe, issu de FS25.
- **Sortie** : MODUL, signal analogique d'amplitude 0 à 5V avec des composantes fréquentielles à 122Hz, 488Hz et le signal utile autour de 976Hz.

2.3. SCHEMA FONCTIONNEL DE DEGRE 2 DE FP5.



Description des fonctions :

♦ **FS51 : Oscillation commandée.**

Cette fonction permet de réaliser un oscillateur commandé en tension.

- **Entrées** :
 - ✓ RSPW, signal de mise en marche issu de FP3.
 - ✓ MODUL, signal à transmettre issu de FP2.
 - ✓ COMP, signal représentant l'erreur de phase issu de FS54.
- **Sortie** : OSC, signal analogique sinusoïdal modulé en fréquence avec une porteuse dans la bande des 433MHz (69 canaux possibles).

♦ **FS52 : Conversion tension / champ électromagnétique.**

Cette fonction permet de transformer le signal électrique en champ électromagnétique.

➤ **Entrées :**

- ✓ SWANT, ordre de connexion de l'antenne issu de FP3.
- ✓ OSC, issu de FS51.

- **Sortie :** SR, signal radio (champ électromagnétique) modulé en fréquence autour d'une porteuse à 433MHz. En fait 69 canaux sont possibles allant de 433,075MHz à 434,8MHz par pas de 25kHz.

♦ **FS53 : Oscillation de référence.**

Cette fonction permet de générer une fréquence de référence pour faire le réglage de la fréquence d'émission.

- **Sortie :** OSC Réf, signal sinusoïdal de fréquence 8MHz et d'amplitude comprise entre 0 à 5V.

♦ **FS54 : Comparaison de phase.**

Cette fonction permet de fournir une tension image de l'erreur de phase entre deux signaux périodiques.

➤ **Entrées :**

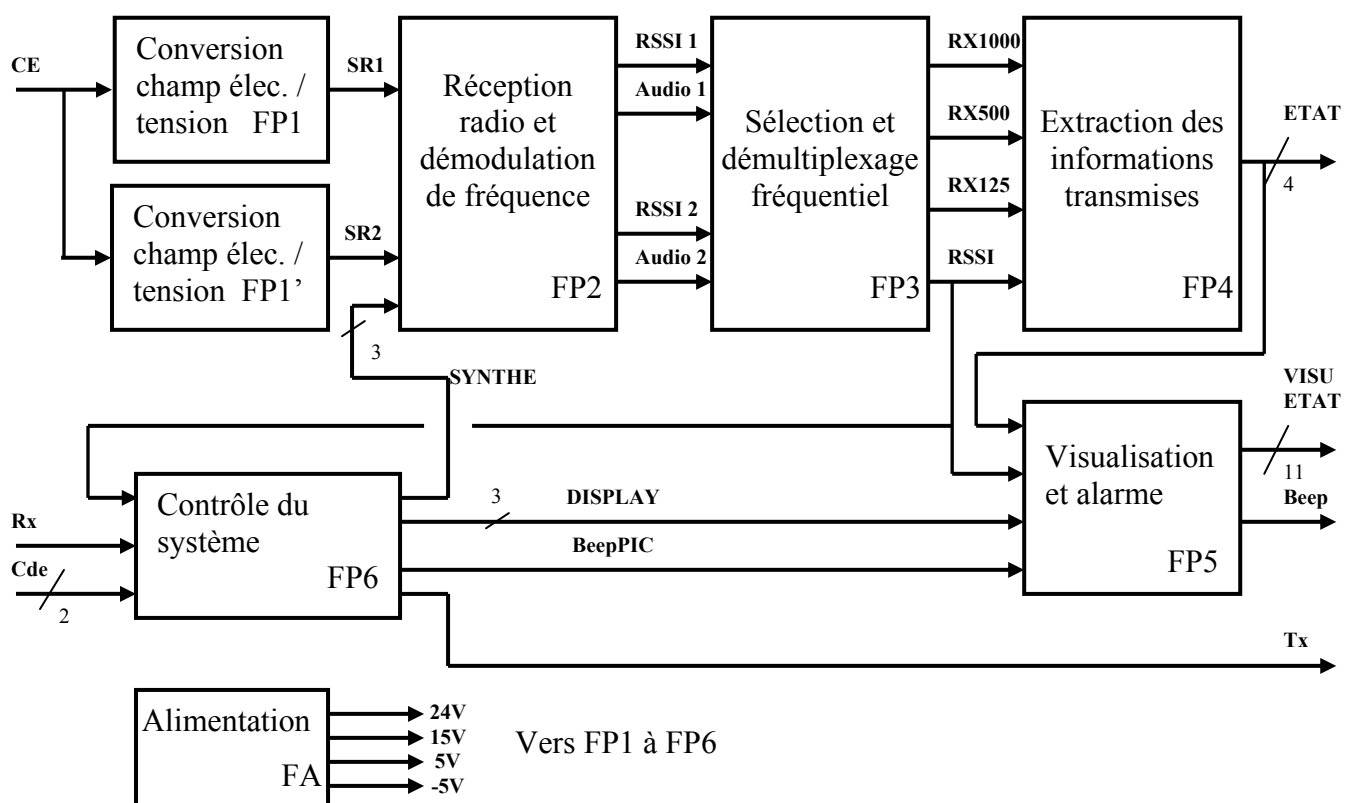
- ✓ OSC, issu de FS51.
- ✓ OSC Réf, issu de FS53.
- ✓ PROG, signal de programmation issu de FP3.

➤ **Sortie :**

- ✓ SYN, signal logique indiquant la synchronisation des signaux d'entrée.
- ✓ COMP, tension analogique comprise entre 0 et 5V image de l'erreur de phase entre un signal de fréquence N1 fois plus faible que OSC et un signal de fréquence N2 fois plus faible que OSC Réf. Cette erreur est aussi filtrée dans la fonction. On peut avoir avant filtrage, une erreur de phase comprise entre 0 et 360°.

3. ANALYSE FONCTIONNELLE DE OT4 MODULE RECEPTEUR RADIO.

3.1. SCHEMA FONCTIONNEL DE DEGRE 1.



Description des fonctions :

♦ **FP1, FP1' : Conversion champ électromagnétique / tension.**

Cette fonction permet de convertir l'onde électrique reçue en une tension.

- **Entrée** : CE, champ électromagnétique autour de 433MHz provenant de l'émetteur.
- **Sortie** : SR1, SR2, tensions analogiques de faible amplitude image de CE. La conversion se fait suivant deux axes perpendiculaires entre eux, l'une donne SR1, l'autre SR2.

♦ **FP2 : Réception radio et démodulation de fréquence.**

Cette fonction permet de démoduler (en fréquence) les signaux d'entrée sur le canal choisi.

- **Entrées** :
 - ✓ SR1, SR2, issus de FP1 et FP1'.
 - ✓ SYNTHE, liaison série synchrone (signal logique sur 3 bits, ENABLE, DATA et CLOCK) issu de FP6 servant à programmer le canal choisi.
- **Sorties** :
 - ✓ Audio1, signal SR1 démodulé en fréquence sur le canal choisi et dans l'axe de la voie 1.
 - ✓ RSSI1, signal analogique image du niveau de réception sur la voie 1.
 - ✓ Audio2, RSSI2, même chose que Audio1 et RSSI1, mais pour SR2.

♦ **FP3 : Sélection et démultiplexage fréquentiel.**

Cette fonction permet de choisir le signal ayant la plus forte réception (Audio1 ou Audio2), puis de séparer les trois informations reçues.

- **Entrées** : RSSI1, Audio1, RSSI2, Audio2 signaux analogiques issus de FP2.
- **Sorties** :
 - ✓ RX1000, signal analogique sinusoïdal de fréquence 976Hz, modulé en phase (PSK), contenant l'information sur l'état du palpeur ainsi que le moment (dans une période du 976Hz) où le palpeur a changé d'état (mot de 8 bits utiles).
 - ✓ RX500, signal analogique sinusoïdal de fréquence 488Hz image de la fréquence d'émission (divisée par 2) du signal PSK.
 - ✓ RX125, signal analogique sinusoïdal de fréquence 122Hz, témoin du bon état des piles de l'émetteur.
 - ✓ RSSI, signal analogique image du niveau de réception.

♦ **FP4 : Extraction des informations transmises.**

Cette fonction permet de fournir les informations logiques transmises par l'émetteur.

Principalement, le moment exact où le palpeur a changé d'état (après démodulation PSK et conversion nombre => temps).

- **Entrée** : Tensions RX1000, RX500, RX125, RSSI, issues de FP3.
- **Sortie** : ETAT, signal binaire sur 4 bits indiquant l'état du palpeur et transmis vers la machine à commande numérique.
 - ✓ PROBE STATUS, représentant l'état du palpeur (en contact ou non).
 - ✓ ERROR, indiquant une erreur de transmission.
 - ✓ LOW BATTERY, indiquant l'état des piles de l'émetteur.
 - ✓ LOW SIGNAL, indiquant un niveau de réception trop faible pour le bon fonctionnement du système.

♦ **FP5 : Visualisation et alarme.**

Cette fonction permet de réaliser l'interface avec l'opérateur, à la fois de façon visuelle pour fournir l'état du palpeur et le niveau de réception, mais aussi sonore pour avertir d'un problème et pour confirmer les commandes de l'opérateur (mise en marche et choix du canal de transmission).

- **Entrées** :
 - ✓ ETAT, signal binaire sur 4 bits issu de FP4, indiquant l'état du palpeur.
 - ✓ RSSI, signal analogique issu de FP3, indiquant le niveau de réception.
 - ✓ DISPLAY, liaison série synchrone comportant trois fils (ENABLE, DATA et CLOCK) issue de FP6 pour transmettre les valeurs à afficher concernant la programmation du numéro de canal.
 - ✓ BeepPIC, signal logique issu de FP6 demandant une impulsion sonore sur le haut parleur.
- **Sorties** :
 - ✓ VISU ETAT, représente un ensemble de signaux visuels composé de :

- 1 bargraph indiquant le niveau de réception de la transmission radio.
- 2 afficheurs 7 segments indiquant le numéro de canal de transmission.
- 5 diodes électro-luminescentes (DEL) d'indications pour aider l'opérateur à programmer le numéro de canal sur le récepteur et sur l'émetteur (TIMEOUT, SHANK, SPIN, OPTIC et ON/OFF).
- 4 DELs indiquant si le palpeur est en contact, s'il y a une erreur de transmission, si la batterie de l'émetteur est déchargée et si le signal radio est trop faible.
- ✓ Beep, signal sonore d'avertissement de l'opérateur.

♦ **FP6 : Contrôle du système.**

Cette fonction permet de dialoguer, par liaison série optique, avec OT1 pour lui envoyer l'ordre de M/A ainsi que le numéro de canal de transmission choisi.

Elle va également permettre le réglage exact de la fréquence de réception (FP2) et gérer les commandes d'affichage (Fp5).

➤ **Entrées :**

- ✓ RX, signal optique de réception série.
- ✓ RSSI, signal analogique issu de FP3, indiquant le niveau de réception.
- ✓ Deux signaux de commande permettant la mise en M/A et le choix du canal de réception.

➤ **Sorties :**

- ✓ SYNTH, liaison série synchrone (signal logique sur 3 bits, ENABLE, DATA et CLOCK) servant à programmer le canal choisi.
- ✓ DISPLAY, liaison série synchrone comportant trois fils (ENABLE, DATA et CLOCK) pour transmettre les valeurs à afficher concernant la programmation du numéro de canal.
- ✓ BeepPIC, signal logique demandant une impulsion sonore sur le haut parleur.
- ✓ TX, signal optique de transmission série.

♦ **FA : Alimentation.**

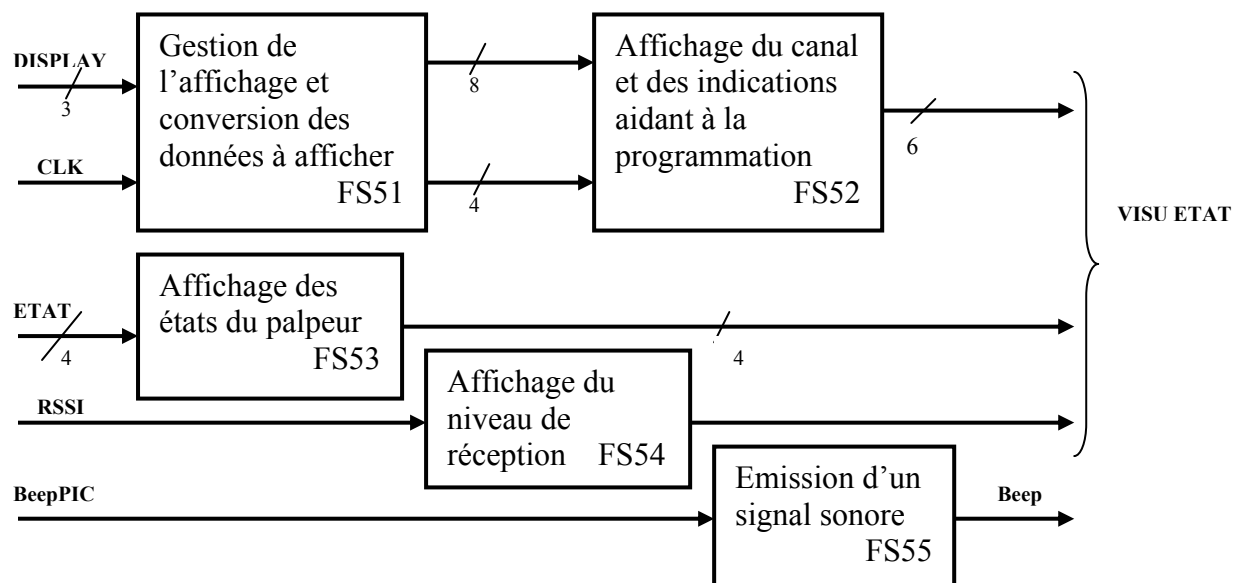
Cette fonction permet de fournir toutes les tensions nécessaires au bon fonctionnement du récepteur.

➤ **Entrée :** Réseau 230V alternatif (EDF).

➤ **Sorties :** Tensions continues de :

- ✓ +24V, 50mA.
- ✓ +15V, 100mA.
- ✓ +5V, 100mA.
- ✓ -5V, 100mA.

3.2. SCHEMA FONCTIONNEL DE DEGRE 2 DE FP5.



Description des fonctions :

♦ **FS51 : Gestion de l'affichage et conversion des données à afficher.**

Cette fonction permet de commander le bon afficheur au bon moment avec les données correspondantes. Elle réalise également une conversion des données pour obtenir une donnée au format afficheur 7 segments.

➤ **Entrées :**

- ✓ DISPLAY, liaison série synchrone comportant trois fils (ENABLE, DATA et CLOCK) issue de FP6 pour transmettre les valeurs à afficher concernant la programmation du numéro de canal.
- ✓ CLK, signal d'horloge.

➤ **Sorties :**

- ✓ 8 signaux représentatifs des données à afficher au format 7 segments.
- ✓ 4 signaux de commande de choix de l'afficheur.

♦ **FS52 : Affichage du canal et des indications aidant à la programmation.**

Cette fonction permet d'afficher le canal choisi ainsi que des indications nécessaires à l'opérateur pour la programmation.

➤ **Entrées :**

- ✓ 8 signaux représentatifs des données à afficher au format 7 segments.
- ✓ 4 signaux de commande de choix du bon afficheur.

➤ **Sortie :**

- ✓ Signaux affichés :
 - 2 afficheurs 7 segments indiquant le numéro de canal de transmission.
 - 5 diodes électro-luminescentes (DEL) d'indications pour aider l'opérateur à programmer le numéro de canal sur le récepteur et sur l'émetteur (TIMEOUT, SHANK, SPIN, OPTIC et ON/OFF).

♦ **FS53 : Affichage des états du palpeur.**

Cette fonction permet l'affichage des différents états du palpeur

➤ **Entrées :** : ETAT, signal binaire sur 4 bits indiquant l'état du palpeur

- ✓ PROBE STATUS, représentant l'état du palpeur (en contact ou non).
- ✓ ERROR, indiquant une erreur de transmission.
- ✓ LOW BATTERY, indiquant l'état des piles de l'émetteur.
- ✓ LOW SIGNAL, indiquant un niveau de réception trop faible pour le bon fonctionnement du système.

➤ **Sortie :**

- ✓ Signaux affichés :
 - 4 DELs indiquant si le palpeur est en contact, s'il y a une erreur de transmission, si la batterie de l'émetteur est déchargée et si le signal radio est trop faible.

♦ **FS54 : Affichage du niveau de réception.**

Cette fonction permet l'affichage du niveau de réception.

➤ **Entrée :** RSSI, signal analogique issu de FP3, indiquant le niveau de réception.

➤ **Sortie :**

- ✓ 1 bargraph indiquant le niveau de réception de la transmission radio.

♦ **FS55 : Emission d'un signal sonore.**

Cette fonction permet de produire un signal sonore pour avertir d'un problème.

➤ **Entrée :**

- ✓ BeepPIC, signal logique demandant une impulsion sonore sur le haut parleur.

➤ **Sortie :**

- ✓ Beep, signal sonore d'avertissement de l'opérateur.

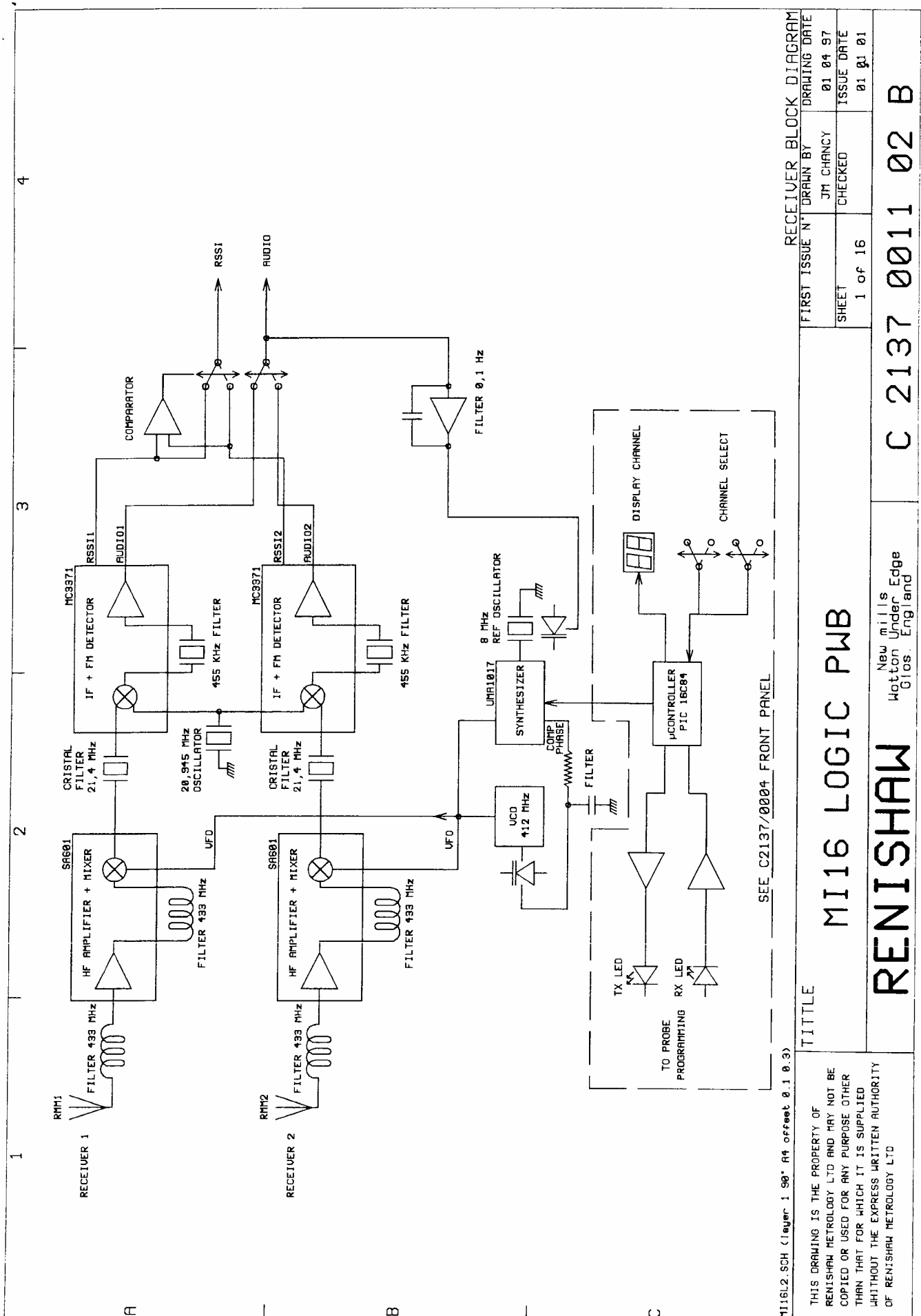
SYSTEME DE PALPAGE A TRANSMISSION RADIO

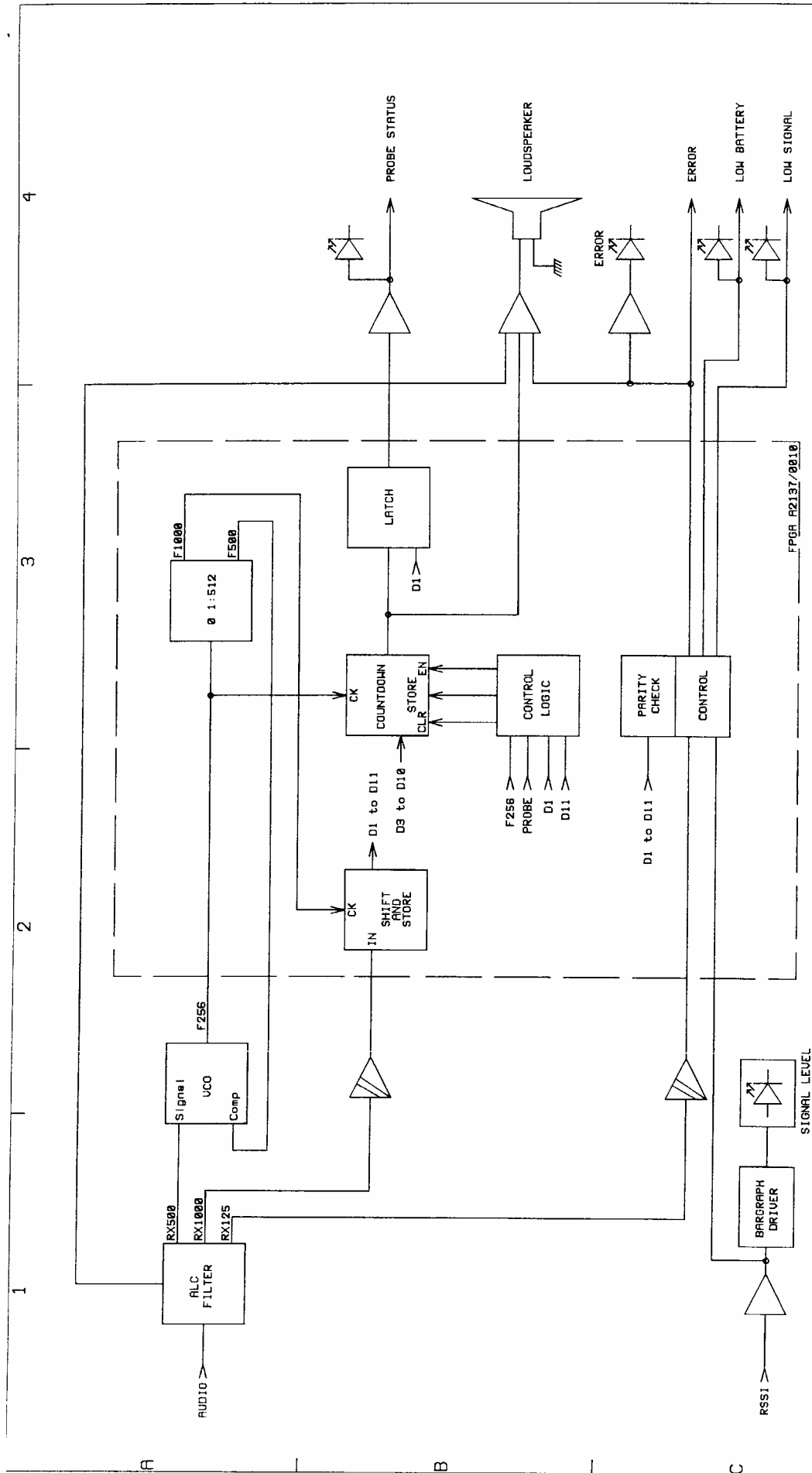
ETUDE DU RECEPTEUR (MI16)

DOSSIER DES SCHEMAS CONSTRUCTEUR

Contenu du dossier :

<i>Schémas partiels de la carte principale du récepteur "MI16 LOGIC PWB" (12 pages)</i>	<i>_____ 1 à 12</i>
<i>Schémas de la carte face avant du récepteur "MI16 FRONT PANEL" (7 feuilles A4)</i>	<i>_____ 13 à 15</i>
<i>Schémas partiels des fonctions internes du circuit logique programmable (7 pages)</i>	<i>_____ 16 à 22</i>





MI16L1 SCH (layer 1 90* A4 offset 0.1 0.3)

THIS DRAWING IS THE PROPERTY OF RENISHAW METROLOGY LTD AND MAY NOT BE COPIED OR USED FOR ANY PURPOSE OTHER THAN THAT FOR WHICH IT IS SUPPLIED WITHOUT THE EXPRESS WRITTEN AUTHORITY OF RENISHAW METROLOGY LTD

TITLE

MI16 LOGIC PWB

LOGIC BLOCKDIAGRAM

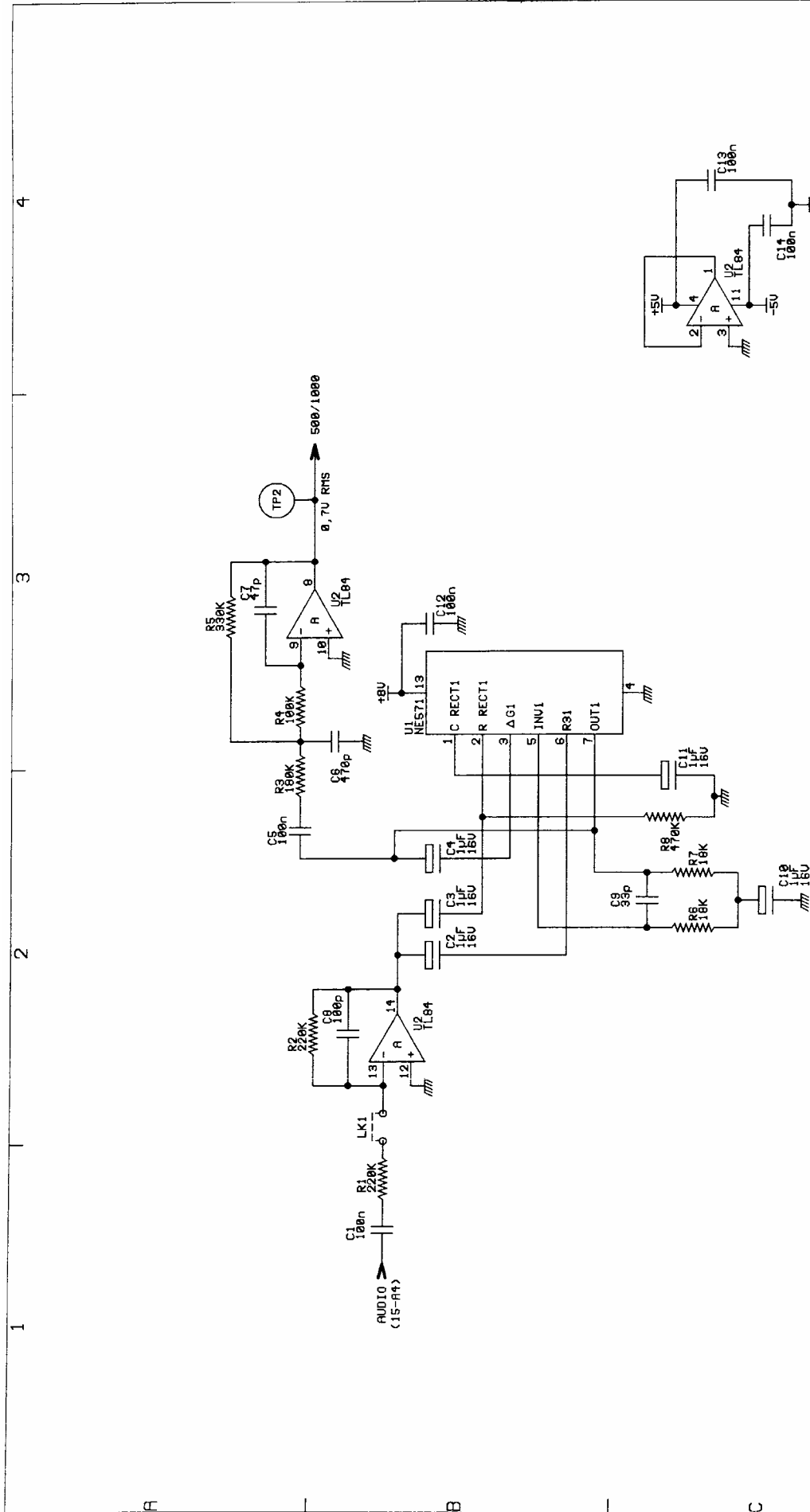
FIRST ISSUE N° DRAWN BY J.M. CHANCY CHECKED 01 04 97 SHEET 2 of 16

ISSUE DATE 01 01 01

New Mills
Wotton Under Edge
Glos. England

RENISHAW

C 2137 0011 02 B

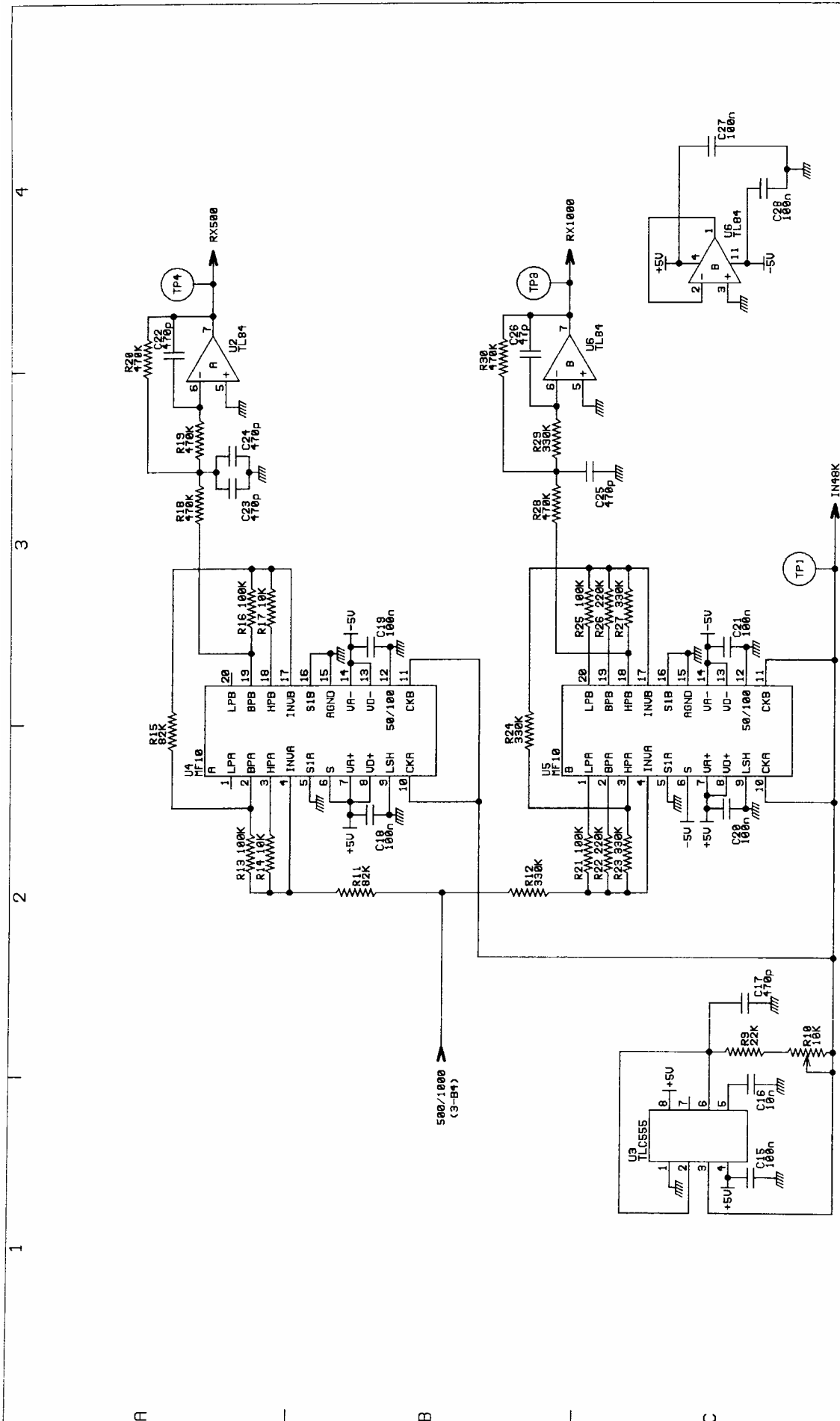


MI16L3 SCH (layer 1 90° A4 offset 0.1 0.3)

ALC/FILTER

THIS DRAWING IS THE PROPERTY OF RENISHAW METROLOGY LTD AND MAY NOT BE COPIED OR USED FOR ANY PURPOSE OTHER THAN THAT FOR WHICH IT IS SUPPLIED WITHOUT THE EXPRESS WRITTEN AUTHORITY OF RENISHAW METROLOGY LTD	TITLE		MI16 LOGIC PWB		FIRST ISSUE N°		DRAWN BY		DRAWING DATE	
							JM CHANCY		01 04 97	
							CHECKED		ISSUE DATE	

SHEET		3 of 16		ISSUE DATE		01 01 01	
RENISHAW		New mills Wotton Under Edge Glos England		C 2137 0011 02 B			

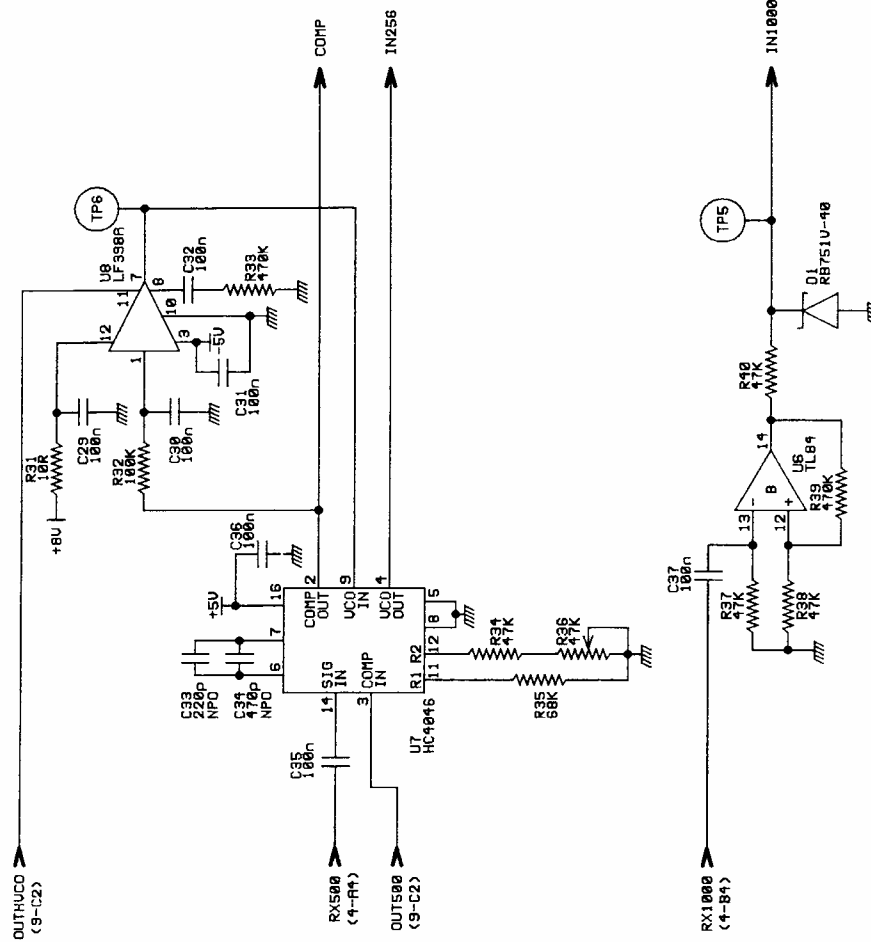


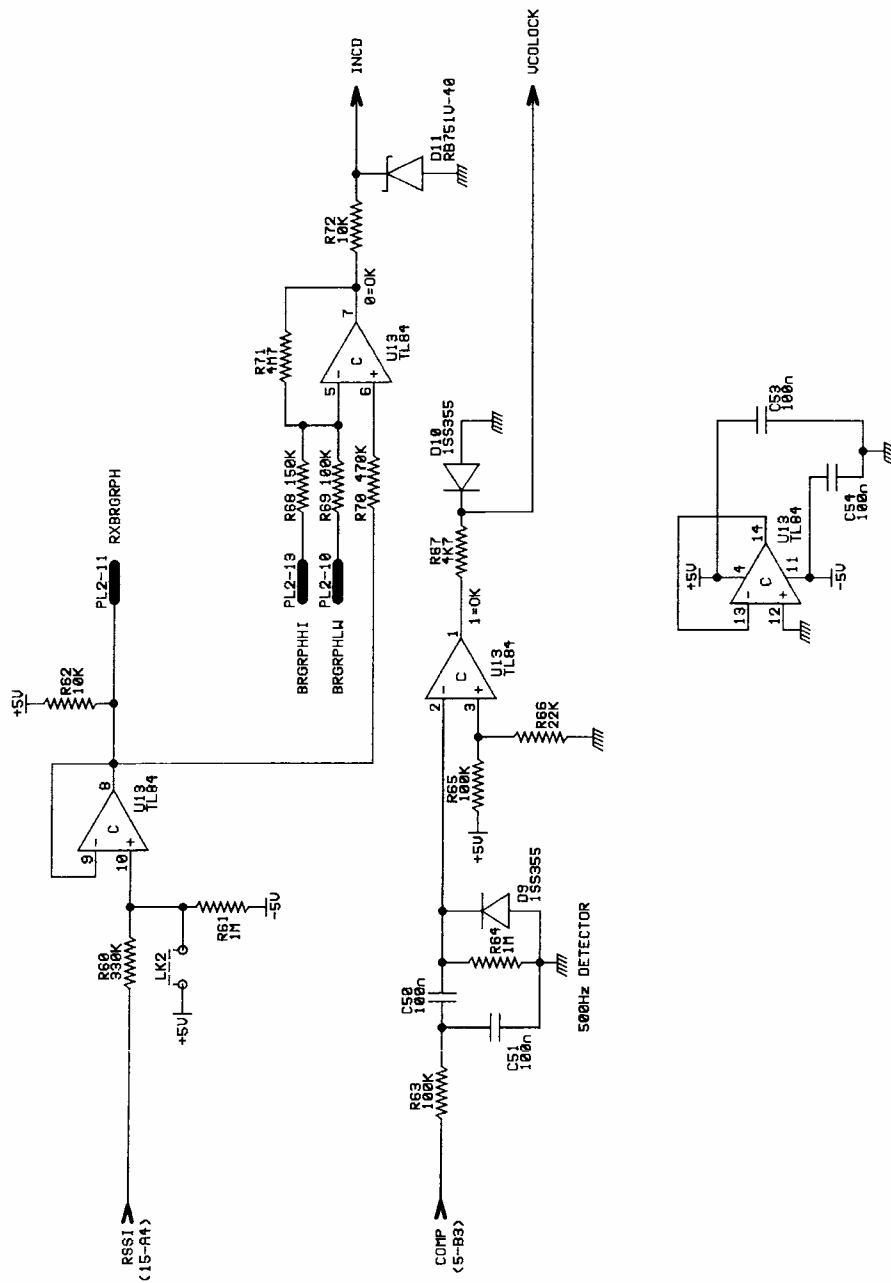
1116L4.SCH (layer 1 90° A4 offset 0 1 0.3)

THIS DRAWING IS THE PROPERTY OF RENISHAW METROLOGY LTD AND MAY NOT BE COPIED OR USED FOR ANY PURPOSE OTHER THAN THAT FOR WHICH IT IS SUPPLIED	TITLE		MI16 LOGIC PWB	
	FIRST ISSUE N°	DRAWN BY	DRAWING DATE	
	SHEET	JM CHANCY	01 04 97	
	4 of 16	CHECKED	ISSUE DATE	
			01 01 01	

WITHOUT THE EXPRESS WRITTEN AUTHORITY OF RENISHAW METROLOGY LTD	RENISHAW New mills Wotton Under Edge Glos. England	C 2137 0011 02 B
--	--	------------------

M116L5 SCH (layer 1 90° A4 offset 0.1 0.3)		TITLE		RX VCO	
THIS DRAWING IS THE PROPERTY OF RENISHAW METROLOGY LTD AND MAY NOT BE COPIED OR USED FOR ANY PURPOSE OTHER THAN THAT FOR WHICH IT IS SUPPLIED WITHOUT THE EXPRESS WRITTEN AUTHORITY OF RENISHAW METROLOGY LTD		MI16 LOGIC PWB		DRAWING DATE	
				01 04 97	
				ISSUE DATE	
				01 01 01	
		FIRST ISSUE N°		DRAWN BY	
		5 of 16		JM CHANCY	
		SHEET		CHECKED	
RENISHAW		New mills Watton Under Edge Glos. England		C 2137 0011 02 B	





MI16L8.SCH (layer 1 90° A4 offset 0 1 0.3)

THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD

TITLE

MI16 LOGIC PWB

RENISHAW

New mills
Wotton Under Edge
Glos. England

C 2137 0011 02 B

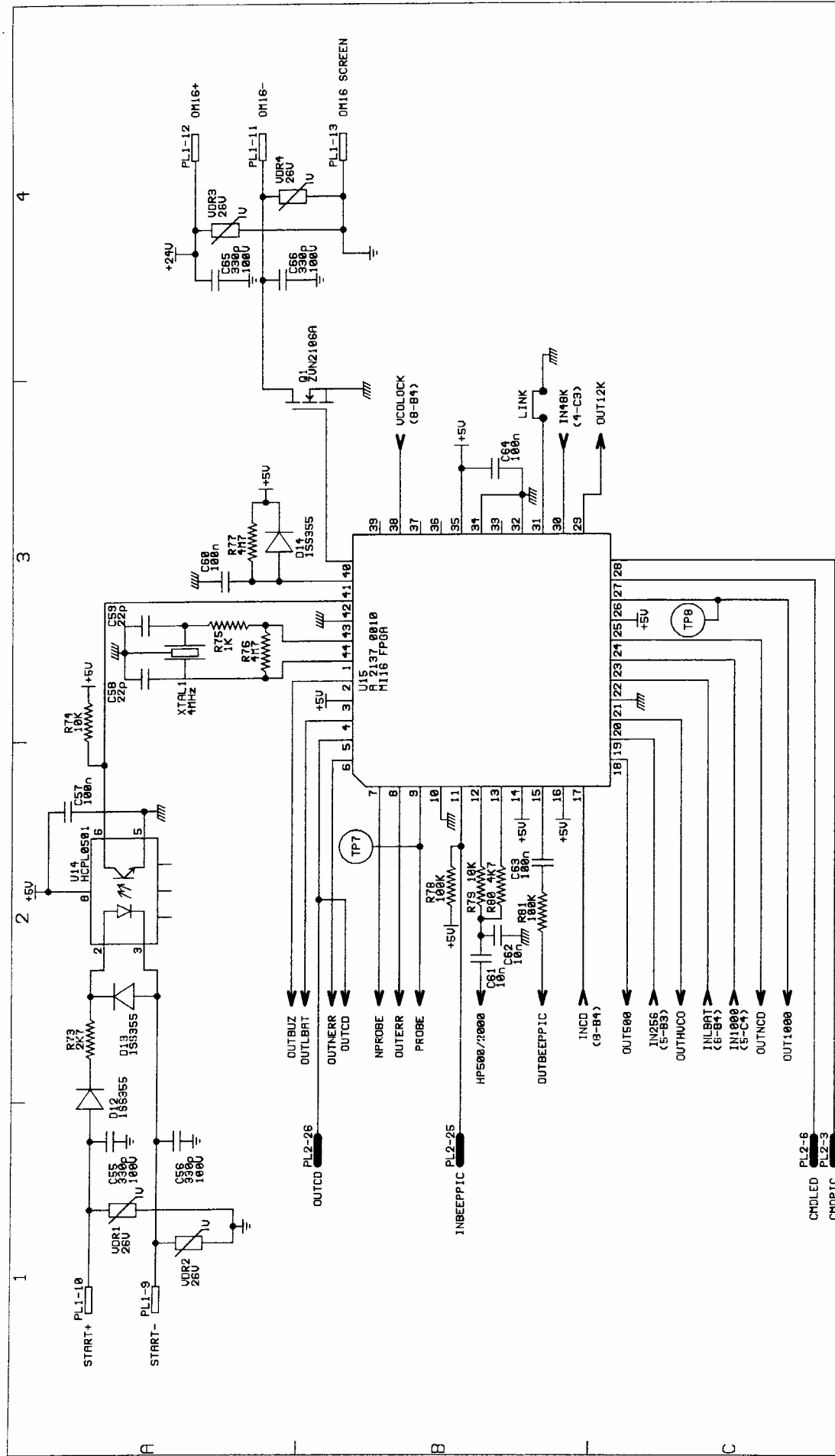
RX SIGNAL LEVEL

FIRST ISSUE N°	DRAWN BY	DRAWING DATE
----------------	----------	--------------

JM CHANCY	01 04 97
-----------	----------

SHEET	CHECKED	ISSUE DATE
0 - 0 - 10		01.01.04

10	10	10
----	----	----



FPGA

FIRST ISSUE N°	DRAWN BY	DRAWING DATE
9 of 16	JM CHANCY	01 04 97
SHEET	CHECKED	ISSUE DATE
9 of 16		01 01 01

MI16 LOGIC PWB

New mills
Hotton Under Edge
Glos. Eng and

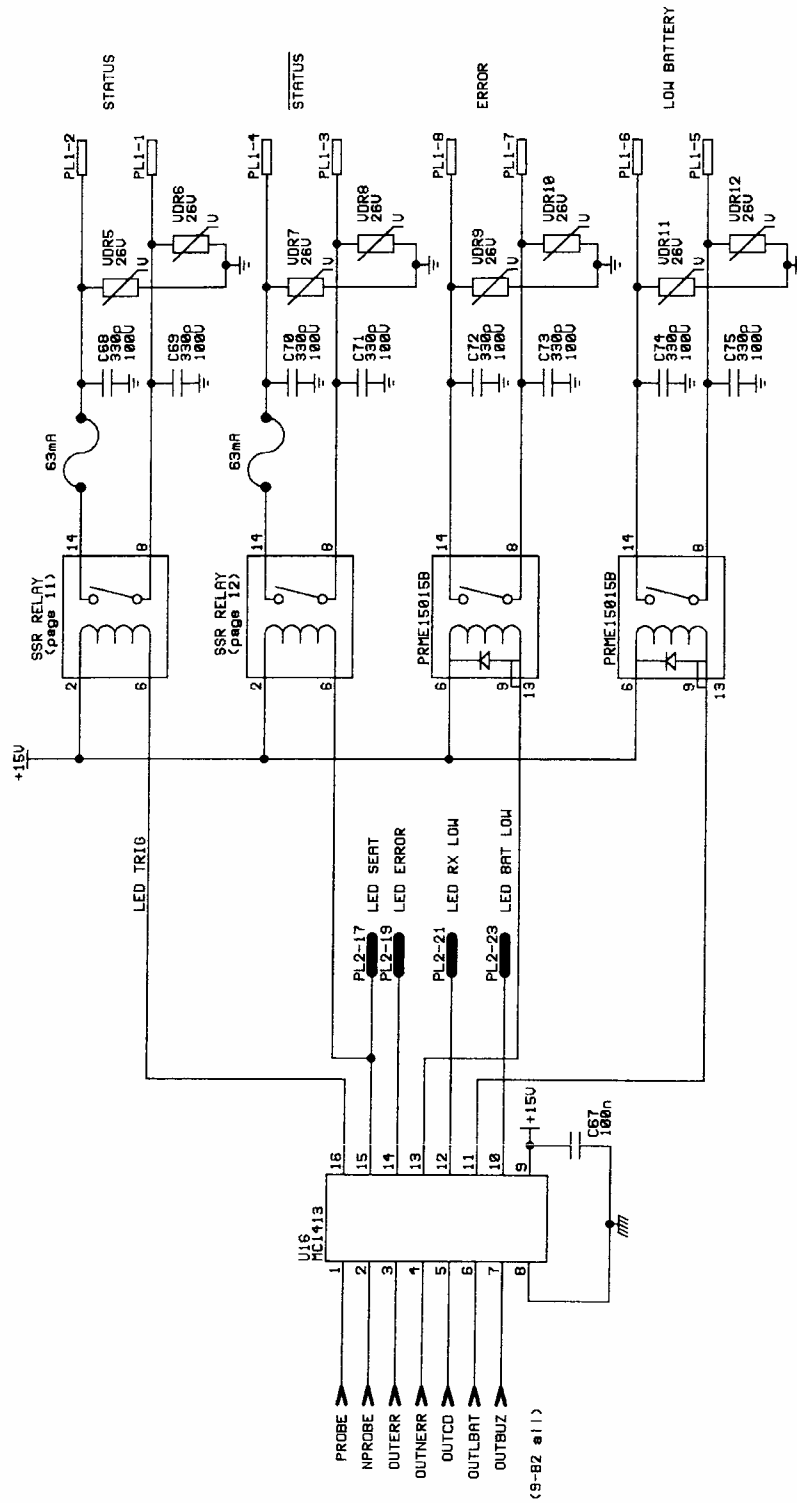
RENISHAW

C 2137 0011 02 B

MI16LS.SCH (layer 1 90° A4 offset 0.1 0.3)

TITLE

THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD



MI16L10.SCH (layer 1 90° A4 offset 0.1 0.3)

THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD

TITLE

MI16 LOGIC PWB

RENISHAW

New mills
Wotton Under Edge
Glos. England

C 2137 0011 02 B

LED/RELAY DRIVER	
FIRST ISSUE N°	DRAWN BY
	DRAWING DATE

JM CHANCY

01 04 97

HEET

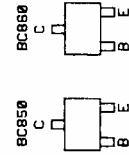
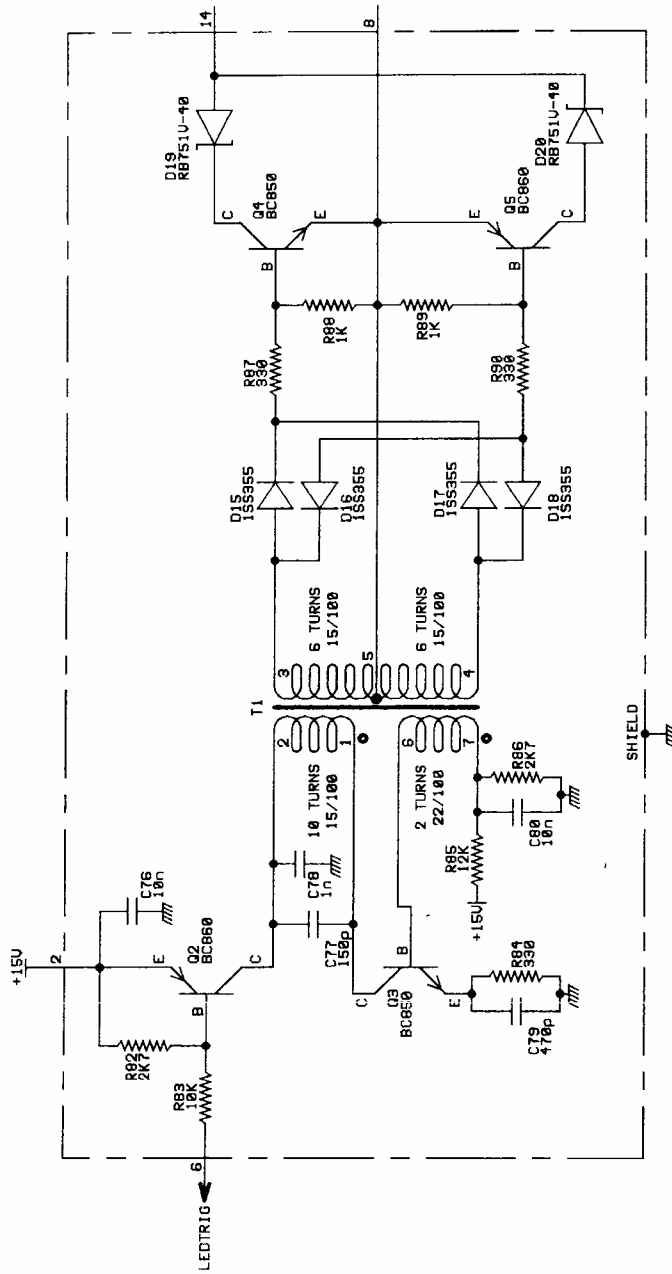
ISSUE DATE

CHECKED

ISSUE DATE

LED/RELAY DRIVER

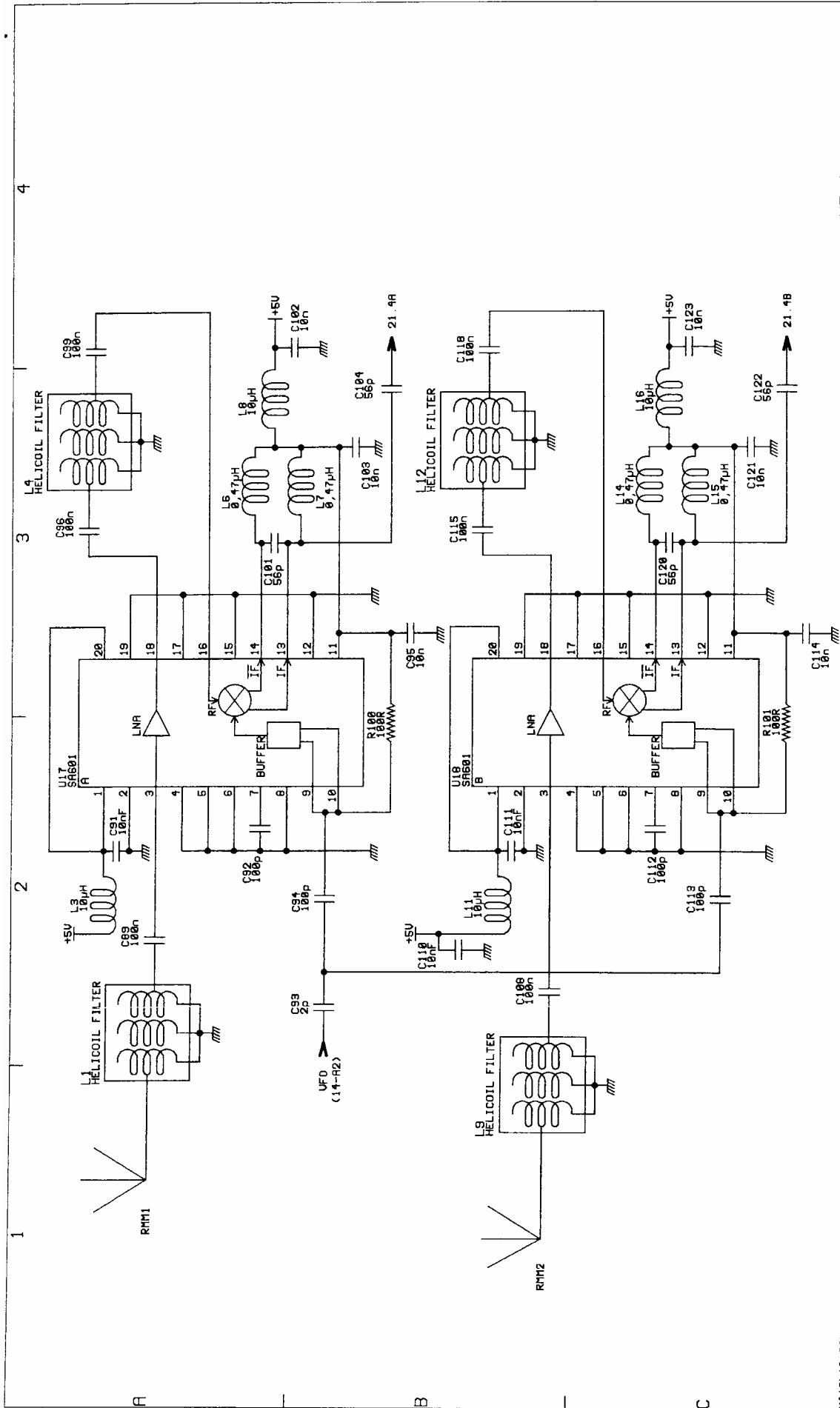
1 2 3 4



MI16L11 SCH (layer 1 90' at offset 0.1 0.3)

SSR RELAY

THIS DRAWING IS THE PROPERTY OF RENISHAW METROLOGY LTD AND MAY NOT BE COPIED OR USED FOR ANY PURPOSE OTHER THAN THAT FOR WHICH IT IS SUPPLIED WITHOUT THE EXPRESS WRITTEN AUTHORITY OF RENISHAW METROLOGY LTD	TITLE				
	MI16 LOGIC PWB				
	RENISHAW New Mills Wotton Under Edge Glos. England		FIRST ISSUE N°	DRAWN BY	DRAWING DATE
			SHEET 11 of 16	JM CHANCY CHECKED	01 04 97 ISSUE DATE 01 01 01
C 2137 0011 02 B					



MI16L13 SCH (layer 1 90' At offset 0.1 0.3)

TITLE

THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD

MI16 LOGIC PWB

RENISHAW

New Mills
Wotton Under Edge
Glos. England

C 2137 0011 02 B

HF AMPLI AND MIXER

FIRST ISSUE N°	DRAWN BY	DRAWING DATE
13 of 16	JM CHANCY	01 04 97
SHEET	CHECKED	ISSUE DATE
13 of 16		01 01 01

UFO AND SYNTHETISER
FIRST ISSUE N° DRAWN BY
01 04 97 JM CHANCY
SHEET 14 of 16
ISSUE DATE 01 01 01

C 2137 0011 02 B

New Mills
Wotton Under Edge
Glos England

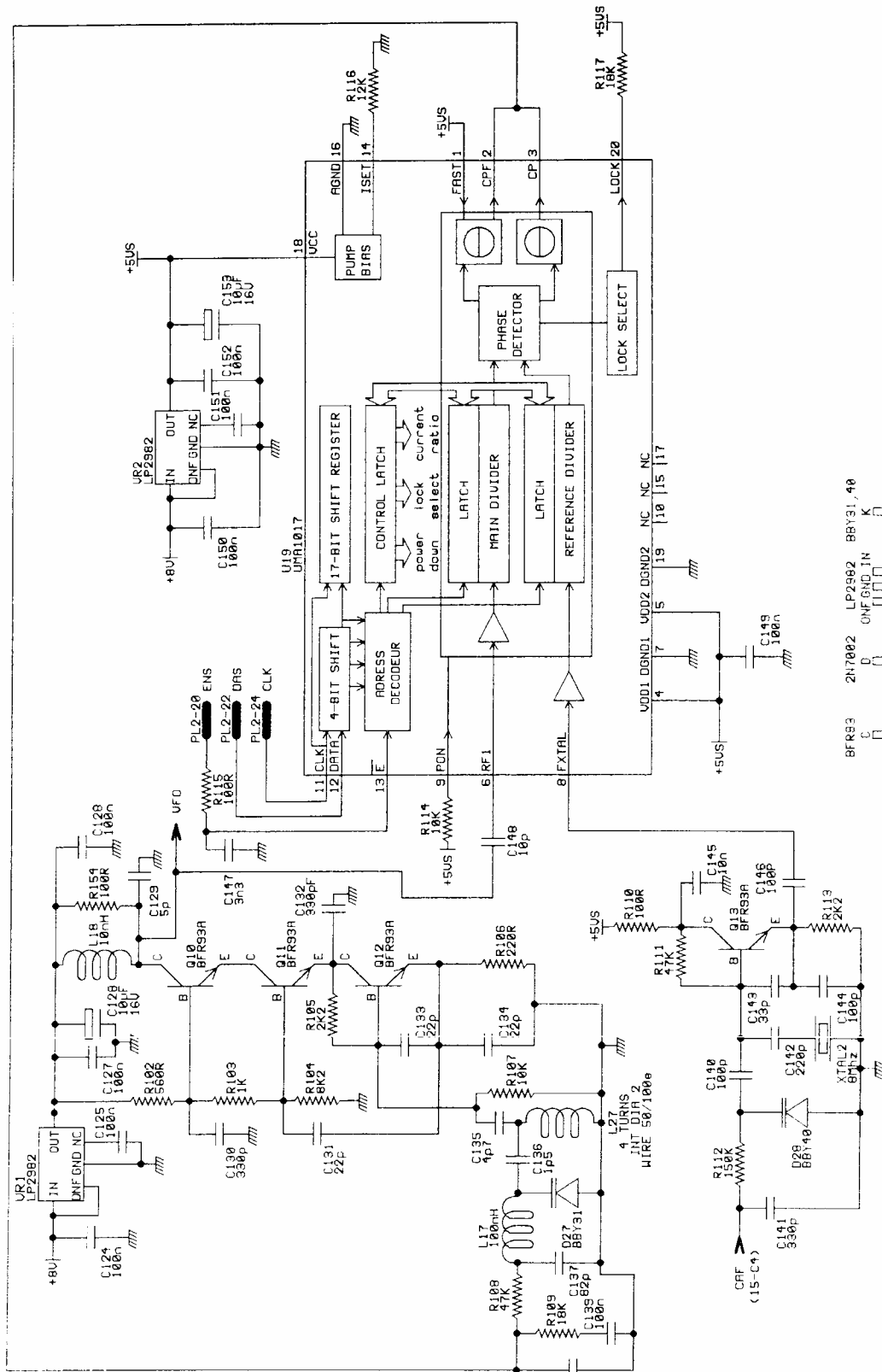
RENISHAW

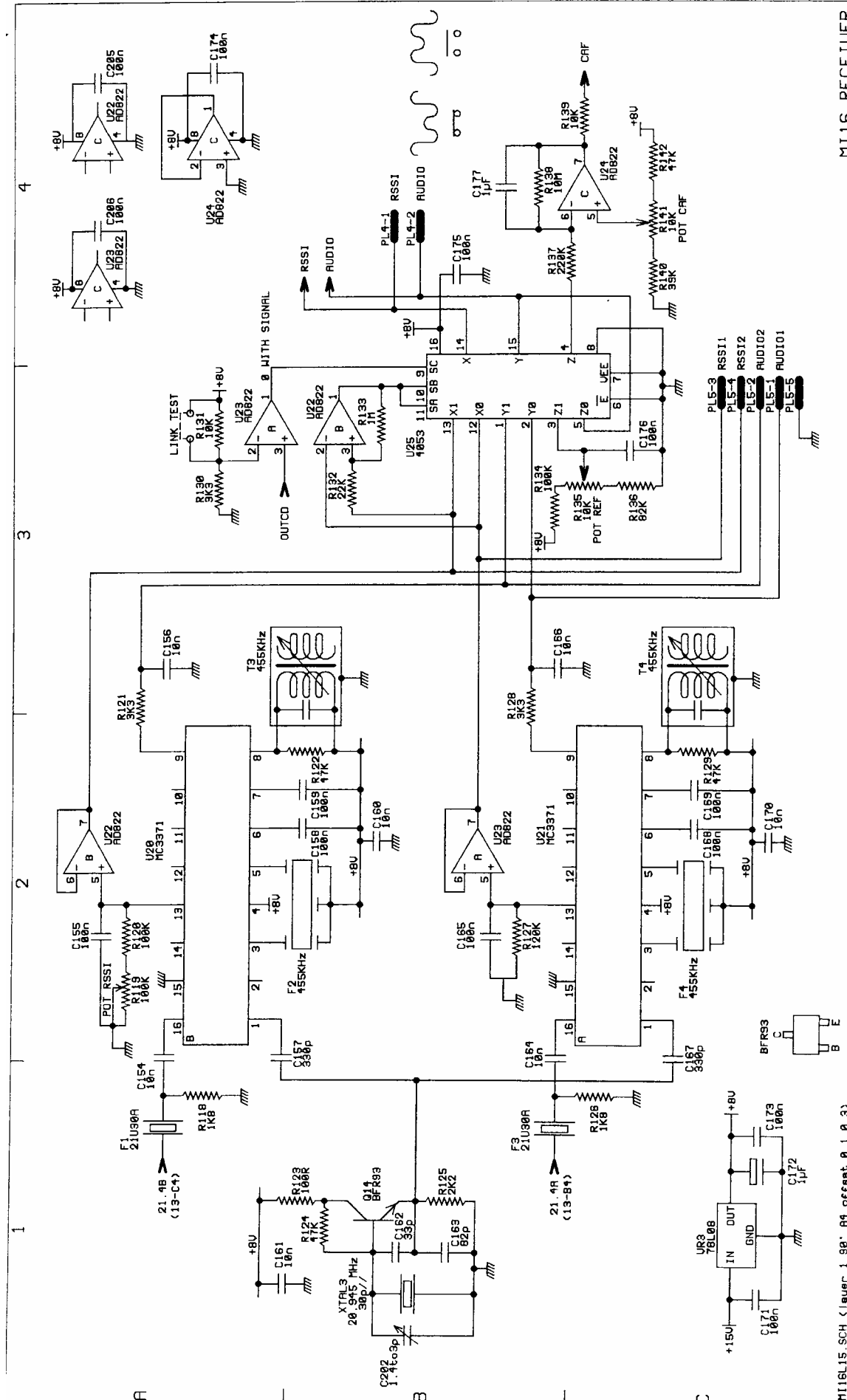
MI16 LOGIC PWB

TITLE

THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD

MI16U14 SUB CLEVER 1 90' 04 correct 2 1 0 30





MI16L15.SCH (Layer 1 90° A4 offset 0.1 0.3)

THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD

TITLE

MI16 LOGIC PWB

New mills
Watton Under Edge
Glos. England

RENISHAW

C 2137 0011 02 B

MI16 RECEIVER

FIRST ISSUE N°

DRAWN BY

J.M. CHANCY

DRAWING DATE

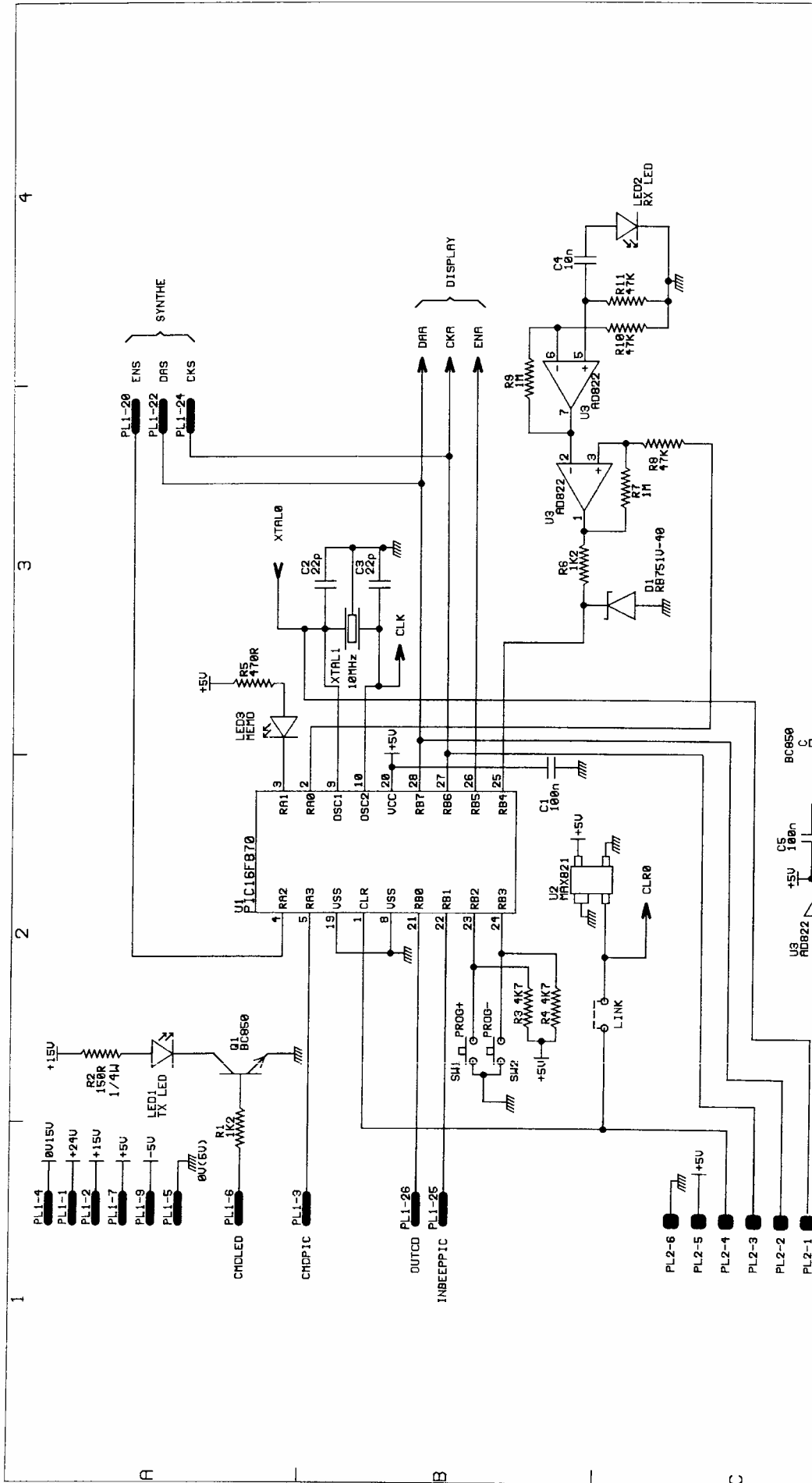
01 04 97

SHEET

15 of 16

ISSUE DATE

01 01 01



PIC MICROCONTROLLER - LED RX/TX

FCC ID: KQG MI16-224

FIRST ISSUE N°	DRAWN BY	DRAWING DATE
01	JM CHANCY	01 04 97
SHEET	CHECKED	ISSUE DATE
1 of 3		14 06 01

MI16 FRONT PANEL

RENISHAW

New Mills
Wotton Under Edge
Glos. England

C 2137 0004 02 B

MI16FP18.SCH (layer 1 90' A4 offset 0.1 0.3)

TITLE

THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD



FCC ID: KQG MI16-224

FIRST ISSUE N°	DRAWN BY	DRAWING DATE
	JM CHANCY	01 04 97
SHEET	CHECKED	ISSUE DATE
2 of 3		14 06 01

TITLE

New mills
Wotton Under Edge
Glos. England

RENISHAW

C 2137 0004 02 B

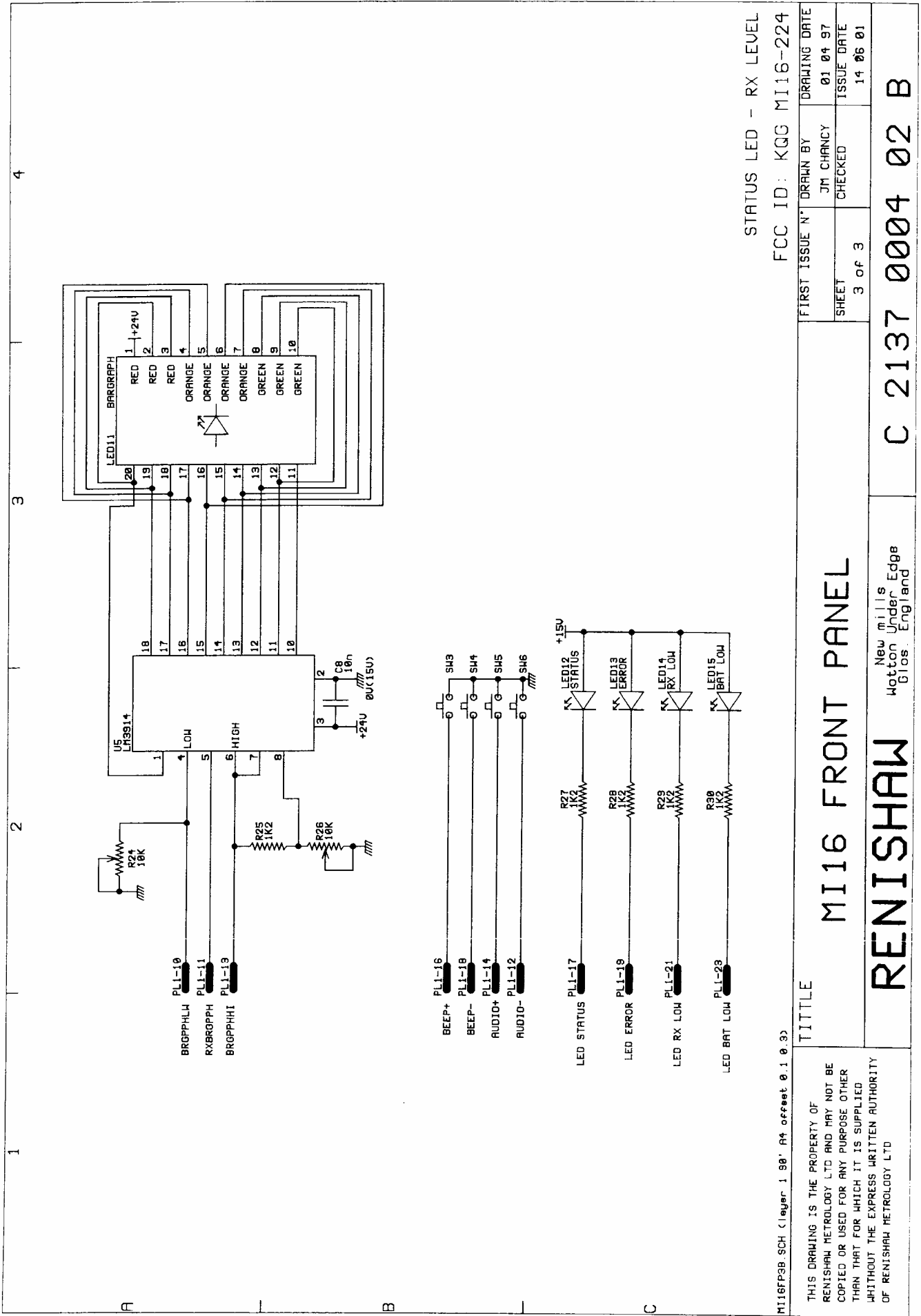
ISSUE DATE
14 06 01

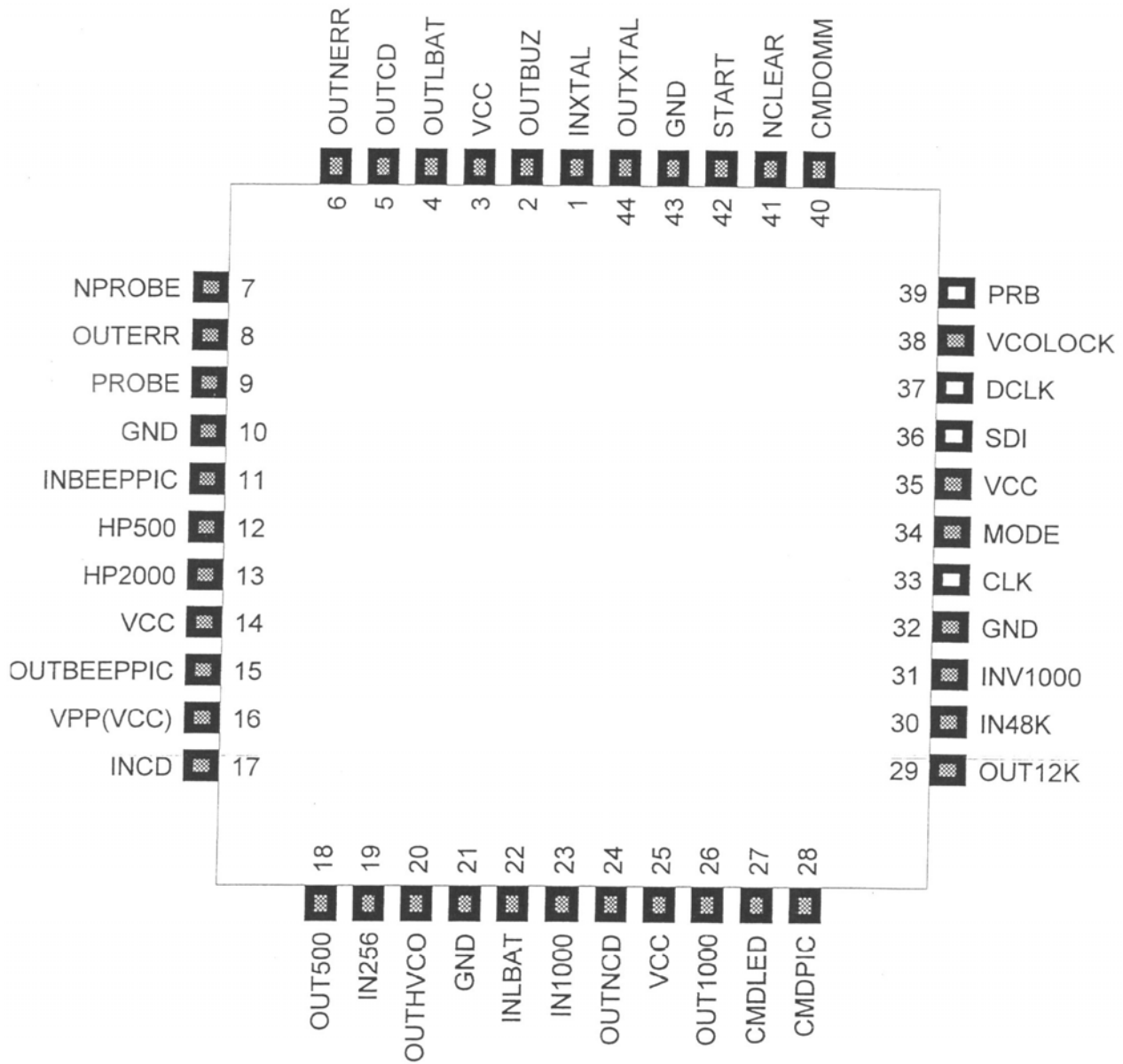
CHECKED

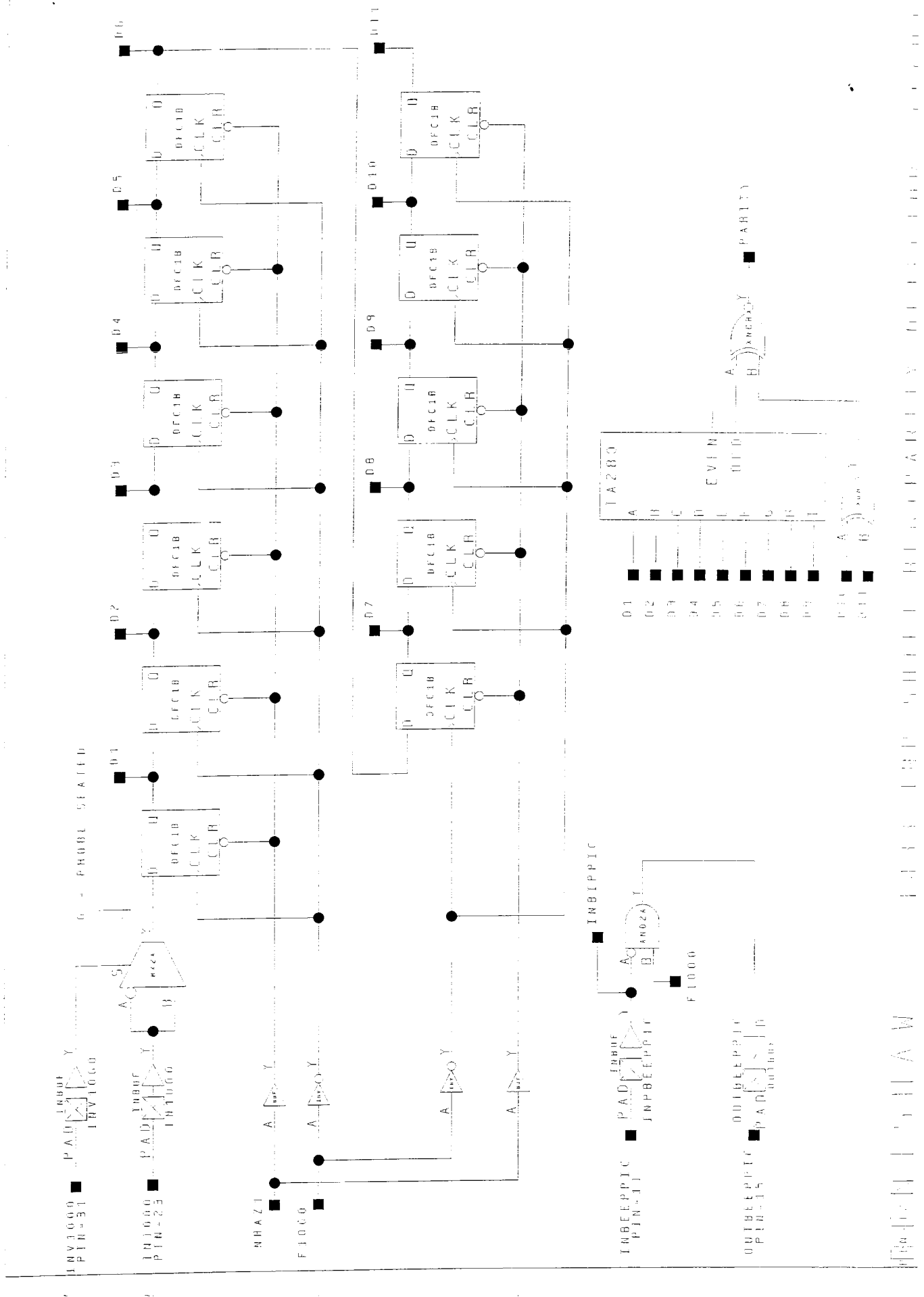
SHEET

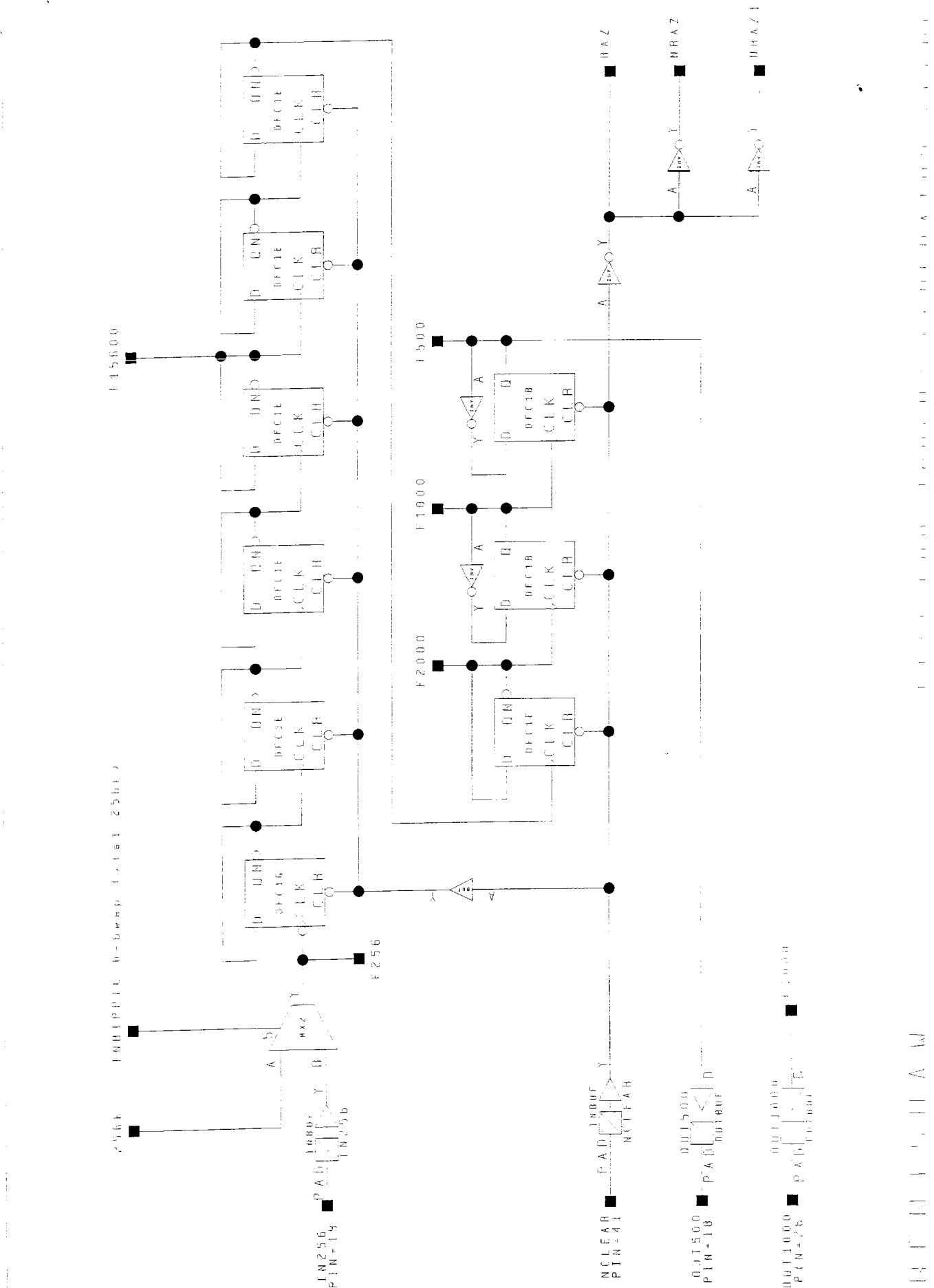
14 06 01

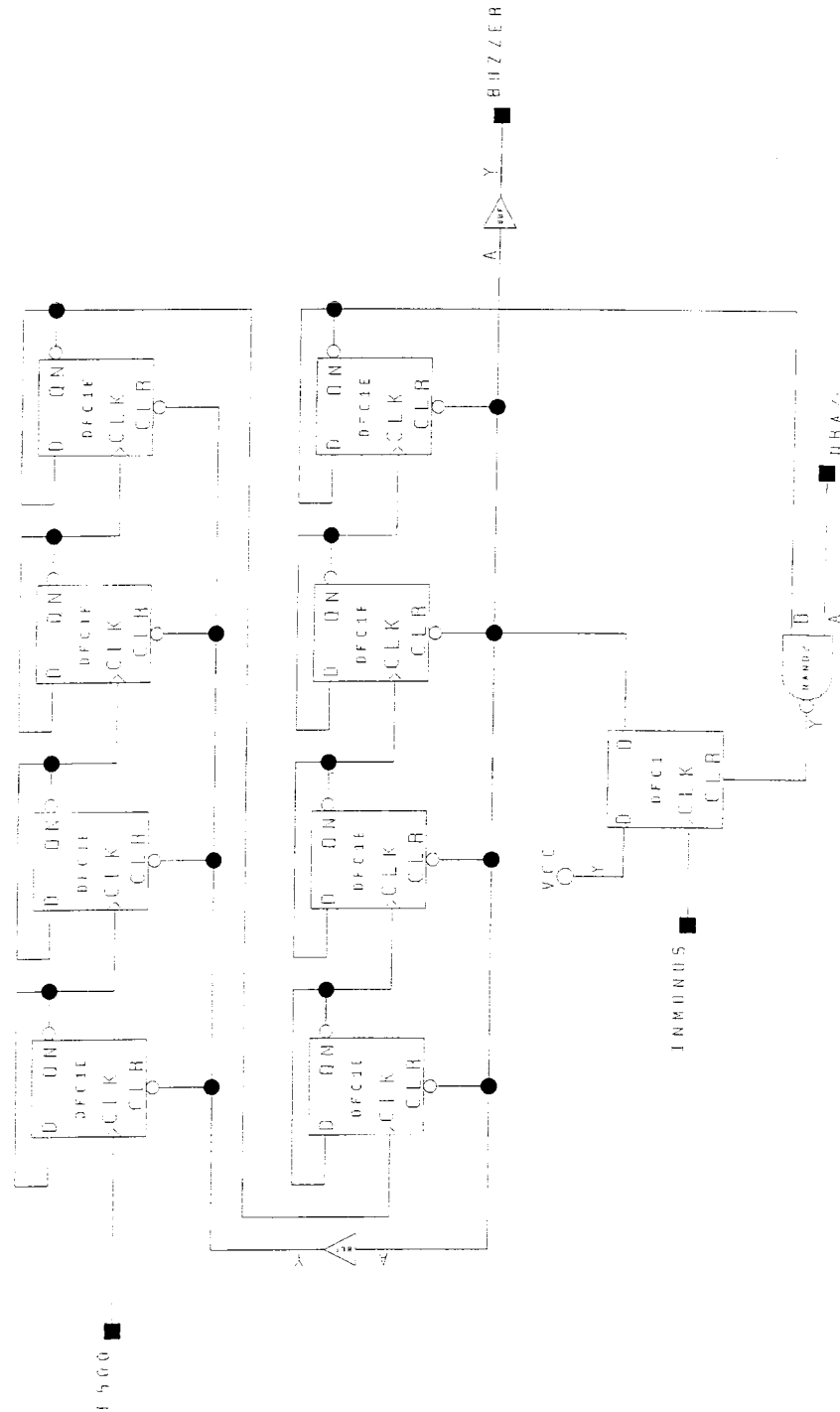
2 of 3

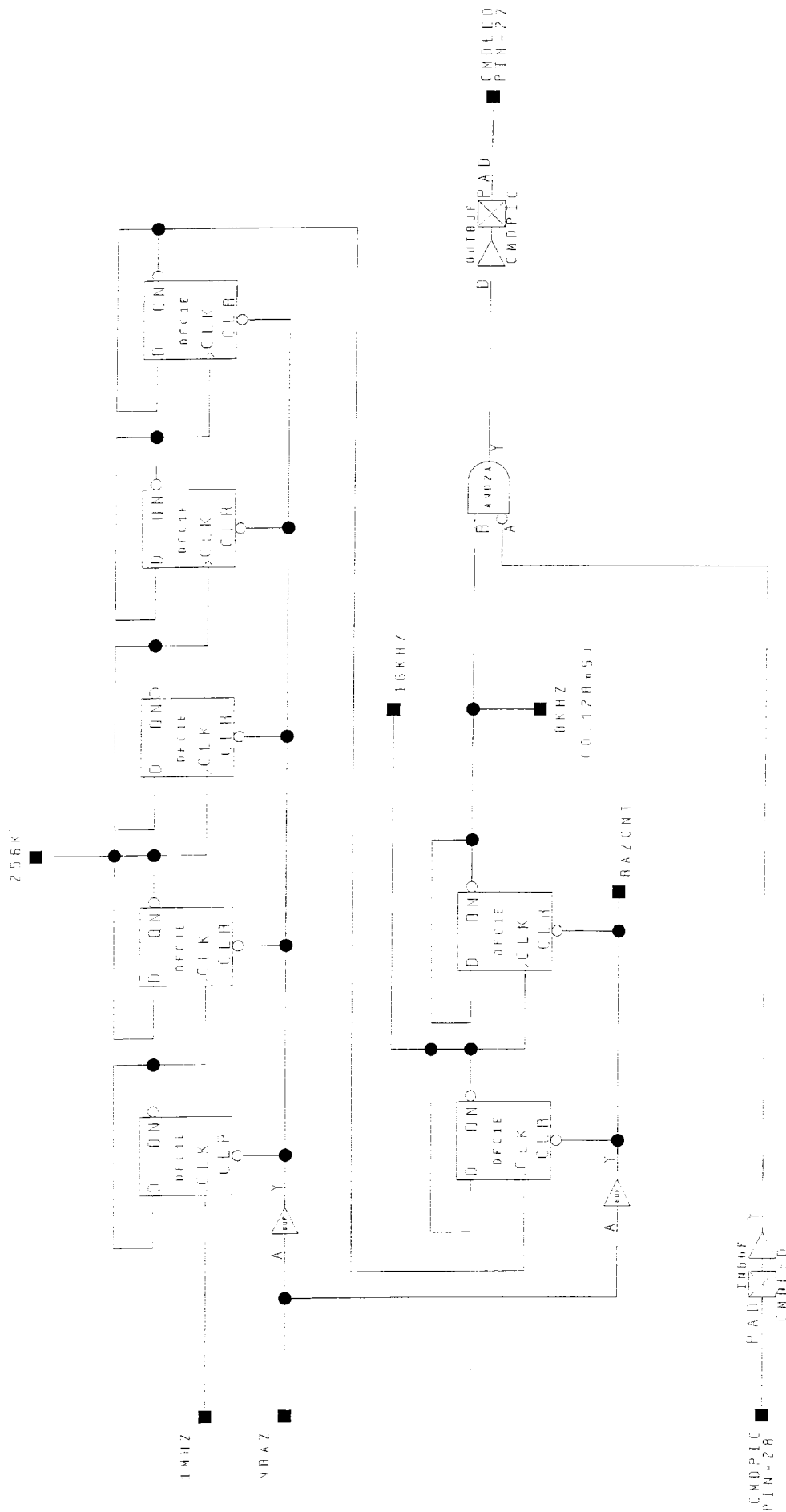


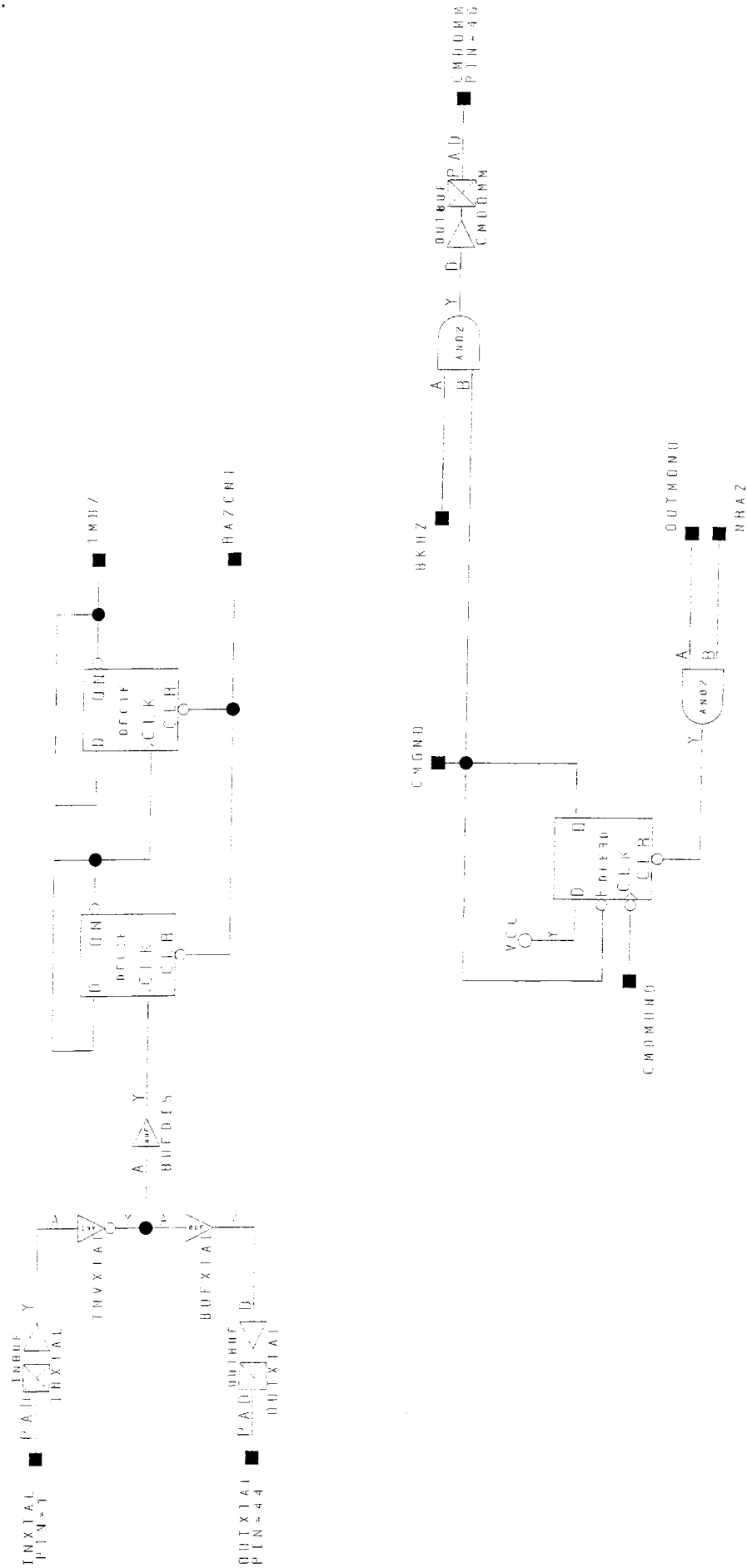


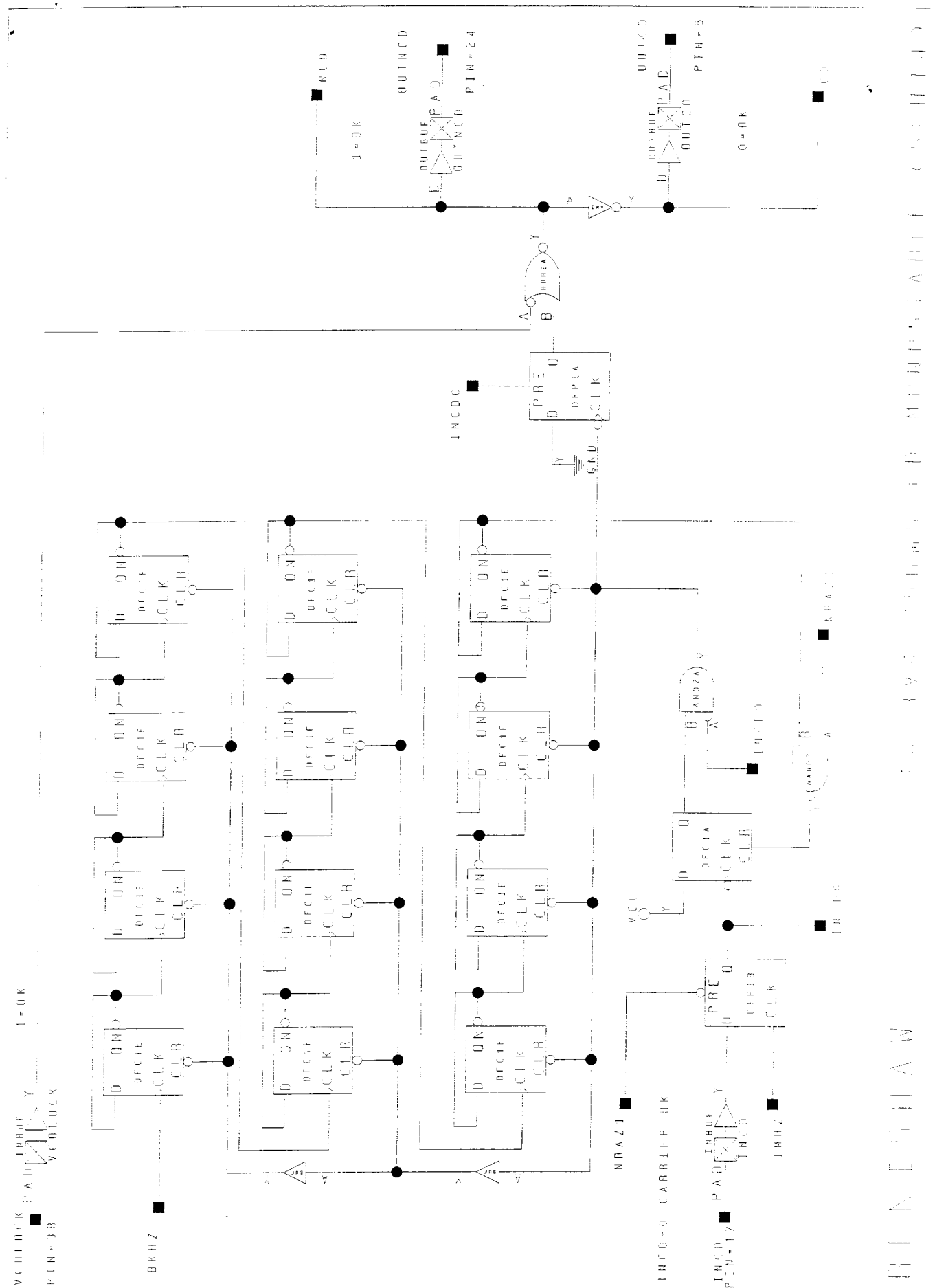












SYSTEME DE PALPAGE A TRANSMISSION RADIO

ETUDE DU RECEPTEUR (MI16)

DOSSIER DES DOCUMENTATIONS RESSOURCE

Contenu du dossier :

<i>Programme Afficheur (2 pages)</i>	<i>1 à 2</i>
<i>Mémo VHDL (4 pages)</i>	<i>3 à 6</i>
<i>Exemples de programmes VHDL (2 pages)</i>	<i>7 à 8</i>
<i>PIC16F870 (27 pages)</i>	<i>9 à 35</i>
<i>RB751V-40 (1 page)</i>	<i>36</i>
<i>MC14499 (2 pages)</i>	<i>37 à 38</i>
<i>NE571 (2 pages)</i>	<i>39 à 40</i>
<i>NOTE D'APPLICATION NE571 (4 pages)</i>	<i>41 à 44</i>
<i>MF10 (8 pages)</i>	<i>45 à 52</i>
<i>TLC555 (4 pages)</i>	<i>53 à 56</i>
<i>MC1413 (1 page)</i>	<i>57</i>
<i>DOCUMENTATION RELAIS (2 pages)</i>	<i>58 à 59</i>
<i>SA601 (6 pages)</i>	<i>60 à 66</i>
<i>FILTRES HELICOIDAUX (2 pages)</i>	<i>67 à 68</i>
<i>HC4046 (7 pages)</i>	<i>69 à 75</i>
<i>LF398A (6 pages)</i>	<i>76 à 81</i>

```
; PIC 16F870
; ===== title "mc14499 du 16 Novembre 2001"
; Le but est de remplacer le MC14499 qui est obsolète. La
; seule différence est la vitesse de transmission
; qui a été ralentie dans le programme M116.
; Il est très important que le clear watch dog (clrwdt) soit en
; interruption car dans le pg principal,
; le soft reste coincé et ne fait pas de reset après avoir envoyé
; des parasites avec l'allume gaz!
```

```
#include "P16F870.INC"
```

```
;***** Header *****
```

```
1      POINTER      equ      H'00'

2      ZERO         equ      H'7E'
3      ONE          equ      H'0C'
4      TWO          equ      H'B6'
5      THREE        equ      H'9E'
6      FOUR         equ      H'CC'
7      FIVE         equ      H'DA'
8      SIX          equ      H'FA'

; Mapping of segments for
; display (PORTC)

9      SEVEN        equ      H'0E'
10     EIGHT        equ      H'FE'
11     NINE         equ      H'DE'
12     A            equ      H'EE'
13     I            equ      H'60'
14     II           equ      H'6C'
15     U            equ      H'7C'
16     DASH         equ      H'80'
17     BLANK        equ      H'00'
```

```
; CONSTANTS
```

```
18     tmrOdiv      equ      D'78'
19     datas        equ      D'01' ; data signal
20     enable       equ      D'02' ; enable signal
```

```
; VARIABLES
```

```
21     digit1       equ      H'20'
; LED: shank or timeout or
; timeout305

22     digit2       equ      H'21'
; LED: spin or spin on/off or optic
; or optic on/off

23     digit3       equ      H'22' ; Unité (display)
24     digit4       equ      H'23' ; Dizaine (display)
25     savdig1      equ      H'24'
26     savdig2      equ      H'25'
27     savdig3      equ      H'26'
28     savdig4      equ      H'27'
29     display      equ      H'28'

; variable location - which
; display to update

30     count        equ      H'29' ; loop counter variable
31     wbuff         equ      H'2A' ; register save
32     statbuff      equ      H'2B' ; register save
33     poinddec      equ      H'2C' ; point decimal save
34     bcddigit      equ      H'2D' ; bcd digit save
35     mode          equ      H'2E' ; mode save
36     savpoind      equ      H'2F'
37     savbcd        equ      H'30'
38     savmode       equ      H'31'
39     edgenab       equ      H'32'
40     intflg        equ      H'33'
```

```
41     org          0
```

```
42     goto         START
43     retlw        soft_version
```

```
44     org          4

45     movwf        wbuff
46     swapf        STATUS,w
47     clrf         STATUS
;put in bank0 if necessary
48     movwf        statbuff

49     btfsc        INTCON,TOIF
50     goto         timeri
51     btfsc        INTCON,INTF
52     goto         clki
53     movlw        B'1111000'
54     andwf        INTCON
55     goto         endinter
56     timeri       clrwdt
57     movlw        tmrOdiv
58     movwf        TMRO
59     bsf          intflg,0
60     bcf          INTCON,TOIF
;indique au programme
;principal l'interruption

61     goto         endinter
62     clki        bcf          INTCON,INTF
63     btfsc        PORTB,enable
64     goto         endinter
65     bcf          STATUS,C
66     btfsc        PORTB,datas
67     bsf          STATUS,C
68     rlf          mode
69     rlf          bcddigit
70     rlf          poinddec
71     endinter     swapf        statbuff,w
72     movwf        STATUS
73     swapf        wbuff
74     swapf        wbuff,w

75     retfie

76     START
77     bsf          STATUS,RPO ;page 1
78     movlw        B'00000110'
79     movwf        ADCON1

80     bcf          STATUS,RPO ;page 0
81     movlw        0
82     movwf        PORTA
83     movwf        PORTB
84     movwf        PORTC

85     bsf          STATUS,RPO ;page 1
86     movlw        0
87     movwf        TRISA
88     movwf        TRISC
89     movlw        b'00000111'
90     movwf        TRISB

91     bsf          STATUS,RPO ;page 1
92     movlw        B'00000100'
93     OPTION
94     bcf          STATUS,RPO ;page 0
95     movlw        B'10110000'
96     movwf        INTCON

97     movlw        tmrOdiv
98     movwf        TMRO

99     movlw        H'FE'
```

100		movwf	display	158	RTCC_FILL		
101		clrf	edgenab	159		btfs	intflg,0
102		clrf	savpoin	160		goto	MAIN
103		movlw	h'0F'	161		bcf	intflg,0
104		movwf	savdig1	162	CONVERT_HEX_TO_DISPLAY		
105		movwf	savdig2	163		movlw	digit1
106		movwf	savdig3	164		movwf	FSR
107		movwf	savdig4				; put the address of the first digit into the FSR to enable POINTER
108	MAIN	btfs	PORTB,enable	165		movlw	H'04'
109		goto	nex1	166		movwf	count
110		movlw	D'1'				; prepare count variable to loop for all four displays
111		movwf	edgenab	167	NEXT_HEX		
112		goto	AFFICH	168		movfw	POINTER
113	nex1	btfs	edgenab,0	169		call	RETURN_CODE
114		goto	AFFICH	170		movwf	POINTER
115		clrf	edgenab	171		incf	FSR,1
			;ici, on vient à la remonté de "enable" (tested)	172		decfsz	count,1
116		movfw	mode	173		goto	NEXT_HEX
			;ça prend entre 3 et 27 µS	174		btfs	display,0
117		movwf	savmode	175		goto	d1
118		movfw	bcddigit	176		movfw	digit4
119		movwf	savbcd	177		btfs	savpoin,3
120		movfw	poindec	178		addlw	1
121		movwf	savpoin	179	d1	btfs	display,1
122	bcdconv	movfw	savmode	180		goto	d2
123		movwf	savdig2	181		movfw	digit3
124		movlw	H'0F'	182		btfs	savpoin,2
125		andwf	savdig2	183		addlw	1
126		bcf	STATUS,C	184	d2	btfs	display,2
127		rrf	savmode	185		goto	d3
128		bcf	STATUS,C	186		movfw	digit2
129		rrf	savmode	187		btfs	savpoin,1
130		bcf	STATUS,C	188		addlw	1
130		rrf	savmode	189	d3	btfs	display,3
131		bcf	STATUS,C	190		goto	dsp
132		rrf	savmode	191		movfw	digit1
133		movfw	savmode	192		btfs	savpoin,0
134		movwf	savdig1	193		addlw	1
135		movfw	savbcd	194	dsp	movwf	PORTC
136		movwf	savdig3	195		movfw	display
137		movlw	H'0F'	196		movwf	PORTA
138		andwf	savdig3	197		movwf	display
139		bcf	STATUS,C	198		rlf	display,1
140		rrf	savbcd	199		bsf	display,0
141		bcf	STATUS,C	200		btfs	display,4
142		rrf	savbcd	201		bcf	display,0
143		bcf	STATUS,C	202		goto	MAIN
144		rrf	savbcd	203	RETURN_CODE		
145		bcf	STATUS,C	204		addwf	PCL,1
146		rrf	savbcd	205		retlw	ZERO
147		movfw	savbcd	206		retlw	ONE
148		movwf	savdig4	207		retlw	TWO
149	AFFICH			208		retlw	THREE
150		movfw	savdig1 ;dizaine (voir code aff)	209		retlw	FOUR
151		movwf	digit1	210		retlw	FIVE
152		movfw	savdig2 ;unité (voir code aff)	211		retlw	SIX
153		movwf	digit2	212		retlw	SEVEN
154		movfw	savdig3 ;unité	213		retlw	EIGHT
155		movwf	digit3	214		retlw	NINE
156		movfw	savdig4 ;dizaine	215		retlw	A
157		movwf	digit4	216		retlw	I
				217		retlw	II
				218		retlw	U
				219		retlw	DASH
				220		retlw	BLANK
				221	END		

VHDL : du Langage à la Modélisation

R. Airiau / J.M. Bergé / V. Olive / J. Rouillard

Photocopie de cette page autorisée par les auteurs sous réserve de la présence de cette mention

Instructions séquentielles

```
-- Affectation de variables
VAR2 := VAR1 / (VAR3 + VAR4) ;
MON_POINTEUR := new INTEGER(3) ;
TAB(1 to 3) := (1,2,3) ;

-- Instruction conditionnelle
if condition_booléenne_1 then -- Traitement 1.
elsif condition_booléenne_2 then -- Traitement 2.
else -- Traitement 3.
end if;

-- Instruction de choix
case expression is
when Valeur_1 => -- Instructions_1
when Valeur_2 | Valeur_3 => -- Instructions_2
when Valeur_4 to Valeur_5 => -- Instructions_3
when
    Valeur_6 downto Valeur_8 => -- Instructions_4
when others => -- Instructions_N
end case ;

-- Instruction de boucle
{ label : } loop... -- Instructions séquentielles
end loop { label } ;
{ label : } for indice in Intervalle loop
... -- Suite d'instructions séquentielles
end loop { label } ;
{ label_de_boucle : } while condition loop
... -- Suite d'instructions séquentielles
next { label_de_boucle } { when condition } ;
end loop { label_de_boucle } ;
exit { label_de_boucle } { when condition } ;

null ; -- Instruction nulle
return VALEUR ; -- Retour de fonction

-- Appel de sous-programmes
MA_PROCEDURE ( NBR, MESSAGE => "GO" ) ;
VALEUR := FONCT1( TAB'LOW, 'A', VAR2 ) ;

-- Affectation de formes d'ondes
B <= transport ENTREE, null after 10 ns ;
S <= B after 10 ns, '1' after 20 ns ;

-- Instruction d'attente
wait on {liste_de_signaux} { until condition }
for expression_de_temps;

-- Instruction d'assertion
assert condition booléenne (report message)
{severity NOTE | WARNING | ERROR
    FAILURE} ;

-- La spécification d'attributs donne une
-- valeur à ceux-ci
attribute NBR_PATTES of C1 : component is 32;
```

Instructions concurrentes

```
-- Instruction processus
{label : } process
-- Déclarations
begin
-- Instructions séquentielles
{wait on liste_des_signaux_surveillés;}
end process {label};

-- Affectation de formes d'ondes
A <= B after 10 ns, '1' after 20 ns ;
(A,B) <= transport (BLEU, '1') after 10 ns ;

-- Instruction de bloc
label : block ((CLK='1' and not CLK'STABLE))
{en-tête_généricité_et_ports}
-- Déclarations locales
begin
-- Instructions concurrentes
end block {label};

-- Affectation conditionnelle de signaux
If CONDITION then
    SIGNAL1 <= {transport} '0' ;
{ elsif CONDITION_2 then
    (A1, A2) <= {transport} ('1', "010") { after 10 ns ; }
{ else
    nom_ou_agrégat <= {transport} forme_d'onde_n ;
end if;

-- Affectation d'un signal sélectionné
{label : } with CHOIX select
nom_ou_agrégat <= {guarded} {transport}
    "1000" when "01",
    "0100" when "10", ...
    forme_d'onde_n when choix_n,
    { nom_ou_agrégat when others};

-- Appel de procédure
VERIFICATION_HOLD( SIGNAL1, 3 ns ) ;

-- Instruction d'assertion
assert condition_booléenne (report message)
{severity NOTE | WARNING | ERROR | FAILURE} ;

-- Instanciation de composants
C1 : INVERSEUR port map (E => A, S=> B) ;
C2 : INVERSEUR
    { generic map ( 10 ns ) }
    port map (C, D);

-- Instruction de génération
LABEL : if CONDITION generate
-- Ensemble d'instructions concurrentes
end generate { LABEL } ;
LABEL : for PARAMETRE in INTERVALLE
generate
-- Ensemble d'instructions concurrentes
end generate { LABEL } ;
```

VHDL : du Langage à la Modélisation

R. Airiau / J.M. Bergé / V. Olive / J. Rouillard

Photocopie de cette page autorisée par les auteurs sous réserve de la présence de cette mention

Déclarations de types

```

type COULEUR is (VERT, BLEU, JAUNE);
-- Type tableau non contraint
type VECTEUR_D_ENTIERS is array
  ( POSITIVE range <>) of INTEGER;
-- Type tableau contraint
type TABLEAU is array (1 to 10) of INTEGER;
type FLOT is range 1.00 to 2.00;
-- Déclaration incomplète de type
type ARTICLE;
-- Type pointeur
type ACCES is access ARTICLE;
-- Type enregistrement
type ARTICLE is record
  NUMERO : INTEGER;
  VALEUR : FLOAT;
  SUIVANT : ACCES;
end record;

-- Sous-type associé
-- à une fonction de résolution
subtype SOUS_TYPE
  is { FONCTION_DE_RESOLUTION }
  TYPE_DE_BASE { contraintes } ;
-- Type physique
type DISTANCE is range 0 to 1E16
  units
    A;                -- Angstrom
    nm = 10 A; -- nanomètre
  ...
end units;
-- Type fichier
type FICHIER_DE_BIT is file of BIT;

```

Déclarations d'objets

```

constant PI : REAL := 3.1416 ;
constant DIFFEREE : INTEGER ;
variable NOM : TYPE_OU_SOUS-TYPE
  { := VALEUR_D'INITIALISATION } ;
constant LOCALE : BIT := FCT_INIT ( P1 ) ;
file FICHIER : TYPE_DU_FICHIER is { in | out }
  NOM_LOGIQUE_DU_FICHIER;
signal CE_SIGNAL : { FCT_DE_RESOLUTION }
  TYPE_OU_SOUS-TYPE { contraintes }
  { register/bus } { := VALEUR_INITIALE } ;
attribute NOM_DE_L_ATTRIBUT : BOOLEAN ;
attribute NOM : STRING ;
alias BIT4 : BIT is VECTEUR (4) ;
alias PAGE : BIT_VECTOR(1 to 2) is
  ADRESSE(16 downto 15);
component COMPOSANT
{ generic ( DELAIS : TIME := 0 ns;
N: POSITIVE;...) }
{ port (ENTREE : in VECTOR (1 downto N);... );}
end component;

```

Déclarations et spécifications

Déclarations autorisées (ou impossibles)	Spécification d'entité	Architecture	Configuration	Spéc. de paquetage	Corps de paquetage	Bloc	Process	Sous-programmes
Déclaration de sous-programme	oui	oui		oui	oui	oui	oui	oui
Corps de sous-programme	oui	oui			oui	oui	oui	oui
Déclaration de type	oui	oui		oui	oui	oui	oui	oui
Déclaration de sous-type	oui	oui		oui	oui	oui	oui	oui
Déclaration de constante	oui	oui		oui	oui	oui	oui	oui
Déclaration de variable							oui	oui
Déclaration de signal	oui	oui		oui				
Déclaration de fichier	oui	oui		oui	oui	oui	oui	oui
Déclaration d'alias	oui	oui		oui	oui	oui	oui	oui
Déclaration de composant		oui		oui		oui		
Déclaration d'attribut	oui	oui		oui		oui	oui	oui
Spécification d'attribut	oui	oui	oui	oui		oui	oui	oui
Spécification de déconnection	oui	oui		oui		oui		
Spécification de configuration		oui				oui		
Déclaration d'entité								
Déclaration de configuration								
Déclaration de paquetage								
Clause use	oui	oui	oui	oui	oui	oui	oui	oui

Déclarations de sous-programmes

```

-- Déclaration de procédures
procedure CAN { ( ENTREE : { in } REAL { := 0.0 };
  SORTIE : out INTEGER;
  CONTROLE : inout BOOLEAN; ... ) } ;

-- Déclaration de procédure destinée à être
-- appelée dans un ensemble d'instructions
-- concurrentes
procedure VERIFICATION ( NOM : { in } STRING;
  signal S : { in } INTEGER ) ;

-- Déclaration de fonctions
function MIN { ( A : { in } REAL;
  B : { in } REAL ) } return REAL;

-- Surcharge de la fonction "+"
function "+" ( A, B : VOLT ) return VOLT;

function RESOLUTION ( V : in BIT_VECTOR )
  return BIT;

```

VHDL : du Langage à la Modélisation

R. Airiau / J.M. Bergé / V. Olive / J. Rouillard

Photocopie de cette page autorisée par les auteurs sous réserve de la présence de cette mention

Déclarations d'entités

```
entity ADD is
{ generic (DELAIS : TIME := 0 ns) ; }
{ port (CIN : in BIT ;
      A, B : in BIT_VECTOR ;
      S : out BIT_VECTOR ;
      COUT : out BIT) ; }
-- Déclaration de types, de sous-programmes
-- et d'attributs . Spécifications d'attributs,
-- de corps de sous-programmes
-- et de déconnexions. Clauses use éventuelles
begin
-- Instructions concurrentes
-- sans affectation de signaux
end ( ADD ) ;
```

Corps d'architecture

```
architecture MODEL of ADD is
-- Clause use éventuelles
-- Déclarations de types, de constantes
-- d'objets ( mais pas de variables ), de composants,
-- de sous-programmes et d'attributs .
-- Spécifications de corps de sous-programmes,
-- d'attributs, de configurations et de déconnexion
begin
-- Instructions concurrentes
end ( MODEL ) ;
```

Déclaration de paquetages

```
{ library LIB ; }
{ use LIB ; }
package P1_PKG is
-- Clauses use éventuelles
-- Déclarations de types, d'attributs, d'objets
-- (sauf des variables) et de composants
-- Spécifications d'attributs et de déconnexions
constant NOM : STRING ;
type L3 is ('0', '1', 'Z') ;
function "+" ( A1, A2 : in L3 ) return L3 ;
procedure ETAT_SUITE
( { variable } ETAT : inout TIME ;
  signal S : in L3 ; signal ENABLE : out L3 ) ;
end ( P1_PKG ) ;
```

Spécification de déconnexion

```
disconnect S1_GARDE, S2_GARDE : BIT4
after 1 ms ;
disconnect others : BIT4 after 500 us ;
disconnect all : TYPE_ADRESSE after 50 us ;
```

Corps de paquetages et de sous-programmes

```
{ library LIB1 ; }
{ use LIB1.P2_PKG.all ; }
package body P1_PKG is
-- Clauses use éventuelles.
-- Déclarations de types, d'objets (sauf variables),
-- de sous-programmes. Corps de sous-programmes

constant NOM : STRING := "P1_PKG";
function "+" ( A1, A2 : in L3 ) return L3 is
... begin ... return V3; ... end "+";

procedure ETAT_SUITE
( { variable } ETAT : inout TIME ;
  signal S : in L3 ; signal ENABLE : out L3 ) is ...
end P1_PKG ;
```

Spécification de configurations

```
for C1, C2 : COMPOSANT_C use open
{ generic map ( 10 ns , "C1" )
{ port map ( E => F1(ENTREE), F2(S) => SORTIE ) } ;
for all : COMPOSANT_C2 use entity
WORK.INVERSEUR ( A1 ) ;
for C3 : COMPOSANT_C use entity WORK.E1 (A3) ;
for others : COMPOSANT_C use configuration
WORK.CONF1;
```

Configurations

```
library WORK ;
library LIB1 ;
configuration C1 of WORK.ENT1 is
-- spécification d'attributs
-- clause use
for ENT1_BLOC -- configuration de bloc
for C1 : REGISTRE use entity LIB1.U1 ( A2 )
{ generic map ( 3 ns, N => 8 ) ;
for A2 -- configuration de generate
for all : REG_BIT use entity LIB1.R1 ( A1 ) ;
end for
end for ; -- A2
end for ; -- C1
for DATA : BUS_DONNEE use LIB2.D_BUS ( A1 )
port map ( S_IN => SIN ;
          S_OUT => SOUT ;
          ERROR => ERR ) ;

end for ; -- DATA
for HORLOGE : CLOCK_G use configuration
WORK.HORLOGE_CONF ;
end for ; -- HORLOGE ;
end for ; -- ENT1_BLOC
end ( C1 ) ;
```

VHDL : du Langage à la Modélisation**R. Airiau / J.M. Bergé / V. Olive / J. Rouillard***Photocopie de cette page autorisée par les auteurs sous réserve de la présence de cette mention***Visibilité des identificateurs**

-- Clause de référence à une bibliothèque.

library STD_LIB ;

-- WORK et STD sont deux bibliothèques

-- prédéfinies, la clause **library** WORK, STD;

-- précède implicitement chaque unité. WORK

-- contient les paquetages: STANDARD et TEXTIO .

-- Rend visible l'unité UAL de la

-- bibliothèque STD_LIB.

use STD_LIB.UAL ;

-- Rend visible toutes les unités

-- de la bibliothèque STD_LIB.

use STD_LIB.all ;

-- Rend visible le paquetage P1_PKG défini

-- dans la bibliothèque STD_LIB.

use STD_LIB.P1_PKG ;

-- Tous les noms du paquetage P1_PKG

-- sont visibles

use P1_PKG.all ;

-- Les déclarations contenues dans le paquetage

-- STANDARD sont visibles, une clause **use**

-- STD.STANDARD.all; précède implicitement

-- chaque unité.

Spécification d'attributs

attribute NOM_ATTRIBUT of

NOM_ENTITE | **others** | **all** : **entity**

| **architecture** | **configuration** | **procedure**

| **function** | **package** | **type** | **subtype**

| **constant** | **signal** | **variable** | **component**

| **label is** VALEUR_ATTRIBUT ;

attribute NIVEAU of C1, C2 : **label is** 2

attribute NIVEAU of **others** : **label is** 0 ;

attribute SIMULATION of **all** : **signal is** CMOS ;

attribute TOPOLOGIE of S1 : **signal is** NORD ;

attribute VALEUR_T0 of F1 : **function is** 10 ;

attribute VERSION of C1 : **component is** "FIRST";

Référence d'attributs

N := C1.NIVEAU ;

if F1.REFLEXIVE **then** ...

for I **in** A.RANGE **loop** ...

ECRIRE (C1.GENERATION) ;

Attributs prédéfinis

•S'QUIET { (T) } - Signal, TRUE si S est tranquille pendant T au moins.

•S'TRANSACTION - Signal BIT, '1' si S est actif

•S'STABLE { (T) } - Signal, TRUE si aucun événement sur S depuis T

•S'DELAYED { (T) } - Signal S différé de T après NOW

•S'ACTIVE - Fonction, TRUE si S est actif

•S'LAST_ACTIVE - Valeur du temps écoulé depuis que S fût actif

•S'EVENT - Fonction booléenne, TRUE

si un événement vient d'arriver sur S

•S'LAST_VALUE - Dernière valeur de S

avant le dernier événement

•S'LAST_EVENT - Valeur du temps écoulé depuis le dernier événement de S

•T 'BASE - Type de base de T

•T 'LEFT - Limite gauche de T

•T 'RIGHT- Limite droite de T

•T 'HIGHT - La plus haute limite de T

•T 'LOW - La plus basse limite de T

•T 'POS (X) - Position de X dans

le type de base de T

•T 'VAL (X) -Valeur du X ème élément de T

•T 'SUCC (X) =T 'VAL (T 'POS (X) + 1)

•T 'PRED (X) =T 'VAL (T 'POS (X) - 1)

•T 'LEFTOF (X) = T 'PRED (X) si T est croissant, T 'SUCC (X) sinon

•T 'RIGHTOF (X) = T 'SUCC (X) si T est croissant, T 'PRED (X) sinon

•A'LEFT { (N) } - Limite gauche du N ième index de A

•A'RIGHT { (N) } - Limite droite du N ième index de A

•A'LOW { (N) } - Plus basse limite du N ième index de A

•A'HIGH { (N) } - Plus haute limite du N ième index de A

•A'LENGTH { (N) } - Longueur de A, N ème index

•A'RANGE { (N) } - Variation du N ième index

•A'REVERSE_RANGE { (N) } - Variation inverse du N ième index

•B'BEHAVIOR - FALSE si B contient l'instanciation d'un composant

•B'Structure - TRUE si B ne contient aucune affectation de signaux

```

--      DECODEUR BCD VERS 7 SEGMENTS ANODES COMMUNES
--
--  entrée "val" valeur BCD sur 4 bits
--  sorties "SEG" 7 segments
-----
library ieee;
use ieee.std_logic_1164.all; -- type std_logic

entity decode is
    port( val:in std_logic_vector (3 downto 0);      -- 7 => A;...;
          SEG:out std_logic_vector(7 downto 1));      -- 1 => G
end decode;

architecture arch of decode is
begin
    process(val)
    begin
        case val is
            when "0000" => SEG<="0000001";          -- a
            when "0001" => SEG<="1001111";          -- f  b
            when "0010" => SEG<="0010010";          -- g
            when "0011" => SEG<="0000110";          -- e  c
            when "0100" => SEG<="1001100";          -- d
            when "0101" => SEG<="0100100";
            when "0110" => SEG<="0100000";
            when "0111" => SEG<="0001111";
            when "1000" => SEG<="0000000";
            when "1001" => SEG<="0000100";
            when others => SEG<="1111111";
        end case;
    end process;
end arch;

```

```

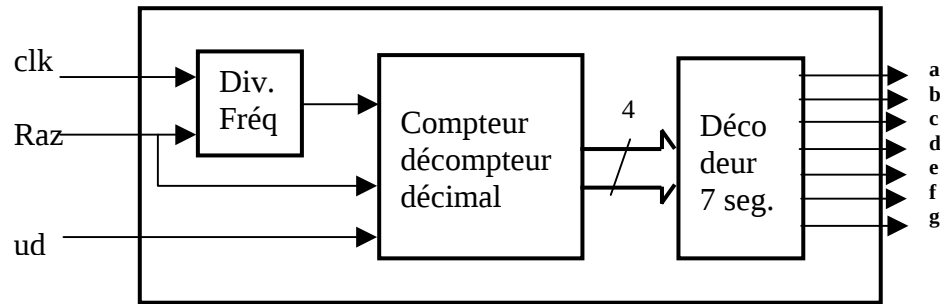
--      COMPTEUR DECOMPTEUR DECIMAL
--
--  entrées : "h" signal d'horloge, "raz" remise à zéro du compteur,
--            "ud" commande de comptage décomptage (ud=1 => comptage)
--  sorties "s" 4 bits binaire codé en décimal
-----
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity compd is
    port (h,raz,ud:in STD_LOGIC;s:out STD_LOGIC_VECTOR(3 downto 0));
end compd;

architecture compd_arch of compd is
    signal temp : STD_LOGIC_VECTOR(3 downto 0);
begin
    process (h,raz)
    begin
        if raz='1' then temp<="0000";
        elsif h'event and h='1' then
            if ud='1' and temp="1001" then temp<="0000";
            elsif ud='1' then temp<=temp+'1';
            elsif ud='0' and temp="0000" then temp<="1001";
            else temp<=temp-'1';
            end if;
        end if;
    end process;
    s<=temp;
end compd_arch;

```

"Composant" qui, à partir d'un signal d'horloge à 8,... MHz, d'un signal de remise à zéro et d'un signal de comptage décomptage, nous permet d'incrémenter ou de décrétement les valeurs de 0 à 9 sur un afficheur sept segments (au rythme d'un changement toutes les $\frac{1}{2}$ secondes environ)



```

-- entrée "clk" pour l'horloge (quartz 8,...MHz)
-- entrée "raz" pour la remise zero du compteur
-- entrée "ud" pour compter ou decompter (ud=1 --> compte)
-- sorties "a,b,c,d,e,f,g" pour afficheur 7 segments anodes comm.
--
-- Composants "compd","divfreq" et "decode" créés dans d'autres sources VHDL
-----

```

```

library ieee;
use ieee.std_logic_1164.all; -- type std_logic

entity compaff is
    port(clk,raz,ud:in std_logic;a,b,c,d,e,f,g:out std_logic);
end compaff;

architecture arch of compaff is

    component divfreq
        port (h: in STD_LOGIC;hbf: out STD_LOGIC);
    end component;

    component compd
        port (h,raz,ud:in STD_LOGIC;s:out STD_LOGIC_VECTOR(3 downto 0));
    end component;

    component decode
        port( val:in std_logic_vector (3 downto 0);    -- 7 => A;...;
              SEG:out std_logic_vector(7 downto 1));    -- 1 => G
    end component;

    signal clk2:std_logic;
    signal val:std_logic_vector(3 downto 0);
    signal seg:std_logic_vector(6 downto 0);

    begin
    fp1 : divfreq port map (clk,clk2);
    fp2 : compd port map (clk2,raz,ud,val);
    fp3 : decode port map (val,seg);
    a<=seg(6);
    b<=seg(5);
    c<=seg(4);
    d<=seg(3);
    e<=seg(2);
    f<=seg(1);
    g<=seg(0);
    end arch;

```

DOSSIER DES DOCUMENTATIONS RESSOURCE

Suite à une altération du fichier original, la suite de la documentation figure dans les fichiers :

- Documentations1.zip
- Documentations2.zip

SYSTEME DE PALPAGE A TRANSMISSION RADIO

ETUDE DU RECEPTEUR (MI16)

DOSSIER DE QUESTIONNEMENT

Contenu du dossier :

Partie A : Etude fonctionnelle de la partie réception.	1
A.1 Principe de la mesure.	1
A.2 Signal émis.	1
A.3 Structure du récepteur.	1
Partie B : Le filtre ALC et le filtre 500/1000.	2
B.1 Etude préliminaire.	2
B.2 Etude du filtre ALC	2
B.3 Etude du filtre 500/1000.	2
Partie C : Etude de la structure Led / Relay Driver.	4
C.1 Etude fonctionnelle.	4
C.2 Etude structurelle de la partie vue du primaire.	4
C.3 Formes d'onde et temps de réponse du relais.	9
Partie D : Etude de la carte MI 16 Front Panel.	10
D.1 Etude Fonctionnelle.	10
D.2 Etude des microcontrôleurs.	10
D.3 Etude structurelle de la carte MI16.	10
D.4 Etude du programme gérant l'affichage.	11
Partie E : Gain en puissance de l'amplificateur HF.	13
E.1 Notion de puissance incidente et de puissance réfléchi.	13
E.2 Paramètres S d'un quadripôle.	13
E.3 Identification de l'amplificateur RF.	14
E.4 Gain en puissance de l'amplificateur non adapté.	14
E.5 Gain en puissance de l'amplificateur adapté.	15
Partie F : Cellules d'adaptation.	17
F.1 L'outil « abaque de Smith ».	17
F.2 Adaptation à la sortie du filtre hélicoïdal L4.	17
F.3 Cellules d'adaptation de l'amplificateur RF.	18
Partie G : Circuit logique programmable.	19
G.1 Généralités.	19
G.2 Diviseur de fréquence.	19
G.3 Structure monostable.	19
G.4 Réception du mot de 8 bits transmis par l'émetteur.	20

Partie A : Etude fonctionnelle de la partie réception.

Avant d'étudier le récepteur proprement dit, il faut comprendre le principe de la mesure et connaître la forme du signal émis.

A.1 Principe de la mesure.

Pour faire une mesure de distance avec une machine à commande numérique, nous allons utiliser les vitesses d'approche de la machine et mesurer un temps. Les vitesses sont régulées précisément et dans notre cas, on avance de 0,08m/s.

Pour des raisons d'occupation de canal de transmission, le signal utilisé a une fréquence de 1kHz (976Hz en réalité) et est modulé par saut de phase pour pouvoir transmettre une information binaire.

A chaque début de période du 1kHz, nous regardons l'état du palpeur pour transmettre une période complète du signal. Si le palpeur n'est pas en contact avec la pièce, nous envoyons un signal en phase et s'il est en contact, un signal en opposition de phase.

A.1.1 *Si on se limite à cette mesure, quelle est la précision obtenue ?*

Pour améliorer la mesure, on décide de mesurer l'instant dans la période considérée où le contact s'est produit. Pour connaître le n^{ème} de période, nous utilisons un mot de 8 bits.

A.1.2 *Quelle précision atteint-on maintenant ? Cela est-il satisfaisant ?*

A.2 Signal émis.

A.2.1 *Caractériser le signal présent à la sortie de l'émetteur.*

A.2.2 *Quelle est la fréquence d'émission du canal 37, le premier canal étant le canal 0 ?*

A.3 Structure du récepteur.

Etude à partir du schéma bloc « MI16 LOGIC PWB 1/16 » page 1 du document schéma.

A.3.1 *Donner le rôle du filtre de 433 Mhz présent en entrée. Quel est le type de filtre utilisé ici ?*

Le signal est ensuite amplifié et à nouveau filtré avec un filtre hélicoïdal. Nous rencontrons ensuite une structure appelée mixer.

A.3.2 *Il est demandé d'expliquer le fonctionnement de cette structure Mixer et d'en donner le rôle. Utiliser des relations mathématiques pour illustrer les explications.*

A.3.3 *Donner la définition de la fréquence image ainsi que sa valeur numérique ici. Que peut-on dire de cette fréquence image ici ?*

A.3.4 *Quel est le rôle du filtre à 21.4 Mhz ? Pourquoi utilise-t-on ce type de filtre ?*

A.3.5 *Que peut-on dire du circuit MC3371. Que réalise-t-il ? Préciser toutes les valeurs numériques nécessaires à la compréhension du fonctionnement.*

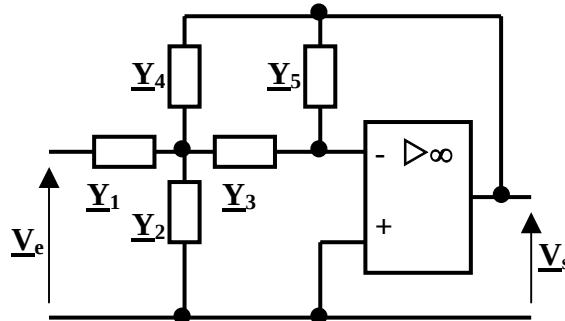
A.3.6 *Pourquoi est-il nécessaire d'utiliser deux transpositions de fréquence et non pas une seule pour le receiver 1 par exemple ?*

A.3.7 *Il est possible de recevoir 69 canaux pour le signal d'entrée. De quelle façon va-t-on sélectionner l'un de ces 69 canaux ? Détailler la procédure utilisée dans le système. Vous préciserez la définition d'une diode varicap et donnerez sa caractéristique principale.*

Partie B : Le filtre ALC et le filtre 500/1000.

B.1 Etude préliminaire

Soit la structure suivante :



Les Y sont des admittances.

B.1.1.1 Quel est le nom de cette structure ?

B.1.1.2 Démontrer la fonction de transfert de cette structure.

B.2 Etude du filtre ALC

Etude à partir du schéma « MI16 LOGIC PWB 3/16 » page 3 du document schéma.

B.2.1 Caractériser le filtre réalisé autour du composant U2 broches 12,13 et 14. Donner son rôle.

B.2.2 Etude de la structure réalisée autour du composant U1 (NE571).

B.2.2.1 De quel type de composant s'agit-il ?

B.2.2.2 Dans quelle configuration est connecté ce NE571 ? Vous illustrerez votre réponse par un schéma.

B.2.2.3 Quelle est l'équation de la tension de sortie ?

B.2.2.4 Connaissant la forme d'onde du signal d'entrée, en déduire la valeur numérique de la tension de sortie et conclure quant à la structure réalisée. ($I_b = 140\mu A$)

B.2.2.5 Quel est le rôle du composant R8 ?

B.2.3 Caractériser le filtre réalisé autour du composant U2 broches 8,9 et 10. Donner son rôle.

B.3 Etude du filtre 500/1000.

Etude à partir du schéma « MI16 LOGIC PWB 4/16 » page 4 du document schéma.

B.3.1 Donner le nom du composant MF10.

B.3.2 Expliquer le principe de fonctionnement d'un filtre à capacités commutées. (Faire un schéma de principe)

B.3.3 Etude du TLC555

B.3.3.1 Quel est le rôle de ce composant ?

B.3.3.2 Déterminer l'équation de la période du signal de sortie en fonction des éléments entourant ce composant U3. Il est demandé de faire un schéma équivalent de l'ensemble de la structure.

B.3.3.3 Que peut-on dire du mode d'utilisation de ce composant ?

B.3.4 Etude des structures incluant U4 et U5.

B.3.4.1 Dans quel mode de fonctionnement est utilisé U4 ? Justifier votre réponse.

B.3.4.2 Quel type de filtre est réalisé à la sortie de U4 broche 19. Vous justifierez votre réponse en précisant la fréquence caractéristique, la fonction de transfert (en utilisant les paramètres s), l'ordre du filtre et le gain. Conclure quant à la structure attendue.

B.3.4.3 Dans quel mode de fonctionnement est utilisé U5 ? Justifier votre réponse.

B.3.4.4 Quel type de filtre est réalisé à la sortie de U5 broche 19. Vous justifierez votre réponse en précisant la fréquence caractéristique, la fonction de transfert (en utilisant les paramètres s), l'ordre du filtre et le gain. Conclure quant à la structure attendue.

B.3.5 Etude des structures réalisées autour de U2 et U6.

B.3.5.1 Caractériser le filtre réalisé autour du composant U2 broches 5, 6 et 7. Donner son rôle.

B.3.5.2 Caractériser le filtre réalisé autour du composant U6 broches 5, 6 et 7. Donner son rôle.

Partie C : Etude de la structure Led / Relay Driver.

Etude à partir des schémas « MI16 LOGIC PWB 10/16 et 11/16 » pages 8 et 9 du document schéma.

C.1 Etude fonctionnelle.

C.1.1 Quel est le rôle de toute cette structure ?

C.1.2 Définir le rôle exact du composant U16. Comment peut-on définir ce composant ? D'où viennent ses entrées ? Aurait-on pu se passer de ce composant ? Pourquoi ?

C.1.3 Quels sont les rôles des sorties status, error et low battery ? Pourquoi est-il nécessaire d'insérer des relais ici ?

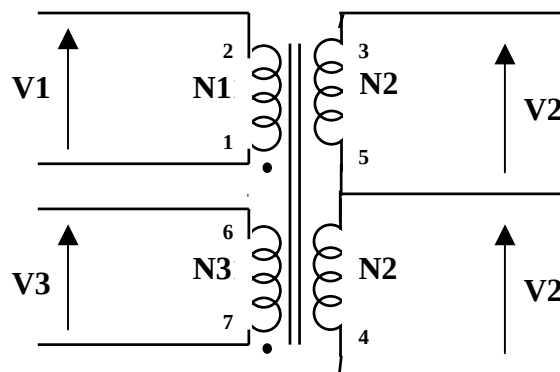
C.1.4 En sortie de ce schéma existe un composant s'appelant VDR. Quelles sont les caractéristiques de ce genre de composant ?

Les relais donnant les sorties status et /status sont des relais créés par le concepteur du MI16 contrairement aux relais donnant les sorties error et low battery. Nous allons étudier plus en détail le fonctionnement de ces relais créés.

C.2 Etude structurelle de la partie vue du primaire.

Etude à partir du schéma « MI16 LOGIC PWB 11/16 » page 9 du document schéma.

Soit la représentation suivante du transformateur :



Condition de fonctionnement donnée par le constructeur : $L_{1,2} = 1,9\mu\text{H}$ pour $f = 7\text{ Mhz}$

Le cahier des charges impose un temps de réponse de ce relais de $1\mu\text{s}$ maximum.

C.2.1 Signal LEDTRIG

Définir les caractéristiques de ce signal. Quels peuvent être ses états ?

Dans la suite du problème, nous définissons les deux états possibles de LEDTRIG comme états 0 et 1 correspondant aux états définis ci-dessus.

C.2.2 LEDTRIG = 1

Nous supposons que le signal d'entrée vaut 1 (signal logique). Définir le mode de fonctionnement du transistor Q2. En déduire la valeur du courant i_{b3} .

Il est demandé ici d'utiliser le théorème de Thévenin pour l'élaboration d'un schéma équivalent.

C.2.3 LEDTRIG = 0.

Nous supposons maintenant que le signal d'entrée vaut 0 (signal logique). L'état 0 est équivalent à 0V.

C.2.3.1 Définir l'état du transistor Q2 lorsque LEDTRIG vient juste de passer à 0. Justifiez votre réponse.

C.2.3.2 Nous allons étudier le fonctionnement de cette structure dans trois cas différents. Il vous est demandé d'établir l'équation différentielle de v_1 , tension présente aux bornes de l'enroulement (2,1) du primaire, puis de résoudre cette équation pour chacun des trois cas suivants :

Remarque : Nous considérerons les secondaires à vide pour faire ces calculs

C.2.3.2.1 Q3 est "saturé"

C.2.3.2.2 Q3 est "bloqué"

C.2.3.2.3 Q3 fonctionne en linéaire

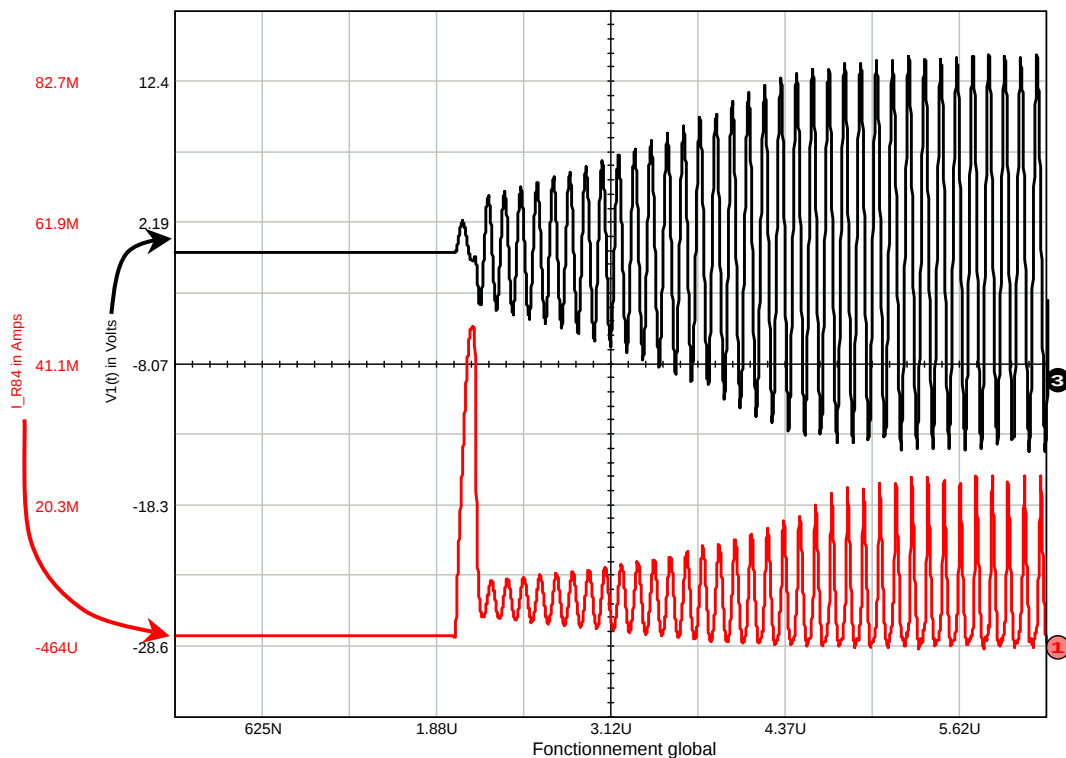
Remarque : pour chacun de ces trois cas, il est demandé d'établir un schéma équivalent. Vous ferez un résumé des résultats obtenus à l'issue de cette question.

La détermination des équation exactes étant quelque peu difficile à ce stade, il a été réalisé différentes simulations de cette structure, pour la partie primaire.

Il est précisé que le signal LEDTRIG est à 1 pendant $2\mu s$ puis à 0 le reste du temps.

C.2.4 Analyse des simulations.

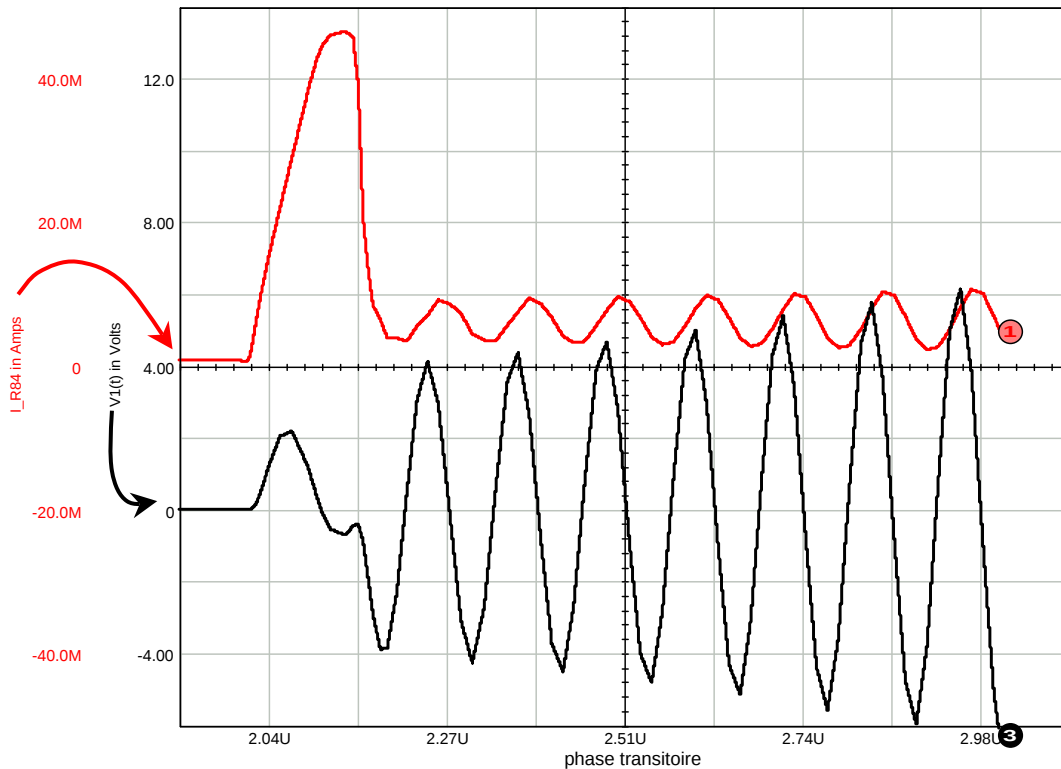
C.2.4.1 Simulation globale.



QUESTIONNEMENT

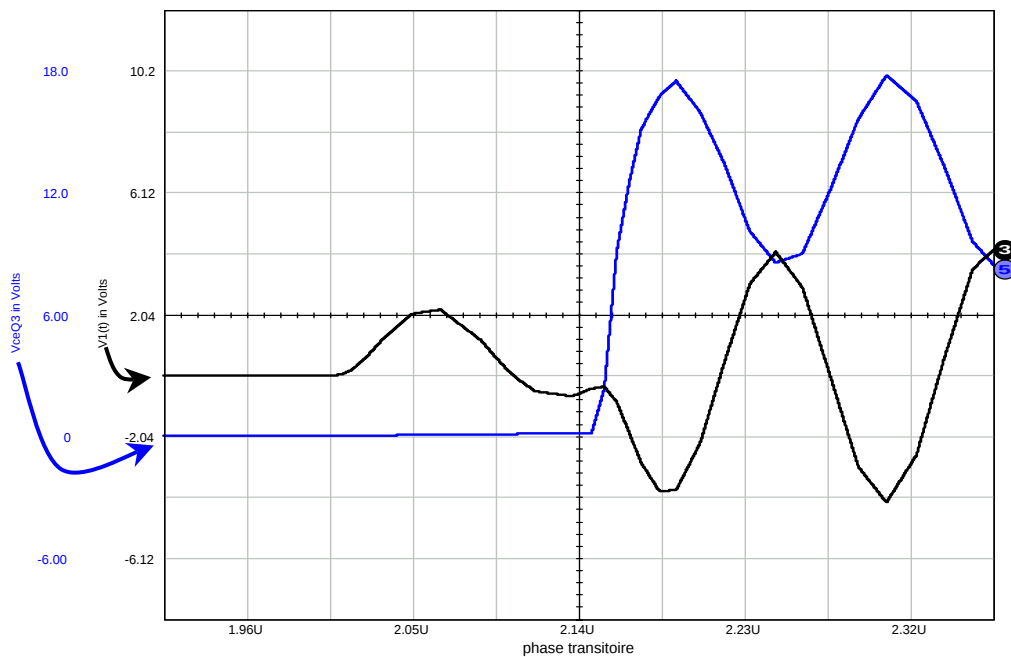
D'après la simulation ci-dessus, il existe une phase transitoire et une phase entretenue (après le passage de LEDTRIG à 0). Délimiter ces deux phases sur le document réponse DR4. ($\mu = \mu s$)
Vous pouvez commenter ces deux phases sur votre copie.

C.2.4.2 Etude de la phase transitoire.



C.2.4.2.1 Deux phases apparaissent dans cette phase transitoire. Délimiter ces deux phases sur le document réponse DR4.

C.2.4.2.2 Etude de la première sous-phase.



C.2.4.2.2.1 Donner l'état de fonctionnement de Q3.

C.2.4.2.2.2 En déduire l'équation de $V_1(t)$ et déterminer les constantes, ceci en vous aidant des graphes donnés et en tenant compte des résultats de la question C232.

C.2.4.2.2.3 A quel moment, d'après la simulation, y a-t-il changement d'état de fonctionnement du transistor Q3 ? Calculer le temps correspondant. En déduire la valeur maximale de I_{R84} . Confirmer ces valeurs sur la simulation.

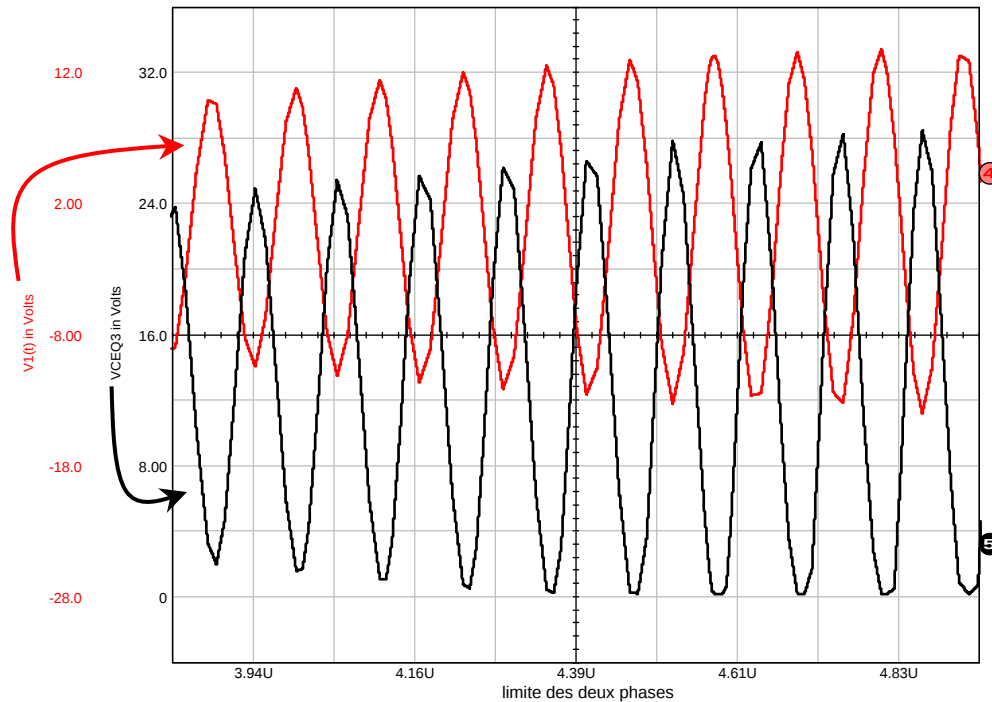
C.2.4.2.3 Etude de la seconde sous-phase.

La seconde sous-phase, jusqu'à la phase entretenue, dure un certain temps.

C.2.4.2.3.1 Donner l'état de fonctionnement du transistor Q3.

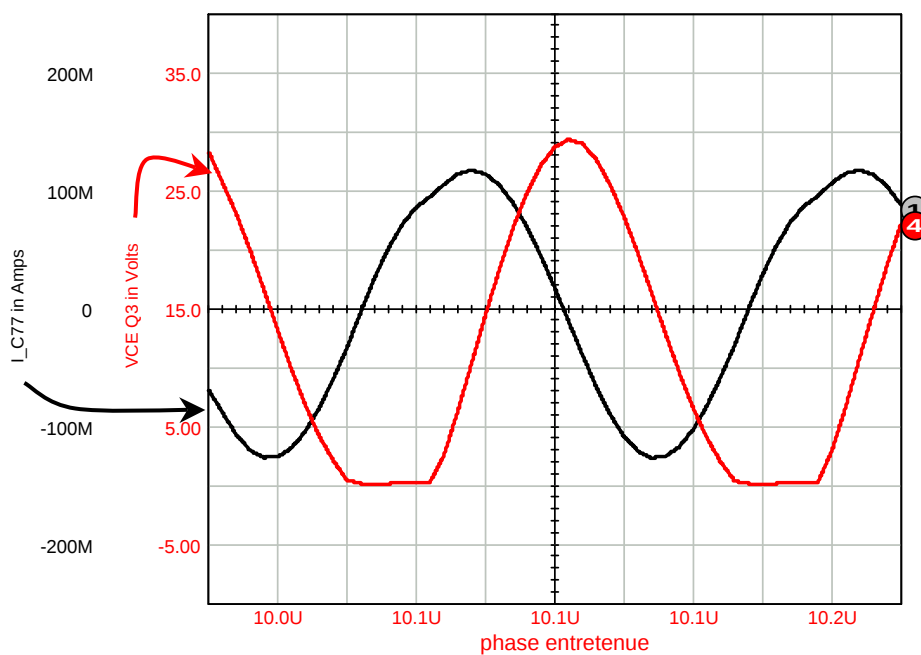
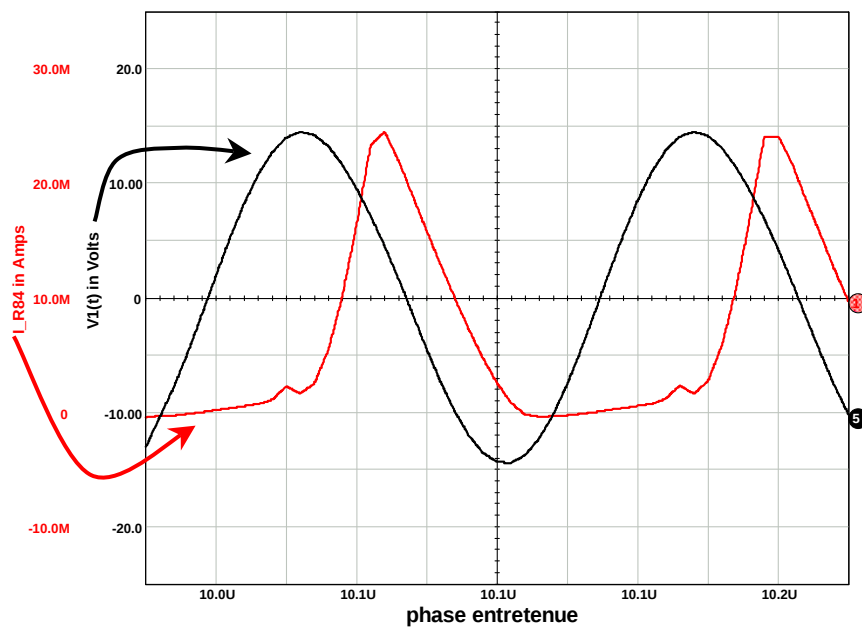
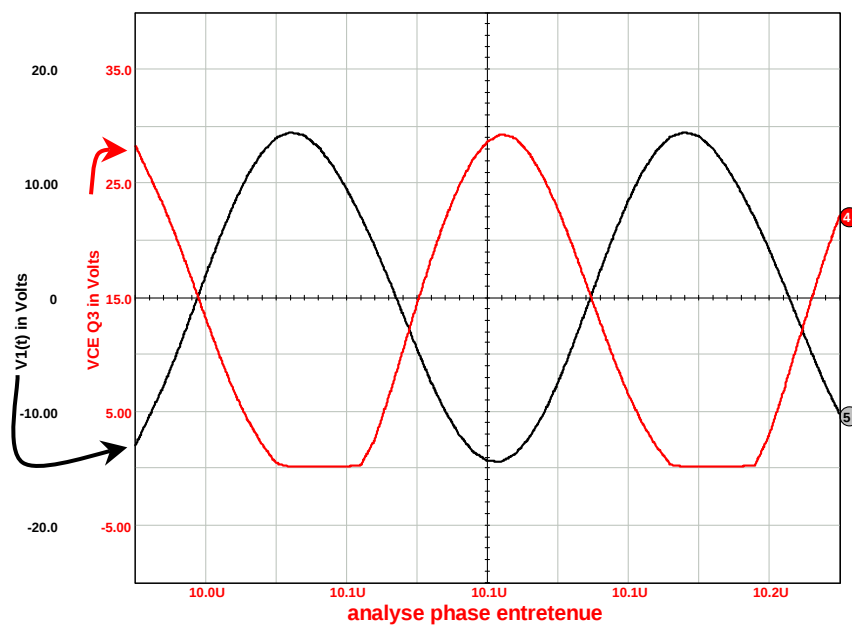
C.2.4.2.3.2 En déduire l'équation de $V_1(t)$ pendant cette sous-phase, connaissant la valeur de V_1 au début de celle-ci (les constantes ne seront pas toutes définies ici), en vous aidant des résultats de la question C232. La forme de la courbe se confirme-t-elle sur le graphique ?

C.2.4.2.3.3 D'après les courbes suivantes, déterminer la date t à laquelle le système passe en phase entretenue. Quel événement est la traduction d'un changement d'état ?



C.2.4.3 Etude de la phase entretenue.

C.2.4.3.1 Après étude des graphes suivants, délimiter sur le document réponse DR5 les différentes phases de fonctionnement du transistor Q3. Commenter vos résultats sur votre copie.



C.2.4.3.2 Déterminer, par le calcul, les valeurs de V_1 à chaque changement d'état de Q3.

- a. limite linéaire/bloqué
- b. limite bloqué/saturé
- c. limite saturé/linéaire

Repérer les valeurs limites obtenues sur les graphes et conclure.

C.2.4.3.3 A partir des résultats de simulation de $I_{c77}(t)$, déduire les équations de $V_1(t)$ pour chaque état de fonctionnement de Q3.

C.2.5 Synthèse

Rédiger une synthèse de cette étude structurelle vue du primaire en maximum une page.
La qualité de rédaction sera prise en compte.

C.3 Formes d'onde et temps de réponse du relais.

C.3.1 Formes d'onde.

Compléter le document réponse DR5.

VA est la ddp présente aux bornes de R87 et R88.

V'A est la ddp présente aux bornes de R90 et R89.

C.3.2 Temps de réponse.

C.3.2.1 D'après le cahier des charges, rappeler le temps de réponse imposé par le constructeur.

C.3.2.2 Pourquoi le constructeur n'a-t-il pas utilisé les mêmes relais que pour les sorties error et low battery ?

C.3.2.3 Calculer le temps de réponse entre le passage de LEDTRIG de 1 à 0 et la conduction du transistor Q4 (ou Q5). Ce temps satisfait-il le cahier des charges ?

C.3.2.4 Pourquoi a-t-on besoin des deux transistors Q4 et Q5 ainsi que des deux diodes D19 et D20.

Partie D : Etude de la carte MI 16 Front Panel.

D.1 Etude Fonctionnelle.

D.1.1 Quelles sont les fonctions principales concernées par cette carte ? Réaliser l'identification structurelle de ces fonctions principales sur les documents réponse DR1 à DR3.

Soit le schéma fonctionnel de second degré de la fonction principale Fp5, document DP8

D.1.2 Réaliser l'identification structurelle du schéma fonctionnel de second degré de Fp5 donné sur les documents réponse DR1 à DR3.

D.1.3 Définir le rôle exact du composant U1.

D.1.4 Définir le rôle exact du composant U4 .

D.2 Etude des microcontrôleurs.

Les microcontrôleurs utilisés sur cette carte sont des PIC16F870.

D.2.1 A quelle famille appartient ce microcontrôleur ? Pour mieux le situer, faites un rapide tour d'horizon des différentes familles que vous connaissez. . Donnez la signification des différents termes et appellations utilisées.

D.2.2 Quelles sont les caractéristiques principales de ce circuit ?

D.2.3 Est-il facile d'ajouter de la mémoire externe à ce composant ? Détailler votre réponse.

D.2.4 Quels sont les avantages et les limites de ce type de micro ? Justifier le choix du concepteur pour cette application. Quelles autres solutions auraient pu être adoptée ? Quelles auraient été les principales différences ? (pour remplacer les PIC et peut-être d'autres structures du système...)

D.3 Etude structurelle de la carte MI16.

D.3.1 Etude de la fonction contrôle du système, partie réception série optique (Fp6) .

D.3.1.1 Calculer la fonction de transfert de la structure existant autour du composant U3 bornes 5 , 6 et 7.

D.3.1.2 Faire les calculs relatifs à la structure existant autour du composant U3 bornes 1, 2 et 3. Tracer la représentation graphique de la fonction de transfert correspondante.

D.3.1.3 Donner le rôle du composant D1. Pourquoi a-t-on utilisé ce type de diode ? Quelles sont ses caractéristiques principales ?

D.3.2 Etude de la partie affichage (Fp5).

D.3.2.1 De quel type d'affichage s'agit-il ?

D.3.2.2 Comparer l'affichage classique avec l'affichage défini ci-dessus.

D.3.2.3 Expliquer qualitativement le fonctionnement de la structure proposée en précisant l'état des différents transistors Q2, Q3, Q4 et Q5.

D.3.2.4 On désire sélectionner les afficheurs dans l'ordre suivant : led4 ; led5 ; led6 et led7 ; led8,9 et 10 . Déterminer alors les signaux que l'on devra générer sur les broches RA0 ,RA1,RA2 et RA3 du composant U4. Vous présenterez votre résultat sous forme de chronogrammes.

D.3.2.5 Définir le rôle des éléments résistifs allant de R12 à R19. Calculer leurs valeurs limites sachant que le courant dans les diodes doit être de 3mA.

D.3.2.6 Le microcontrôleur U4 remplace le composant MC14499 puisque ce composant est devenu obsolète.

D.3.2.6.1 Faire l'identification entre les deux structures.

D.3.2.6.2 Expliquer le fonctionnement de ce composant de façon temporelle en faisant référence aux différentes entrées et sorties.

D.4 Etude du programme gérant l'affichage.

Le programme assembleur gérant l'affichage de la carte MI16 est donné pages 1 et 2 du dossier documentations ressource.

D.4.1 Etude de l'organisation du programme.

Faire un découpage du programme en différentes parties et donner un nom à ces différentes parties.

D.4.2 Interruption

D.4.2.1 Définir ce qu'est une interruption.

D.4.2.2 Définir ce qu'est un vecteur d'interruption.

D.4.2.3 De quelle façon va être gérée une interruption avec le PIC16F870 dans un programme écrit en assembleur ?

D.4.3 Analyse du programme donné de la partie START à MAIN .

Décrire ce que réalise la partie de programme allant de START à MAIN. Cette description doit être très précise, chaque registre avec sa valeur doit être analysé tout en faisant référence à la structure étudiée.

D.4.4 Analyse du sous-programme d'interruption.

D.4.4.1 Où se situe ce sous-programme d'interruption ?

D.4.4.2 Il vous est demandé de réaliser un algorithme de ce sous-programme.

D.4.4.3 Il vous est demandé alors d'en déduire le fonctionnement de cette interruption par rapport au fonctionnement global de l'afficheur.

D.4.5 Valeurs numériques.

D.4.5.1 Quelle est la fréquence de fonctionnement du microcontrôleur ? En déduire le temps correspondant à un cycle d'horloge ainsi que le temps d'un cycle d'instruction.

D.4.5.2 Quelle est la durée correspondant à l'incrémentaire unitaire du timer 0. Quelle est la valeur de départ du timer 0 ? En déduire le temps écoulé depuis l'initialisation du timer 0 et son débordement. A quelle caractéristique fonctionnelle correspond cette durée ?

D.4.6 Etude du programme à partir de la partie AFFICH.

- bcd digit correspond aux valeurs des afficheurs 7 segments. bcd digit va être mémorisé dans savbcd.
- ledsmode correspond aux valeurs à afficher dans les diodes électroluminescentes. ledsmode va ensuite s'appeler mode qui sera mémorisé dans savmode.

D.4.6.1 Dessiner l'algorithme de la partie de programme allant de AFFICH jusqu'à la fin.

D.4.6.2 Commenter cet algorithme de façon à justifier chacune des étapes par rapport au cahier des charges. Quel est le rôle de intflg ?

Partie E : Gain en puissance de l'amplificateur HF.

E.1 Notion de puissance incidente et de puissance réfléchie.

Soit un générateur non idéal ($\underline{E}_g$, $\underline{Z}_g$) relié à une impédance de charge $\underline{Z}_{ch}$. Nous nommerons P_t (puissance transmise) la puissance fournie par le générateur à la charge et P_i (puissance incidente) la puissance maximale que peut fournir le générateur.

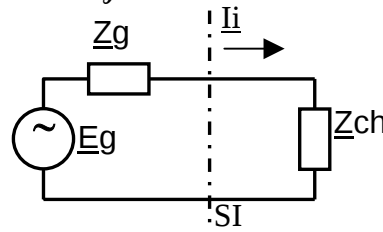


Figure 1

E.1.1 Exprimer P_t et P_i en fonction des complexes $\underline{E}_g$, $\underline{Z}_g$ et $\underline{Z}_{ch}$.

Nous définirons la puissance réfléchie P_r par la relation : $P_r = P_i - P_t$.

Maintenant que nous avons posé les notations, par analogie avec d'autres phénomènes physiques (optique par exemple), nous pouvons considérer que le générateur fournit toute la puissance incidente vers la surface imaginaire (SI) qui sépare le générateur de la charge et que la partie non absorbée par la charge est réfléchie sur cette surface.

On définit les ondes de puissances de la façon suivante :

- $\underline{a}_i$, onde incidente à la surface SI , avec $P_i = 0,5 \underline{a}_i \underline{a}_i^*$ ($\underline{a}_i^*$ représente le complexe conjugué de $\underline{a}_i$).
- $\underline{b}_i$, onde réfléchie sur la surface SI , avec $P_r = 0,5 \underline{b}_i \underline{b}_i^*$.

On définit également le coefficient de réflexion par : $\underline{\rho} = \underline{b}_i / \underline{a}_i$.

Dans le cas de la figure 1, on peut exprimer $\underline{a}_i$, $\underline{b}_i$ et $\underline{\rho}$ en fonction des éléments du montage. On obtient :

$$\underline{b}_i = \underline{\rho} \underline{a}_i \quad ; \quad \underline{a}_i = \frac{\underline{E}_g}{2 \cdot \sqrt{\Re(\underline{Z}_g)}} \quad ; \quad \underline{\rho} = \frac{\underline{Z}_{ch} - \underline{Z}_g^*}{\underline{Z}_{ch} + \underline{Z}_g}$$

E.2 Paramètres S d'un quadripôle.

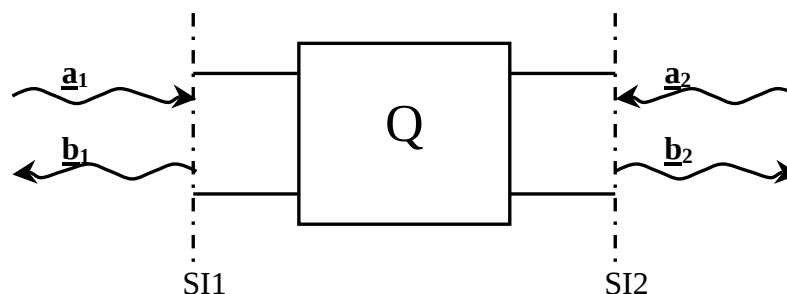


Figure 2

Les paramètres S permettent de caractériser le quadripôle Q de la figure 2 en reliant les ondes de puissance par la relation matricielle suivante :

$$\begin{pmatrix} \underline{b}_1 \\ \underline{b}_2 \end{pmatrix} = \begin{pmatrix} \underline{S}_{11} & \underline{S}_{12} \\ \underline{S}_{21} & \underline{S}_{22} \end{pmatrix} \begin{pmatrix} \underline{a}_1 \\ \underline{a}_2 \end{pmatrix}$$

E.2.1 Que représente physiquement chacun de ces paramètres S (sans oublier leur équation) ?

E.3 Identification de l'amplificateur RF.

E.3.1 L'étage d'entrée du récepteur radio est constitué d'un amplificateur RF faible bruit. Comment se nomme t-il et où se trouve t-il ?

E.3.2 Calculer par approximation linéaire les paramètres S de ce composant à la fréquence de travail qui est de 433MHz.

Dans la suite, on utilisera pour ce composant et à cette fréquence, les valeurs suivantes des paramètres S :

$$\underline{Z}(S_{11}) = 34,0\Omega - j.62,8\Omega ; \underline{Z}(S_{22}) = 55,1\Omega - j.47,4\Omega ; \underline{S}_{21} = 5,4 \angle 128^\circ ; \underline{S}_{12} = 62.10^{-3} \angle 68^\circ$$

NB : - Ces paramètres S sont obtenus par rapport à une résistance de 50Ω .

- Les valeurs de S_{11} et S_{22} fournies, tout comme celles de la documentation constructeur, sont les valeurs de l'impédance équivalente caractérisée par rapport à 50Ω qui engendre le même point sur l'abaque de Smith. D'où la notation plus conforme $\underline{Z}(S_{11})$ et $\underline{Z}(S_{22})$.

E.3.3 Calculer les valeurs numériques de $\underline{S}_{11}$ et de $\underline{S}_{22}$ à la fréquence de travail.

E.4 Gain en puissance de l'amplificateur non adapté.

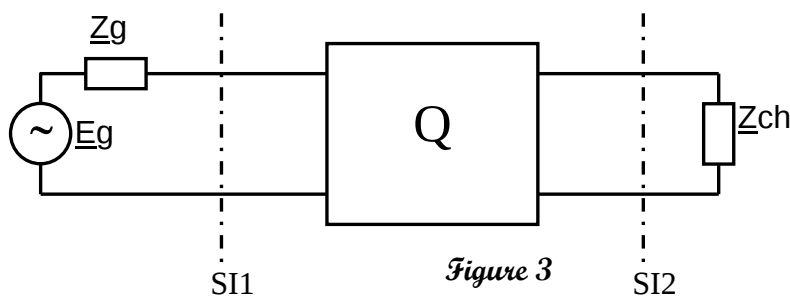


Figure 3

On définit le gain de transfert en puissance G_T comme le rapport entre la puissance transmise à la charge et la puissance maximale disponible à la source.

E.4.1 Que vaut le gain de transfert en puissance $G_{T\text{ dB}}$ de l'amplificateur placé dans les conditions de la figure 3 où $\underline{Z}_g$ et $\underline{Z}_{ch}$ sont réelles et égales à 50Ω ?

Quand un quadripôle est dit « unilatéralisé », l'adaptation en entrée ne modifie pas les conditions d'adaptation en sortie et vice et versa.

E.4.2 Quelles sont les conditions sur les paramètres S d'un quadripôle pour qu'il soit unilatéralisé ?
 Au vu des valeurs numériques des paramètres S du quadripôle de notre étude, peut-on considérer l'amplificateur unilatéralisé ? Justifiez votre réponse.

E.4.3 Quelles sont les impédances $\underline{Z}_g$ et $\underline{Z}_{ch}$ nécessaires pour avoir adaptation simultanée du LNA (entrée et sortie) ?

E.5 Gain en puissance de l'amplificateur adapté.

Dans cette partie, on se propose de déterminer le gain de transfert de puissance obtenu dans le cas de la double adaptation. Nous étudierons, dans un premier temps et dans le cas général, l'influence des impédances d'attaque et de charge du montage sur le gain de transfert en puissance du quadripôle. Nous appliquerons ensuite les résultats à notre cas particulier.

Nous superposons le montage réel aux sources d'évaluation du quadripôle (montage théorique utilisé pour déterminer les paramètres S du quadripôle). Soit le montage de la figure 4. Dans ce cas, le transfert en puissance peut s'imaginer en quatre temps :

- transfert entre $\underline{E}_g$ et $\underline{V}_{01}$ (suite de l'étude)
- transfert de $\underline{V}_{01}$ vers Q (caractérisé par les paramètres S du quadripôle)
- transfert de Q vers $\underline{V}_{02}$ (caractérisé également par les paramètres S du quadripôle)
- transfert de $\underline{V}_{02}$ vers $\underline{Z}_{ch}$ (suite de l'étude)

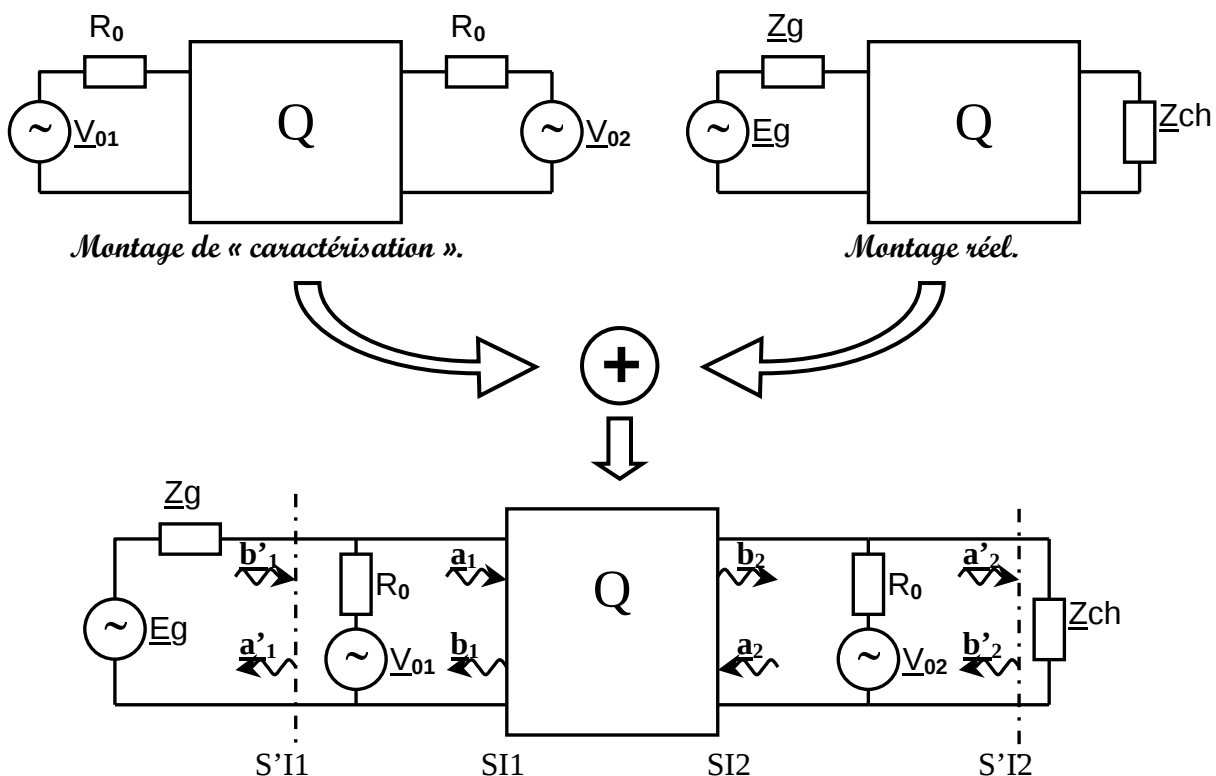


Figure 4

Il reste donc à caractériser l'échange entre $\underline{E}_g$ et $\underline{V}_{01}$ et celui entre $\underline{V}_{02}$ et $\underline{Z}_{ch}$ pour pouvoir déterminer le transfert en puissance du montage réel.

E.5.1 Transfert de $\underline{V}_{02}$ vers $\underline{Z}_{ch}$: Exprimer ρ_s le coefficient de réflexion de la charge par rapport au générateur 2 ($\underline{V}_{02}$), en déduire la relation liant $\underline{a}_2$ à $\underline{b}_2$. Conclure sur l'influence de la charge par la relation obtenue entre $\underline{a}_2$ et $\underline{b}_2$.

E.5.2 Transfert entre $\underline{E}_g$ et $\underline{V}_{01}$: Exprimer $\underline{\rho}_e$ le coefficient de réflexion du générateur d'entrée par rapport à l'impédance caractéristique. En se plaçant en $\underline{V}_{01}$ et en utilisant le théorème de superposition, établir la relation liant $\underline{b}'_1$ à $\underline{a}'_1$ quand on passive le générateur $\underline{E}_g$. Toujours vu du générateur $\underline{V}_{01}$, que valent $\underline{b}'_1$ et $\underline{a}'_1$ quand on passive cette fois le générateur $\underline{V}_{01}$ (en fonction de $\underline{E}_g$, R_0 et $\underline{Z}_g$) ? En déduire la relation complète qui relie $\underline{b}'_1$ à $\underline{a}'_1$. Conclure sur l'influence du générateur par la relation obtenue entre $\underline{a}_1$ et $\underline{b}_1$.

E.5.3 Exprimer le nouveau gain de transfert en puissance (G_T) en fonction des $\underline{a}_i$, des $\underline{b}_i$ et des paramètres du générateur.

E.5.4 Montrer que G_T peut s'exprimer en fonction des $\underline{S}_{ij}$ de $\underline{\rho}_e$ et de $\underline{\rho}_s$ par la relation suivante :

$$G_T = \frac{|\underline{s}_{21}|^2 \cdot (1 - |\underline{\rho}_e|^2) \cdot (1 - |\underline{\rho}_s|^2)}{\left| (1 - \underline{\rho}_s \cdot \underline{s}_{22}) (1 - \underline{\rho}_e \cdot \underline{s}_{11}) - \underline{\rho}_e \cdot \underline{\rho}_s \cdot \underline{s}_{12} \cdot \underline{s}_{21} \right|^2}$$

NB : On pourra utiliser la relation suivante : $(1 - |\underline{\rho}_e|^2) = \frac{4 \cdot R_0 \cdot \Re(\underline{Z}_g)}{|R_0 + \underline{Z}_g|^2}$

E.5.5 Appliquer cette relation à notre cas d'étude pour déterminer le gain $G_{T \text{ adapt}}$ que nous obtenons lors de la double adaptation de l'amplificateur.

On prendra pour la question suivante, une valeur de 14dB pour $G_{T \text{ non adapt}}$ et de 16dB pour $G_{T \text{ adapt}}$. On rappelle également que l'atténuation en puissance d'une onde électromagnétique en champ libre est donnée par la relation suivante :

$$At_{dB} = -10 \cdot \log \frac{\lambda^2}{(4 \cdot \pi \cdot D_0)^2}$$

D_0 représente la distance d'éloignement par rapport à la source

λ représente la longueur d'onde du signal qui se propage

E.5.6 Sachant que le constructeur garantit une portée de 15m de son système, quelle serait la nouvelle portée si l'on réalise la double adaptation du LNA ? L'adaptation est-elle justifiée ?

Partie F : Cellules d'adaptation.

F.1 L'outil « abaque de Smith ».

L'abaque de Smith est un outil graphique permettant (entre autre) d'obtenir rapidement l'impédance équivalente (à une fréquence donnée) d'un réseau d'impédances aussi complexe soit-il.

Soit $\underline{Z}$ une impédance quelconque que l'on veut caractériser par rapport à une impédance $\underline{Z}_0$. Le

coefficient de réflexion relatif à $\underline{Z}$ vaut : $\underline{\rho} = \frac{\underline{Z} - \underline{Z}_0}{\underline{Z} + \underline{Z}_0}$. Soit en utilisant la forme réduite des

impédances : $\underline{\rho} = \frac{\underline{z} - 1}{\underline{z} + 1}$ avec $\underline{z} = \frac{\underline{Z}}{\underline{Z}_0} = r + j.x$. $\underline{\rho}$ est complexe, il peut donc s'écrire sous la forme

$$\underline{\rho} = p + j.q.$$

F.1.1 Montrer que le lieu de déplacement de $\underline{\rho}$ dans le plan complexe représente un cercle de centre

$\left(\frac{r}{r+1}; 0\right)$ lorsque « r » est fixe et que « x » varie. Préciser le rayon du cercle.

F.1.2 Lorsque « x » est fixe et que « r » varie, montrer que cette fois $\underline{\rho}$ décrit un cercle de centre

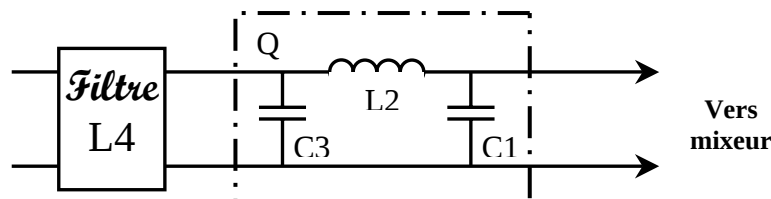
$\left(1; \frac{1}{x}\right)$. Donner son rayon.

F.1.3 Que dire du point B représentant le coefficient de réflexion de $\underline{z}^*$ (conjugué de $\underline{z}$) par rapport au point A représentant celui de $\underline{z}$?

F.1.4 Même question en ce qui concerne le point C image de $(1/\underline{z})$ par rapport à A.

F.2 Adaptation à la sortie du filtre hélicoïdal L4.

Nous allons utiliser une première fois l'abaque de Smith pour analyser un montage avec plusieurs impédances. Nous plaçons entre le filtre hélicoïdal L4 et l'entrée « RF » du circuit U17 (SA601) le quadripôle Q suivant en remplacement du condensateur C99.



On trouve dans la documentation constructeur la valeur du paramètre S_{11} à l'entrée du mixer et à la fréquence de 433MHz. Soit $S_{11} = 9,843\Omega + j.5,269\Omega$ (toujours exprimé de la même façon, voir à la question E42).

$L2 = 8.08\text{nF}$; $C1 = 16.9\text{pF}$; $C3 = 12.8\text{pF}$

F.2.1 Construire sur l'abaque de Smith, du document réponse DR6, le tracé représenté par la lettre « A » correspondant à l'impédance d'entrée du mixer à la fréquence de travail. L'impédance de caractérisation sera de 50Ω . Expliquer le tracé.

- F.2.2** Sur le même document réponse, tracer le point « B » correspondant à l'impédance équivalente du mixer et du condensateur C1. Donner des explications.
- F.2.3** De la même façon, tracer le point « C » correspondant à l'impédance équivalente lorsque l'on ajoute L2.
- F.2.4** Enfin, tracer le point « D » correspondant à l'ensemble mixer et quadripôle Q.
- F.2.5** Quelle est l'impédance de charge du filtre L4 à la fréquence de travail ? Que peut-on en dire en fonction des préconisations du constructeur ?

F.3 Cellules d'adaptation de l'amplificateur RF.

Nous allons déterminer à l'aide de l'abaque de Smith, les cellules à placer en entrée et en sortie de l'amplificateur RF (LNA) pour avoir une adaptation complète de cet amplificateur.

La nouvelle structure du premier étage du récepteur serait celle de la figure 5. Pour avoir adaptation en entrée de l'amplificateur, le montage « d'attaque » doit présenter un coefficient de réflexion $\underline{\rho}_e = 0,236 + 0,571.j$ (caractérisation par rapport à 50Ω). Le montage de « charge » doit quant à lui présenter un coefficient de réflexion $\underline{\rho}_s = 0,209 + 0,357.j$ (toujours par rapport à 50Ω) pour avoir adaptation en sortie de l'amplificateur.

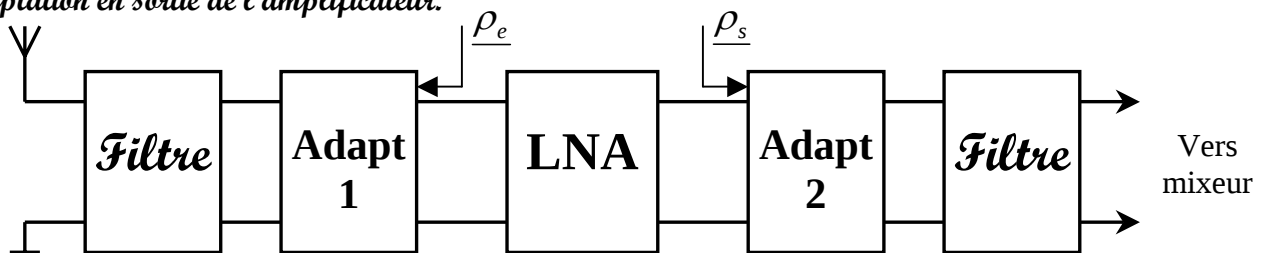


Figure 5

- F.3.1** Quelle est l'impédance équivalente que doit présenter le montage de charge des filtres utilisés ?
- F.3.2** A la fréquence de travail donner le circuit équivalent à l'ensemble antenne + filtre.
- F.3.3** Proposez une structure simple pour réaliser la cellule d'adaptation 1. On retiendra une cellule sans pertes isolant le « LNA » d'éventuelles composantes continues.
- F.3.4** Construire sur l'abaque de Smith, du document réponse DR7, le tracé permettant de trouver les éléments de cette première cellule d'adaptation. Donner les valeurs des composants.
- F.3.5** Quelle condition doit-on avoir sur l'impédance d'entrée du mixeur à la fréquence de travail pour avoir les caractéristiques optimales du second filtre ?

On supposera dans la suite que cette condition est respectée.

- F.3.6** A la fréquence de travail donner le circuit équivalent à l'ensemble filtre + mixeur.
- F.3.7** Proposez une structure simple pour réaliser la cellule d'adaptation 2. On retiendra une cellule sans pertes isolant le « LNA » d'éventuelles composantes continues.
- F.3.8** Construire sur l'abaque de Smith, du document réponse DR8, le tracé permettant de trouver les éléments de cette seconde cellule d'adaptation. Donner les valeurs des composants.

Partie G : Circuit logique programmable.

G.1 Généralités.

- G.1.1 Dans le système étudié, les concepteurs ont utilisé un circuit logique programmable. Quelle est sa référence ? De quel type de circuit s'agit-il ?*
- G.1.2 Quel est l'intérêt d'utiliser de tels circuits ?*
- G.1.3 Présenter succinctement les différentes familles de circuits programmables existantes. Expliquer les particularités de chacune d'elles et donner la signification des termes spécifiques employés.*
- G.1.4 Quels sont les différents moyens utilisés pour décrire les fonctions internes désirées (dans le cas des circuits logiques de taille importante) ?*

G.2 Diviseur de fréquence.

Notre circuit programmable utilise une horloge de base à 4MHz. Il est utilisé en interne des signaux à 1 MHz, 250 kHz (noté 256), 15.6 kHz (noté 16) et 7.8 kHz (noté 8).

- G.2.1 Identifier la structure réalisant ces divisions de fréquence. Quelles sont les pages des schémas internes du circuit programmable concernées ?*
- G.2.2 A quelle type de logique a-t-on à faire ? Quels en sont les inconvénients ?*

Pour avoir une « portabilité » de la structure d'une marque de circuit à l'autre, on souhaite remplacer cette structure par une autre décrite en langage VHDL dont le cahier des charges est le suivant :

- *fonctionnement en logique synchrone par rapport à l'horloge « clk »*
- *signal de réinitialisation de toutes les bascules sur le niveau bas du signal « nraz »*
- *signal de sortie « S1000 » de fréquence 1 MHz*
- *signal de sortie « S256 » de fréquence 250 kHz*
- *signal de sortie « S16 » de fréquence 15.6 kHz*
- *signal de sortie « S8 » de fréquence 7.8 kHz*

- G.2.3 Compléter le programme VHDL du document réponse DR9 qui décrit cette fonction. Vous disposez d'un « mémo VHDL » ainsi que de quelques exemples de programmes en documentations ressource.*

G.3 Structure monostable.

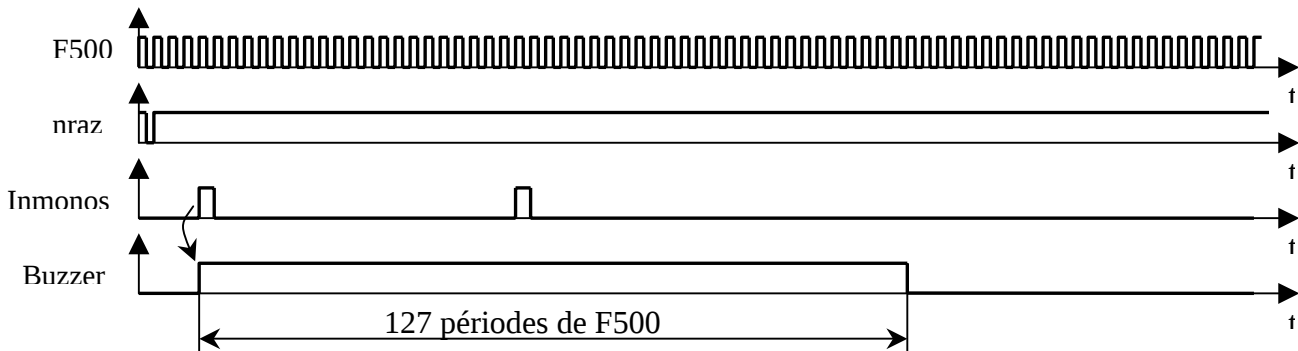
Plusieurs structures monostables sont intégrées dans notre circuit logique, on se propose d'en étudier une en particulier. Cette structure est reportée sur le document réponse DR10.

- G.3.1 Analyser le fonctionnement de cette structure et compléter les chronogrammes du document réponse DR10.*
- G.3.2 Ce monostable est-il redéclenchable ou non ? Justifier votre réponse.*

QUESTIONNEMENT

Pour les mêmes raisons qu'à la question G23, on souhaite remplacer cette structure par une autre décrite en langage VHDL dont le cahier des charges est le suivant :

- fonctionnement en logique synchrone par rapport à l'horloge « F500 »
- signal de réinitialisation des bascules internes sur le niveau bas du signal « nrz »
- signal de lancement du monostable « Inmonos » actif sur front montant
- signal de sortie « Buzzer » actif à l'état « 1 » et d'une durée de 127 périodes de l'horloge à chaque déclenchement
- monostable non redéclenchable
- chronogramme désiré ci-dessous



G.3.3 Fournir un programme VHDL complet qui décrit cette fonction. Vous disposez d'un « mémo VHDL » ainsi que de quelques exemples de programmes en documentations ressource.

G.4 Réception du mot de 8 bits transmis par l'émetteur.

On s'attache dans cette partie à étudier le principe utilisé pour récupérer le mot de 8 bits transmis par l'émetteur (correspondant à l'instant où le palpeur a changé d'état à l'intérieur d'une période du 1 kHz).

G.4.1 A l'aide des schémas constructeur, expliquer le principe utilisé pour récupérer le mot de 8 bits transmis de façon synchrone. Justifier le nombre de bits utilisés.

G.4.2 Comment retrouve-t-on le signal d'horloge de la liaison série synchrone ? Quelle est la fréquence du signal F256 ? A quoi nous sert ce signal ?

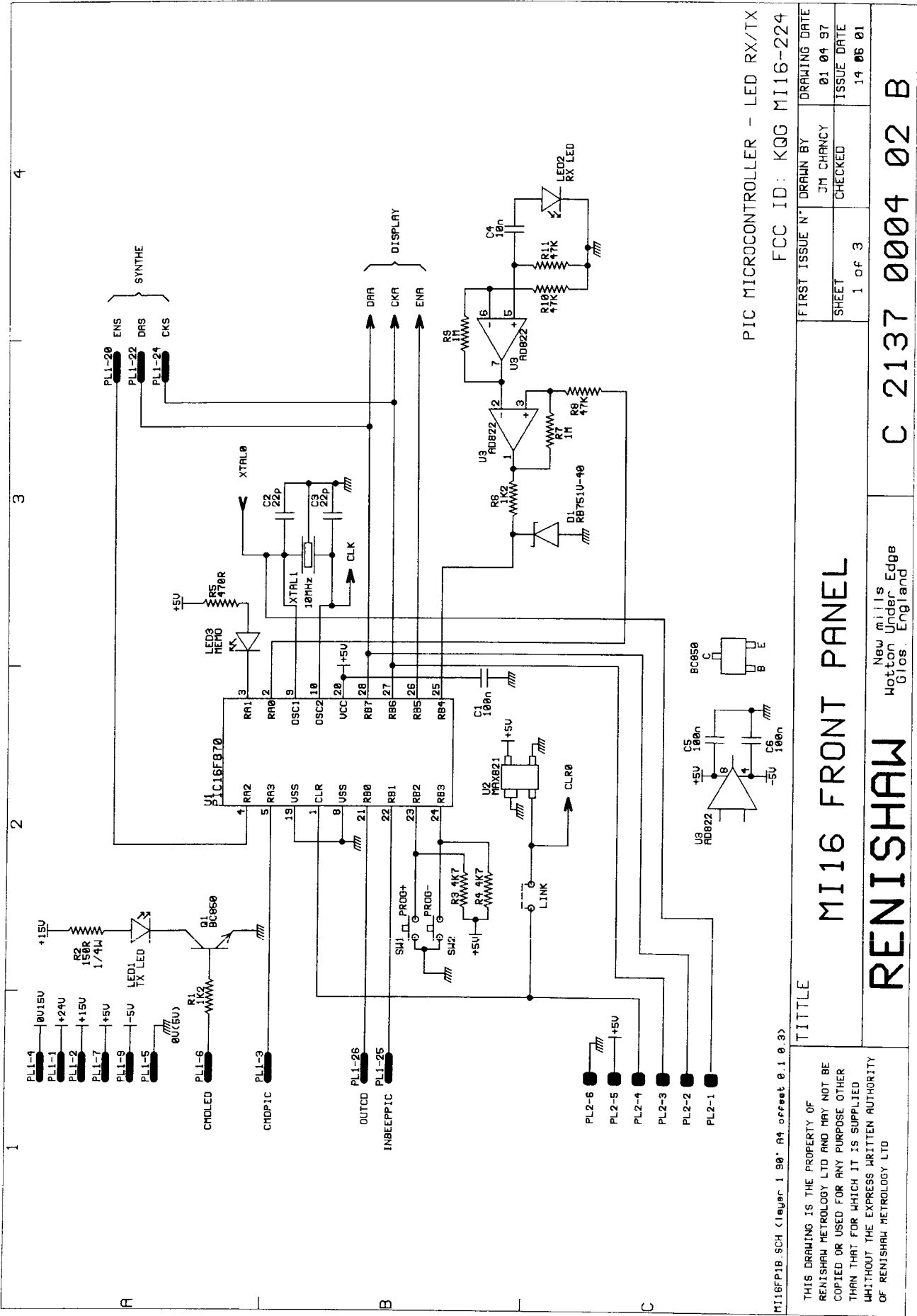
G.4.3 En supposant que l'on ne garde que C33 entre les pattes 6 et 7 de U7 (l'une ou l'autre des capacités en fonction de la série des circuits U7), vérifier la cohérence des valeurs de C33, R34, R35 et R36. Quelle est la plage de variation possible de la fréquence de Vco-out pour les valeurs extrêmes de R36 ?

G.4.4 Modéliser par un schéma de principe, le rôle de U8 et des composants associés (signal d'entrée : broche 2 de U7 ; signal de sortie : broche 9 de U7).

G.4.5 Lorsque le signal OUTHVCO=0, que se passe-t-il pour la fréquence du signal IN256 ? Même question lorsque OUTHVCO=1.

G.4.6 Quel est le rôle des composants R32 et C30 ?

Question D11



PIC MICROCONTROLLER - LED RX/TX

FCC ID: KQG MI16-224

FIRST ISSUE N°	DRAWN BY	DRAWING DATE
1	JM CHANCY	01 04 97
SHEET	CHECKED	ISSUE DATE
1 of 3		14 06 01

MI16 FRONT PANEL

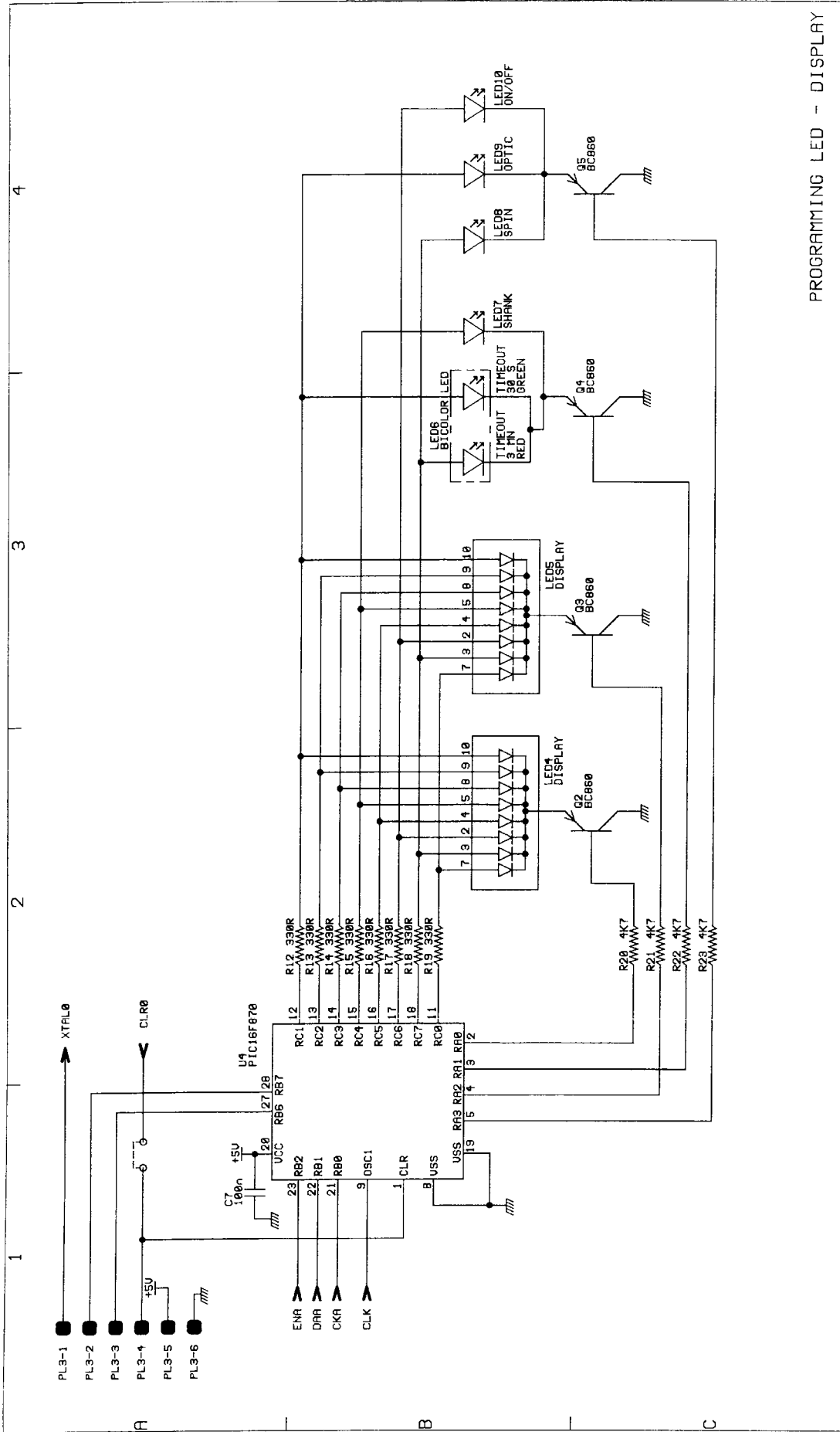
RENISHAW

New mills
Hotton Under Edge
Glos. England

TITLE

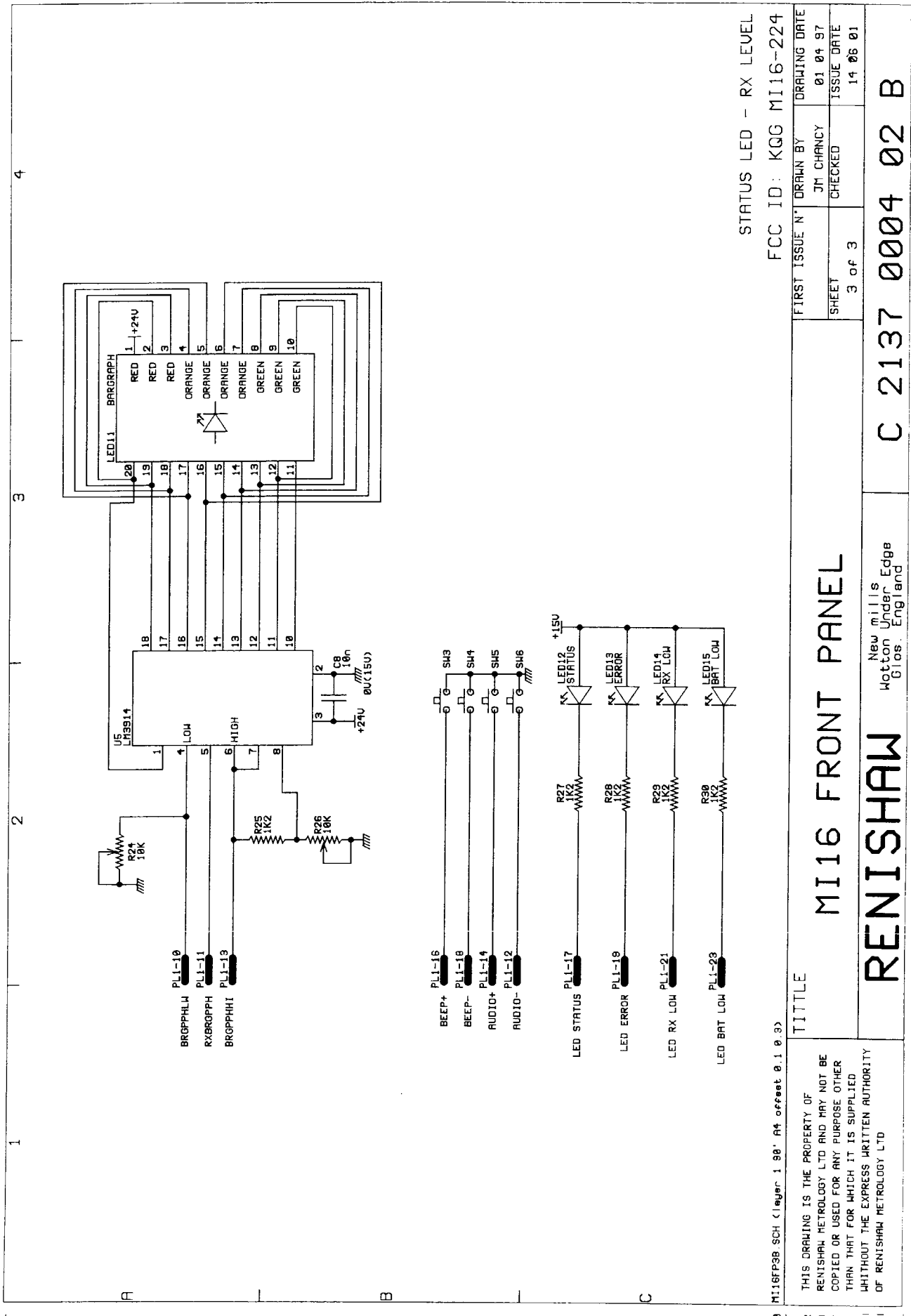
THIS DRAWING IS THE PROPERTY OF
RENISHAW METROLOGY LTD AND MAY NOT BE
COPIED OR USED FOR ANY PURPOSE OTHER
THAN THAT FOR WHICH IT IS SUPPLIED
WITHOUT THE EXPRESS WRITTEN AUTHORITY
OF RENISHAW METROLOGY LTD

Question D11

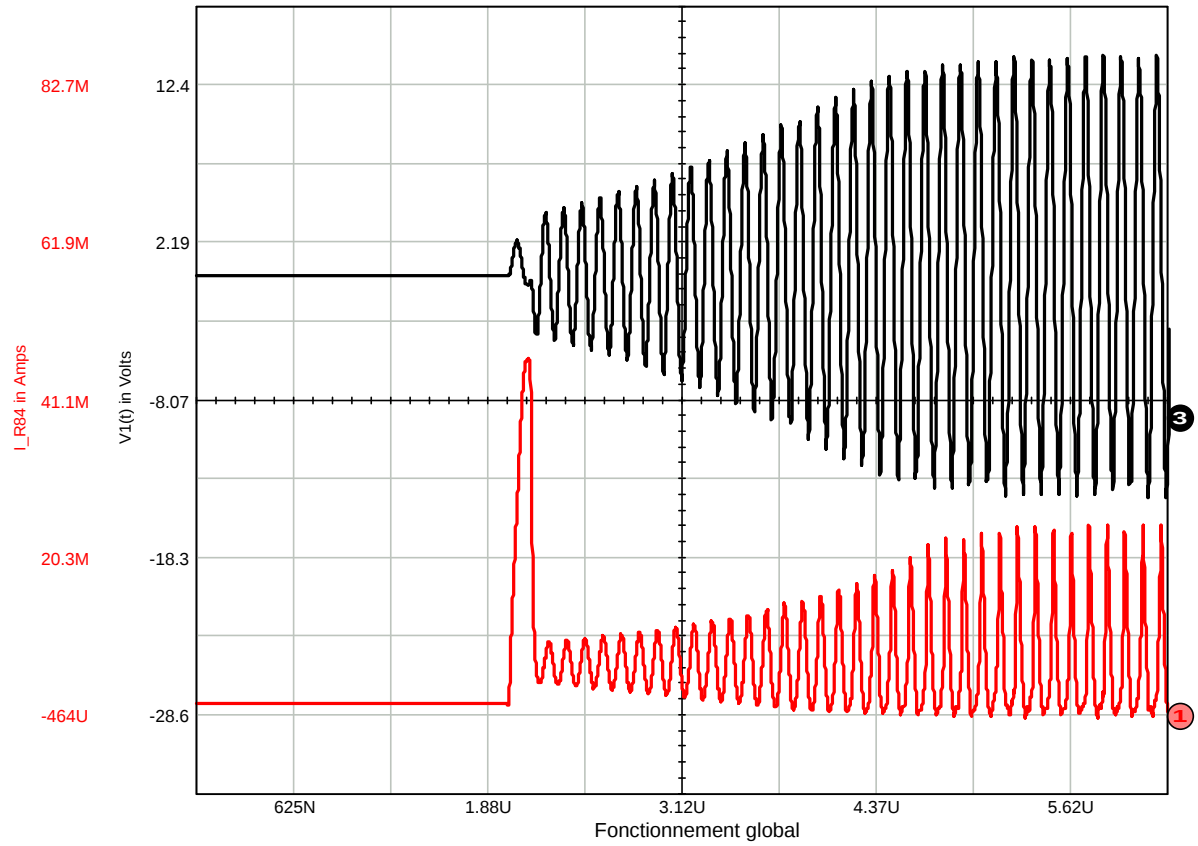


PROGRAMMING LED - DISPLAY		FCC ID: KQG MI16-224	
MI16 FRONT PANEL		TITLE	
RENISHAW		THIS DRAWING IS THE PROPERTY OF RENISHAW METROLOGY LTD AND MAY NOT BE COPIED OR USED FOR ANY PURPOSE OTHER THAN THAT FOR WHICH IT IS SUPPLIED WITHOUT THE EXPRESS WRITTEN AUTHORITY OF RENISHAW METROLOGY LTD	
New Mills Wotton Under Edge Glos. England		C 2137 0004 02 B	
FIRST ISSUE N°		DRAWING DATE	
J.M. CHANCY		01 04 97	
SHEET		ISSUE DATE	
2 of 3		14 06 01	

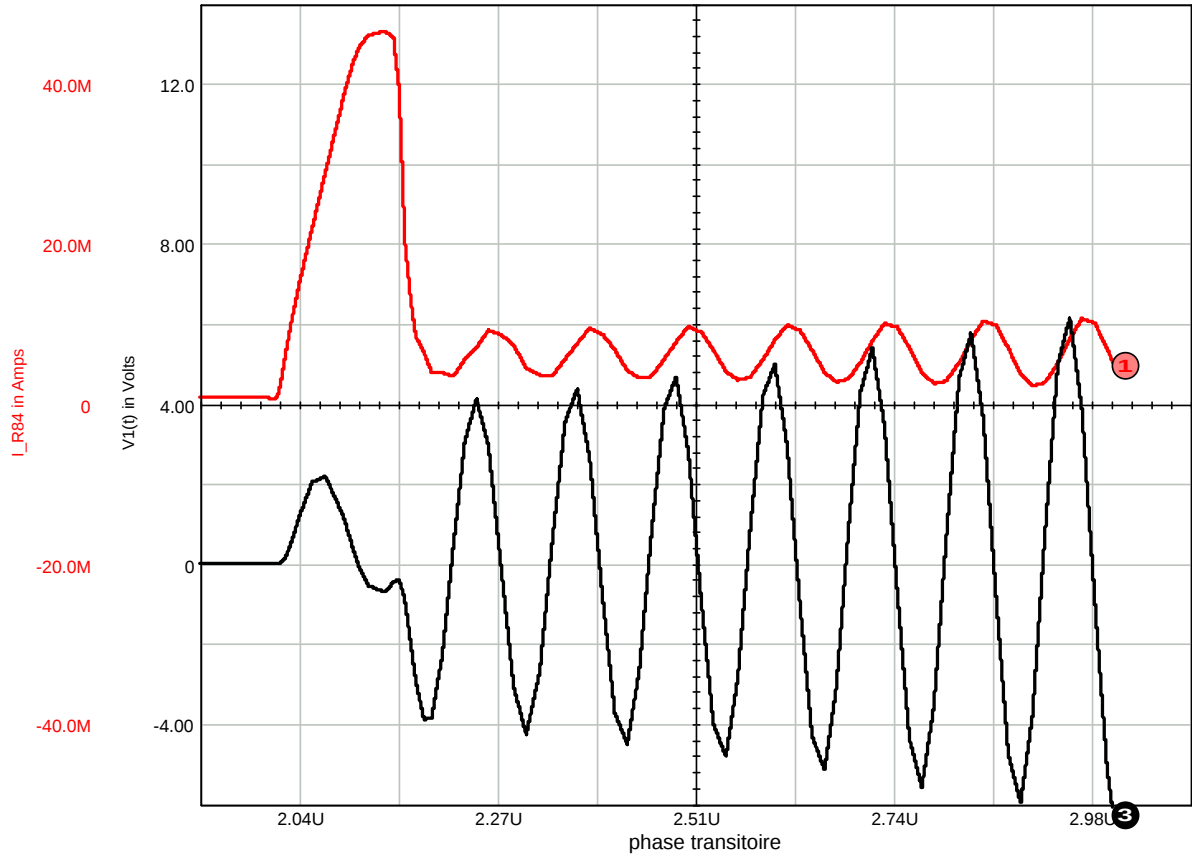
Question D11



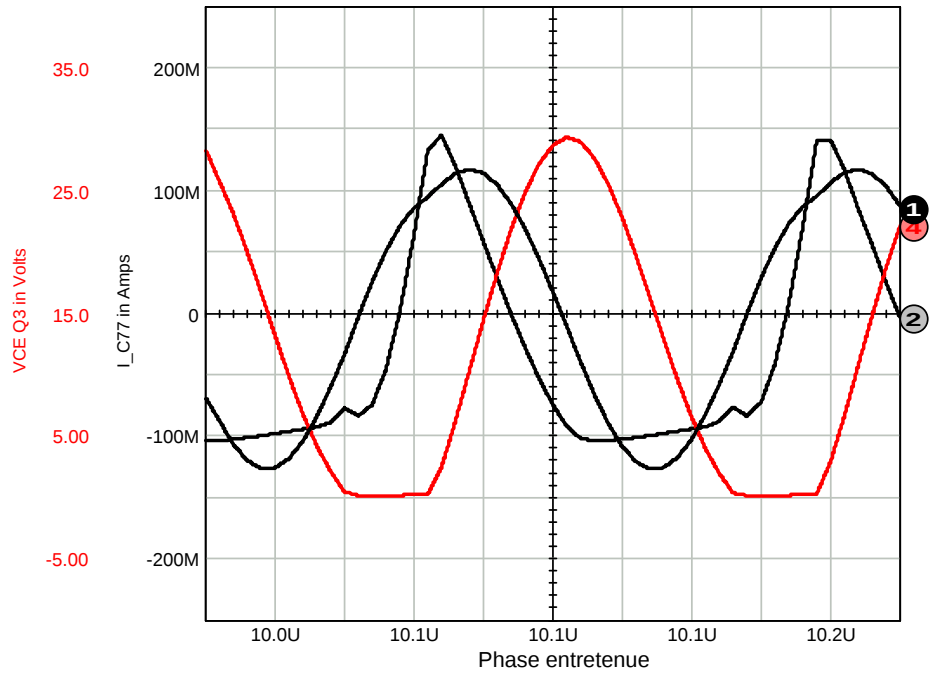
Question C241



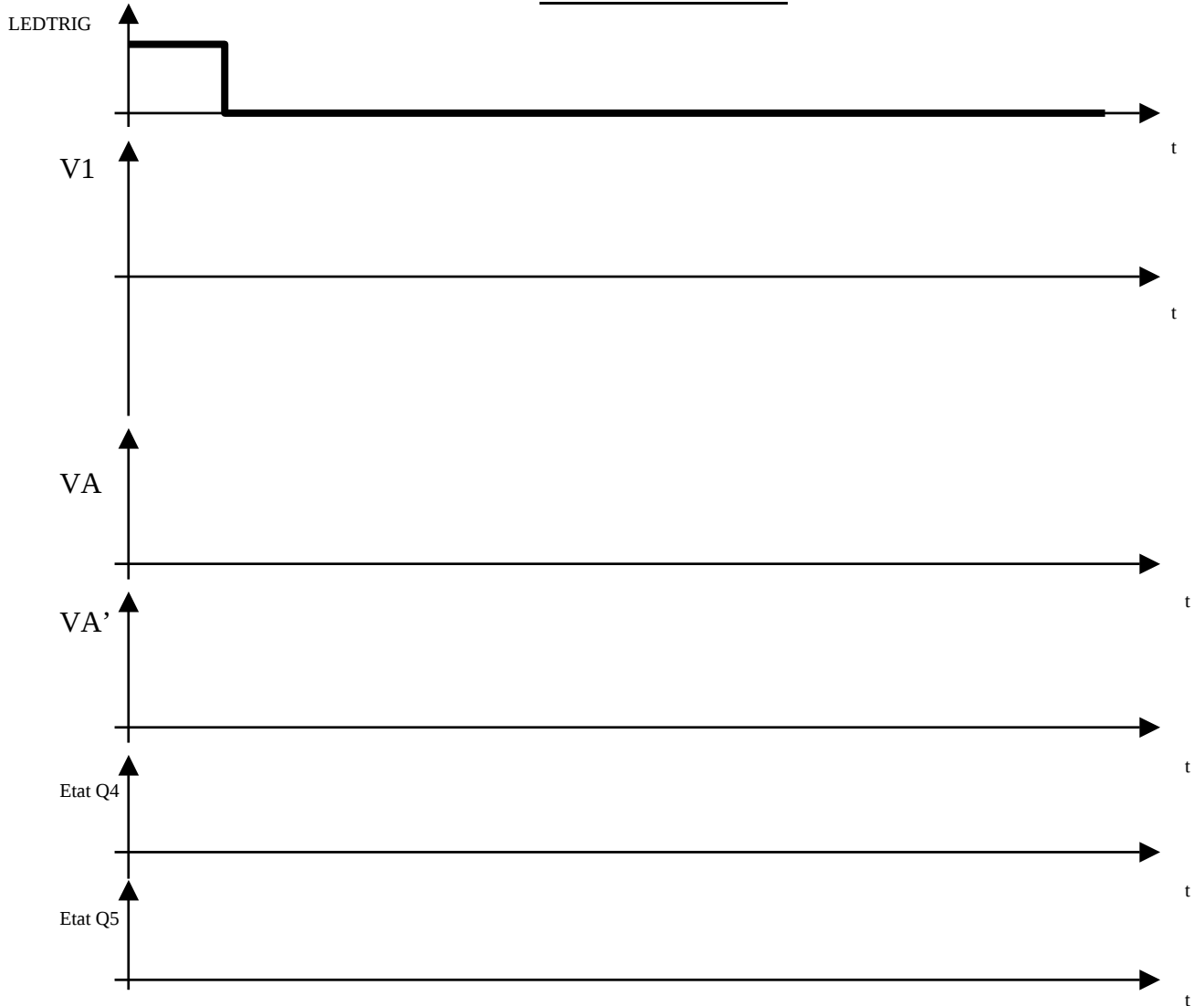
Question C2421



Question C2431

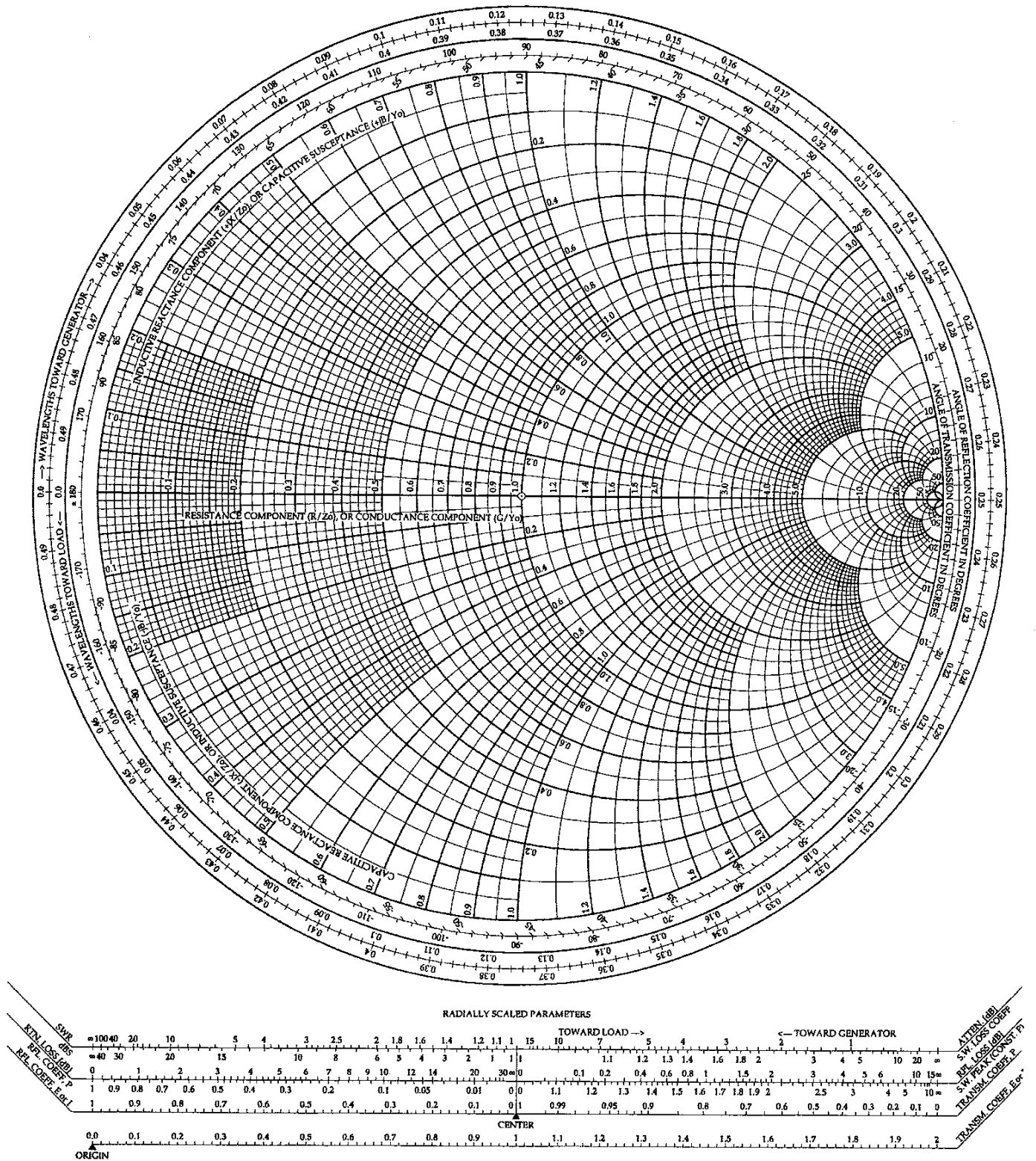


Question C31



Question F34**The Complete Smith Chart**

Black Magic Design



Question Q23

```
library IEEE;
use IEEE.std_logic_1164.all;           -- librairie contenant le type std_logic
use IEEE.STD_LOGIC_UNSIGNED.ALL;      -- librairie contenant l'extension de l'addition au type
                                       std_logic_vector

entity divfreq is
  port (      CLK,NRAZ : in STD_LOGIC;
           S1000,S256,S16,S8 : out STD_LOGIC );
end divfreq;

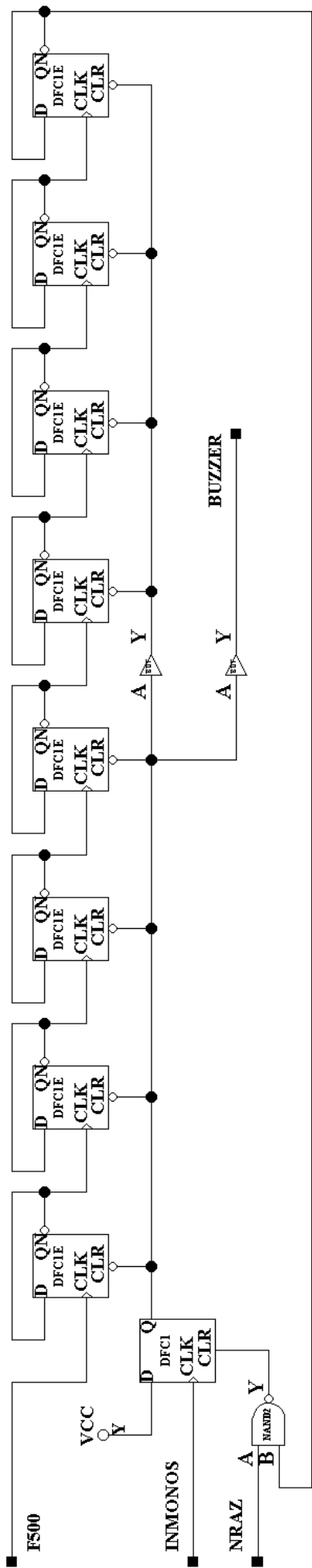
architecture divfreq_arch of divfreq is
  signal Q: STD_LOGIC_VECTOR (... downto 0); -- compteur interne pour diviser par .....
                                              -- donc sur ..... bits

begin
  compteur:                               -- process de comptage synchrone
    process(.....)
    begin
      .....
      .....
      .....
      .....
      .....
      .....
      .....
      .....
      .....
      .....
    end process;

  S1000<=.....;                          -- sortie des signaux utiles
  S256<=.....;
  S16<=.....;
  S8<=..... ;

end divfreq_arch;
```

NB : Placer des commentaires dans votre programme !



Question Q31

